

# **INSTITUTO TECNOLÓGICO Y DE ESTUDIOS SUPERIORES DE OCCIDENTE**

Reconocimiento de validez oficial de estudios de nivel superior según acuerdo secretarial 15018, publicado en el Diario Oficial de la Federación el 29 de noviembre de 1976.

---

Departamento de Electrónica, Sistemas e Informática

MAESTRÍA EN DISEÑO ELECTRÓNICO



## **REPORTE DE FORMACIÓN COMPLEMENTARIA EN ÁREA DE CONCENTRACIÓN EN DISEÑO DE CIRCUITOS INTEGRADOS ANALÓGICOS**

Trabajo recepcional que para obtener el grado de

MAESTRO EN DISEÑO ELECTRÓNICO

Presentan: Fernando Sánchez Hernández

Asesor: Zabdiel Brito Brito

San Pedro Tlaquepaque, Jalisco, febrero de 2016.



# Contenido

<b>Contenido .....</b>	<b>iii</b>
<b>Introducción .....</b>	<b>1</b>
<b>1. Resumen de los proyectos realizados .....</b>	<b>3</b>
1.1. PROYECTO 1 – ETAPA DE 1.5 BITS DE UN CONVERTIDOR A/D TIPO PIPELINE .....	5
1.1.1 Introducción .....	5
1.1.2 Antecedentes .....	6
1.1.3 Solución desarrollada .....	6
1.1.4 Análisis de resultados.....	6
1.1.5 Conclusiones .....	6
1.2. PROYECTO 2 – PROGRAMMABLE CHARGE-PUMP WAVEFORM GENERATOR .....	7
1.2.1 Introducción .....	7
1.2.2 Antecedentes .....	7
1.2.3 Solución desarrollada .....	7
1.2.4 Análisis de resultados.....	8
1.2.5 Conclusiones .....	8
1.3. PROYECTO 3 - DISEÑO DE UN CONVERTIDOR A/D DE 5 BITS EN LA ESTRUCTURA DE REGISTRO DE APROXIMACIONES SUCESIVAS .....	8
1.3.1 Introducción .....	8
1.3.2 Antecedentes .....	8
1.3.3 Solución desarrollada .....	9
1.3.4 Análisis de resultados.....	9
1.3.5 Conclusiones .....	9
<b>2. Conclusiones .....</b>	<b>10</b>
<b>Apéndices .....</b>	<b>11</b>
A. REPORTE - ETAPA DE 1.5 BITS DE UN CONVERTIDOR A/D TIPO PIPELINE .	12
B. REPORTE - PROGRAMMABLE CHARGE-PUMP WAVEFORM GENERATOR .	88
99	
C. REPORTE - DISEÑO DE UN CONVERTIDOR A/D DE 5 BITS CON ARQUITECTURA DE REGISTRO DE APROXIMACIONES SUCESIVAS .....	104



# Introducción

El área de concentración elegida es “Diseño de Circuitos Integrados Analógicos” las razones de elegir esta área de especialización se pueden enumerar en las siguientes:

1. Interés particular en el diseño electrónico analógico y sus aplicaciones en diseños discretos e integrados.
2. El Post-grado cuenta con vínculos muy fuertes con empresas altamente tecnológicas que trabajan en esta área, además esta relación existente entre Institución Educativa e Industria permite a los alumnos trabajar en la solución de problemas reales, los cuales la industria padece y es una excelente oportunidad de darse a conocer en la industria.
3. La creciente demanda por parte de las empresas en expansión de la región demanda personal altamente capacitado en esta área, con competencias y habilidades en:
  - Diseño e integración de sistemas en chip y pruebas de circuitos integrados.
  - Diseño de unidades funcionales a la medida (*Custom-FUB*) analógico y digitales.
  - Manejo de simuladores y verificación analógica, digital y de señal mixta.

Los cursos aprobados durante la maestría en diseño electrónico que comprenden el área de concentración fueron cursados con sus respectivos proyectos son:

1. Diseño Físico de Circuitos Integrados
  - Etapa de 1.5 bits de un convertidor A/D tipo Pipeline.
2. Diseño de Circuitos Integrados Analógicos.
  - *Design of a Programmable Charge-Pump Waveform Generator.*
3. Diseño Avanzado de Circuitos Integrados.
  - Diseño de un filtro activo pasa bajas elíptico de 5° orden.
4. Tópicos Avanzados en Diseño de Circuitos Integrados Analógicos.
  - Diseño de un convertidor A/D de 5 bits con arquitectura de registro de aproximaciones-sucesivas.



# 1. Resumen de los proyectos realizados

En el documento presente se describen los siguientes 3 proyectos:

- Etapa de 1.5 bits de un convertidor A/D tipo Pipeline.
- *Design of a Programmable Charge-Pump Waveform Generator.*
- Diseño de un convertidor A/D de 5 bits con arquitectura de registro de aproximaciones sucesivas.

Todos los proyectos tuvieron su grado complejidad y no puedo establecer un criterio y etiquetar un proyecto mejor que otro. Se eligieron estos tres proyectos para ser descritos en este documento debido al impacto tuvieron y a la enseñanza que me brindaron.

El proyecto 1 “Etapa de 1.5 bits de un convertidor A/D tipo Pipeline” se recorrió el flujo de diseño empleado en el diseño de circuitos integrados. Las etapas que fueron ejecutadas son:

- Verificación Pre-Layout donde se valida la funcionalidad del circuito a nivel esquemático.
- Elaboración del Layout correspondiente al circuito, en este punto se desarrolla la parte física del circuito.
- Verificación DRC (*Design Ruler Check*) donde se comprueban las reglas básicas de diseño y construcción del Layout. Esta es una de las etapas más sensibles debido que para la correcta fabricación y funcionamiento del circuito, el Layout debe pasar la prueba de DRC que son un conjunto de reglas establecidas por el fabricante de circuitos integrados con las cuales garantiza que la fabricación del circuito se realice correctamente; Esta prueba está orientada a verificar la integridad del diseño físico del circuito.
- Verificación LVS (*Layout Versus Schematic*) en esta prueba se hace una comparación eléctrica entre el circuito esquemático y el circuito en el Layout, donde se comprueba que las conexiones y componentes que se utilizaron en el diseño Layout coinciden con el esquemático, es decir se verifica que el circuito en el Layout es correspondiente al circuito esquemático.
- Extracción, en este paso del flujo de diseño se toman los archivos generados en el paso anterior (*Nombre\_del\_Circuito.calibre.db*), si la verificación LVS no se efectúa

## 1. RESUMEN DE LOS PROYECTOS REALIZADOS

de manera correcta, no se generan los archivos necesarios para realizar la extracción y esta no se podrá llevar a cabo. En este paso del diseño se genera la vista que se utilizara en las verificaciones posteriores. Esta vista generada o versión del circuito cuenta con toda la información eléctricas y física del circuito, como capacitancias parasitas acopladas entre conexiones, dispositivos, líneas, puertos y a tierra, resistencia eléctrica presente en las líneas de transmisión de datos, señales de control, señales analógicas, de alimentación, puertos y elementos, y dispositivos semiconductores parásitos que se forman al colocarse las distintas capas de material semiconductor. Esta vista extraída del circuito es una representación virtual muy aproximada al circuito fabricado debido a los complejos modelos utilizados y a los métodos de extracción empleados por las herramientas CAD (*Computer Assistance Desigan*) y EDA (*Electronic Design Automation*).

- Verificación Post-Layout, hasta aquí solo se cuenta con las vistas necesarias para poder fabricar el circuito, pero esto no garantiza que el circuito funcione correctamente después de ser fabricado. Es por esta razón que el circuito extraído debe ser verificado, para garantizar su correcto funcionamiento antes de ser enviado a fabricación. Aquí se verifica la funcionalidad del circuito extraído y que este cumpla con las especificaciones necesarias. De encontrarse algún error el circuito debe ser revisado y corregido, ya sea que el error fue encontrado en el diseño físico (Layout) o inclusive en el diseño Pre-Layout, se debe volver a repetir todos los pasos anteriores para garantizar la correcta funcionalidad del circuito antes de ser enviado a fabricación.

Otro punto importante en este trabajo, fue entender la metodología de diseño jerárquico y como este facilita la solución de problemas complejos dividiendo a este en partes más pequeñas para luego ser integradas en subconjuntos que se integran para formar un conjunto final. Este proyecto fue dividido en 3 etapas y reportado en tres partes.

Proyecto 2 “*Design of a Programmable Charge-Pump Waveform Generator*” de este trabajo se generó la siguiente publicación “*Desing of a programable CMOS Charge-Pump for phase-locked loop synthesizers*” la cual fue presentada en 2012 en la *Iberoamerican Conference*



## 1. RESUMEN DE LOS PROYECTOS REALIZADOS

on *Electronics Engineering and Computer Science*. Los circuitos bomba de carga (en inglés *Charge Pump*) son elementos básicos para la construcción de sistemas más complejos, por ejemplo convertidores A/D y D/A, circuitos de acceso aleatorio de memoria dinámica, circuitos que emplean técnicas *switched-capacitor* y sistemas *phase locked loop* (PLL). El circuito desarrollado en este proyecto puede parecer simple a primera vista, pero lo novedoso en este circuito es la programabilidad añadida para incrementar o disminuir la corriente eléctrica que el circuito puede manejar, es decir fueron incluidos dos modos de operación para aumentar su capacidad de respuesta según sea requerido y el control de bajo consumo o *stand-by* añadido para su implementación en sistemas de bajo consumo de energía.

Proyecto 3 “Convertidor A/D de 5 bits basado con arquitectura de registros de aproximaciones sucesivas” lo relevante de este proyecto es el diseño de control lógico que el convertidor A/D requiere para su funcionamiento y la manera en que se implementó; en este tipo de diseños que requieren de un control lógico se pueden resolver de la siguiente manera:

- a) Circuito lógico de control implementado a nivel transistor. Simulación analógica.
- b) Modelo comportamental Verilog o VHDL del control lógico. Simulación mixta.
- c) Modelo comportamental eléctrico Verilog-A o Verilog-AMS del control lógico. Simulación analógica o mixta.

Se empleó (c) para ser integrado en el diseño pre-layout, debido a las fechas de liberación del proyecto y que (a) estaba fuera del alcance de las fechas de entrega.

Todos los proyectos se desarrollaron con herramientas de Cadence® Virtuoso®, PDK de NCSU\_AMI\_0.5 y el simulador circuital Cadence® SPECTRE®.

### 1.1. Proyecto 1 – Etapa de 1.5 bits de un convertidor A/D tipo Pipeline

#### 1.1.1 Introducción

Los convertidores de datos tienen una gran variedad de aplicaciones en sistemas de adquisición y procesamiento de señales tales como Camcorders, Transceptores inalámbricos de redes de área local, señales de audio y video, etc.

## **1. RESUMEN DE LOS PROYECTOS REALIZADOS**

### **1.1.2 Antecedentes**

Un convertidor de datos analógico-digital tipo Pipeline (ADC\_pipeline) de n bits, se implementa con varios bloques conectados en cascada. Cada etapa ADC\_Pipeline contiene internamente un circuito de muestreo y retención (S/H), un amplificador diferencial (2X), un ADC y un DAC ambos de 2 bits. Las especificaciones fueron diseñar una etapa de 1.5 bits para un ADC tipo Pipeline, con tecnología AMI\_0.5um que opera con 4 fases de reloj no traslapadas a una frecuencia de 5 MHz.

### **1.1.3 Solución desarrollada**

Cada sub-circuito se desarrolló conforme a un plan de trabajo establecido y un diseño jerárquico. El desarrollo del proyecto se dividió en Pre-Layout y Post-Layout, para una descripción más detallada dirigirse al Apéndice A. Debo mencionar que para el módulo *Amplifier 2x\_Gain* requería de varios capacitores de 100 y 300 fF, los cuales se construyeron a partir de capacitores de 100 fF, esto facilitó el diseño.

### **1.1.4 Análisis de resultados**

Los resultados de la simulación Post-Layout fueron positivos, el circuito se desempeñó como se esperaba, la implementación del diseño físico fue correcta, el circuito era funcional y está listo para su fabricación.

### **1.1.5 Conclusiones**

El circuito diseñado es completamente funcional, se llevaron a cabo las verificaciones más elementales que deben realizarse en un diseño de circuitos integrados. Una de las decisiones de mayor relevancia fue la construcción de los capacitores a partir de capacitores más pequeños, esto facilitó que al momento de realizar la extracción se obtuvieran valores de capacitancia muy próximos a los valores requeridos.

### 1.2. Proyecto 2 – Programmable Charge-Pump Waveform Generator

#### 1.2.1 Introducción

Los circuitos *Charge-Pump* son ampliamente utilizados en sistemas PLL, para cerrar el lazo de retroalimentación del sistema y convertir una variable de tiempo en una variable de voltaje. Posen un amplio rango de aplicaciones en el campo de las comunicaciones, sistemas *wireless*, sistemas digitales de control y en la electrónica de sistemas de almacenamiento de información.

#### 1.2.2 Antecedentes

Básicamente un *Charge-Pump* consiste en dos fuentes de corriente y dos interruptores que controlan el flujo de esta corriente que es inyectada o extraída de un capacitor C, al almacenar la corriente en el capacitor se genera un voltaje proporcional a la corriente inyectada y al tiempo de inyección. Un problema particular que se presentan es el *Charge-Injection* que es básicamente carga eléctrica que queda almacenada dentro de los transistores utilizados como interruptores de control del flujo de corriente y genera un error en el voltaje de salida del circuito, pues se espera que el voltaje sea proporcional a la variable de tiempo que se está muestreando.

#### 1.2.3 Solución desarrollada

El circuito diseñado en este proyecto cuenta con una programabilidad añadida que le permite aumentar su rango de operación, para aplicaciones de frecuencias más amplias gracias a las fuentes de corrientes programables que se añadieron al circuito, las cuales también poseen una circuitería de *stan-by* que hace de este circuito una excelente opción para aplicaciones de bajo consumo. Para resolver el problema de la *Charge-Injection* se utilizaron compuertas de transmisión, las cuales emplean transistores tipo-N y tipo-P. El transistor tipo-N libera carga de electrones, mientras que el transistor tipo-P libera carga de huecos. Ambas cargas se recombinan y se neutralizan entre sí, minimizando los efectos de *Charge-Injection*.

## 1. RESUMEN DE LOS PROYECTOS REALIZADOS

### 1.2.4 Análisis de resultados

El circuito funciono correctamente en todos sus modos de operación,  $I_B$  y  $2I_B$ , se esperaba tener una recta de carga de 1 y 2 V/ $\mu$ s respectivamente tanto en la fase de carga como en la fase de descarga, y se obtuvieron en el primer modo de operación 1.26 y 1.16 V/ $\mu$ s y en el segundo modo de operación 2.23 y 2.25 V/ $\mu$ s en su fase de carga y descarga respectivamente.

### 1.2.5 Conclusiones

El uso de las compuertas de transmisión redujo en gran medida el problema de *Charge-Injection* que este tipo diseños padece. Es crucial que las dimensiones de los transistores tipo-P sean las adecuadas para eliminar los portadores de carga de los transistores tipo-N y reducir en gran medida la inyección de cargas parasitas. Otro punto importante a considera en el dimensionamiento de los transistores tipo-P, que se dimensionen adecuadamente para no afectar su velocidad de respuesta. Se encontró que  $3W_P \propto W_N$ , esta era la relación adecuada para satisfacer los requerimientos. Para una explicación más amplia de este proyecto dirigirse al Apéndice B.

## 1.3. Proyecto 3 - Diseño de un convertidor A/D de 5 bits en la estructura de registro de aproximaciones sucesivas

### 1.3.1 Introducción

Los convertidores de datos provén la interfaces entre el mundo analógico y los sistemas digitales y desempeña el trabajo de obtener los datos del mundo real. Con el incremento del cómputo digital y procesamiento de señales en aplicaciones de imágenes médicas, instrumentación, electrónica de consumo y comunicaciones, sus aplicaciones se han expandido a tal grado de estar presente en casi todo sistema electrónico.

### 1.3.2 Antecedentes

## 1. RESUMEN DE LOS PROYECTOS REALIZADOS

Quizás el método de conversión A/D más ampliamente utilizado es el de las aproximaciones sucesivas. Tiene un tiempo de conversión mucho menor que los otros métodos, a excepción del método flash. Así mismo, el tiempo de conversión es fijo para cualquier valor de entrada analógica. Está formado por un DAC, un registro de aproximaciones sucesivas (SAR, *successive-approximation register*) y un comparador. Para este proyecto se requiere de un convertidor A/D con arquitectura SAR de 5 bits en una tecnología de 0.5 $\mu$ m. Para su implementación deben reusarse los bloques de las prácticas anteriores. La lógica de control SAR está abierta a criterio del diseñador.

### 1.3.3 Solución desarrollada

El circuito se diseñó sin problemas y se implementó a nivel transistor utilizando los modelos de AMI\_0.5um a excepción de la lógica de control SAR, esta se diseñó e implementó con un lenguaje de descripción de hardware, lenguaje comportamental eléctrico Verilog-A. El módulo SAR tomaba la salida del comparador y con una sentencia *CASE* e *IF-ELSE* se tomaba la decisión de incrementar el voltaje de salida en el DAC para forzar al comparador a cambiar de estado. El circuito *Sample-Hold* (SH) se tuvo que implementar también en Verilog-A, debido a que el circuito con transistores no se comportaba de la manera esperada y a la falta de tiempo se optó por tomar esta decisión.

### 1.3.4 Análisis de resultados

El convertidor A/D SAR funciona, realiza la operación de conversión, pero presenta un error de conversión de 4 bits o  $\pm 2$  bits y este error debe ser reducido a 2 bits o  $\pm 1$  bit, muchos fabricantes ofrecen sus convertidores con un error de conversión de  $\pm 1$  bit en sus productos. Un convertidor con un error mayor a eso es considerado un mal producto.

### 1.3.5 Conclusiones

La lógica de control implementada en Verilog-A presentó un error de convergencia debido a la configuración del simulador, fue necesario incrementar el número de muestras en el

## **1. RESUMEN DE LOS PROYECTOS REALIZADOS**

análisis transitorio, para obtener variaciones de tiempo más pequeñas que le permitieran converger o hacer una modificación en una sentencia condicional, se realizaron ambas modificaciones, con estos cambios el simulador pudo concluir. Es necesario mejorar este diseño ya que el error de conversión que presenta es muy grande, la solución a este problema se podría obtener al permitirle a la lógica SAR tomar dos ciclos más de iteración para que las señales se estabilicen, ya que el objetivo fue hacer que el circuito fuera lo más rápido posible y no se le permitió estabilizar los voltajes de los nodos internos. Para una explicación más amplia de este proyecto dirigirse al Apéndice C.

## **2. Conclusiones**

Cada proyecto descrito en este documento represento un reto distinto durante el ciclo de estudio del postgrado, cada uno se resolvió de manera distinta gracias a las habilidades adquiridas y a la experiencia generada durante todo el proceso de formación en su momento. Hoy al concluir el postgrado veo que las soluciones aplicadas no fueron las mejores en todos los casos y se podría aplicar mejores soluciones, más efectivas y en menor tiempo, claro hoy lo veo con otros ojos. Considero que los puntos más destacables de esta área de concentración fue el aprendizaje sobre las distintas tecnologías de circuitos integrados, uso de herramientas CAD y EDA de alto nivel para el desarrollo de sistemas complejos, las habilidades de análisis sobre dispositivos electrónicos y circuitos eléctricos adquiridas, entender los paradigmas de análisis aplicados a la electrónica analógica y sus diferencias, y similitudes con el diseño digital.

# Apéndices

## A. REPORTE - ETAPA DE 1.5 BITS DE UN CONVERTIDOR A/D TIPO PIPELINE

### Diseño y verificación Pre-Layout

Los convertidores de datos tienen una gran variedad de aplicaciones en sistemas de adquisición y procesamiento de señales tales como Camcorders, Transceptores inalámbricos de redes de área local, etc. Existe una gran variedad de convertidores de datos adecuados para cada aplicación. Un Convertidor de Datos Analógico a Digital tipo Pipeline (ADC\_pipeline) de n-bits, se implementa con varios bloques conectados en cascada (Fig.A-1). Cada etapa del ADC\_pipeline contiene internamente un circuito de Muestreo y Retención (S/H), un Amplificador Diferencial (2X), un ADC y un DAC ambos de 2 bits (Fig. A-2).

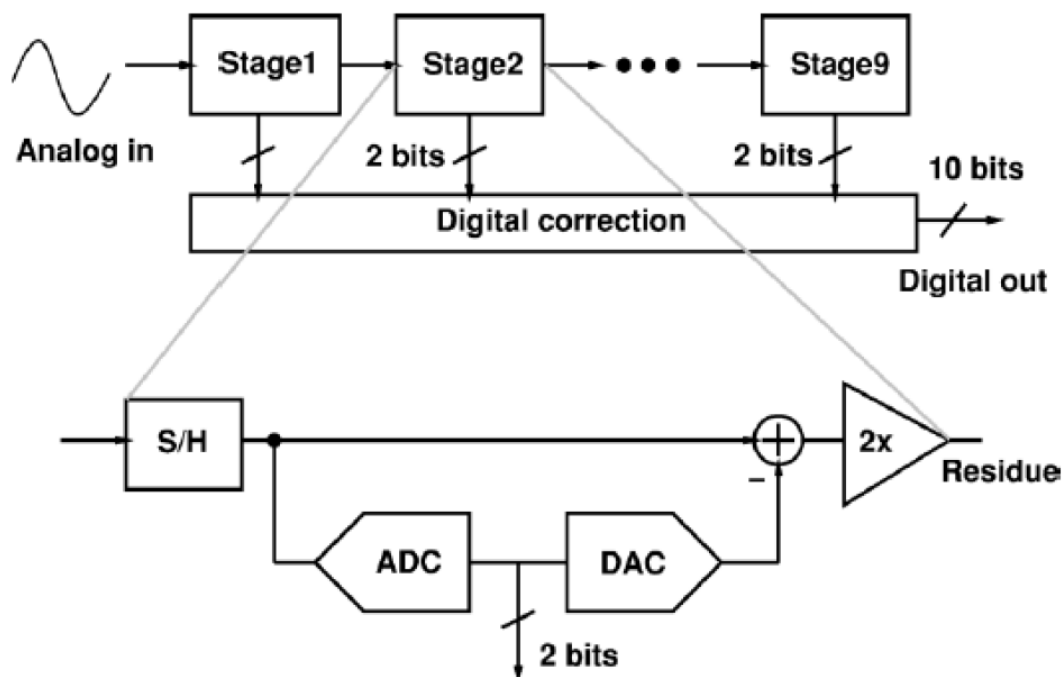


Fig. A-1 Diagrama de bloques del Convertidor A/D tipo Pipeline de 1.5bits.

**Especificaciones de diseño:** Este proyecto, consiste en diseñar una etapa de 1.5bits para un ADC tipo pipeline de n-bits en circuito integrado usando la tecnología AMI\_0.5um. En la Fig. A-3, se presenta el diagrama a bloques de la implementación de la etapa de 1.5 bits del ADC\_pipeline. El circuito opera con 4 fases de reloj no traslapadas a una frecuencia de 5MHz. El circuito debe generar 2bits de salida (además de los bits MSB y LSB para una etapa de corrección lógica posterior) ante una señal senoidal de entrada de amplitud 1Vpp y frecuencia entre 100kHz y 5MHz.



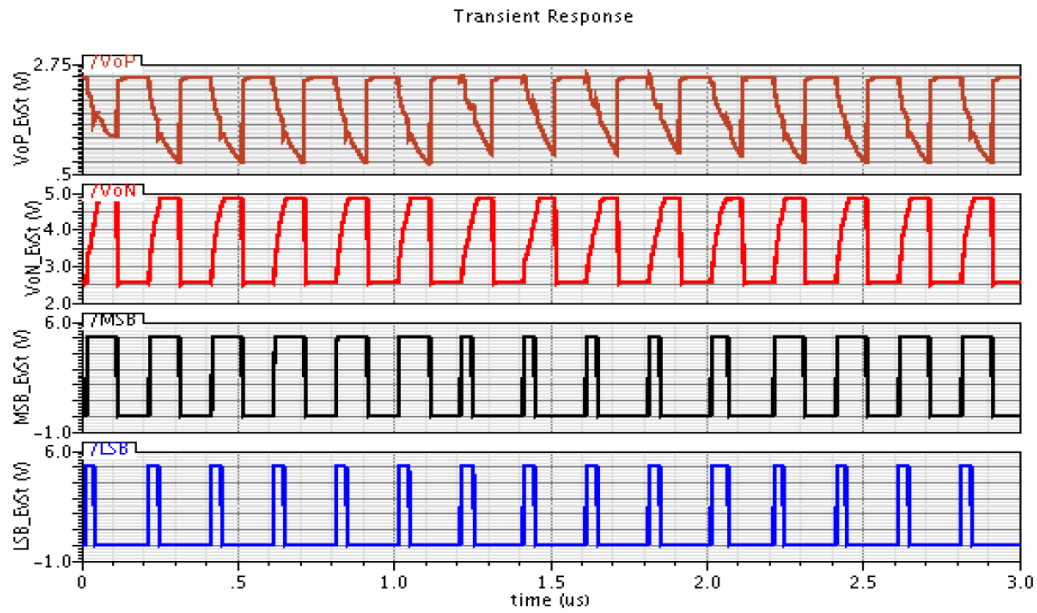


Fig. A-2 Respuesta esperada de la etapa de 1.5bits del ADC.

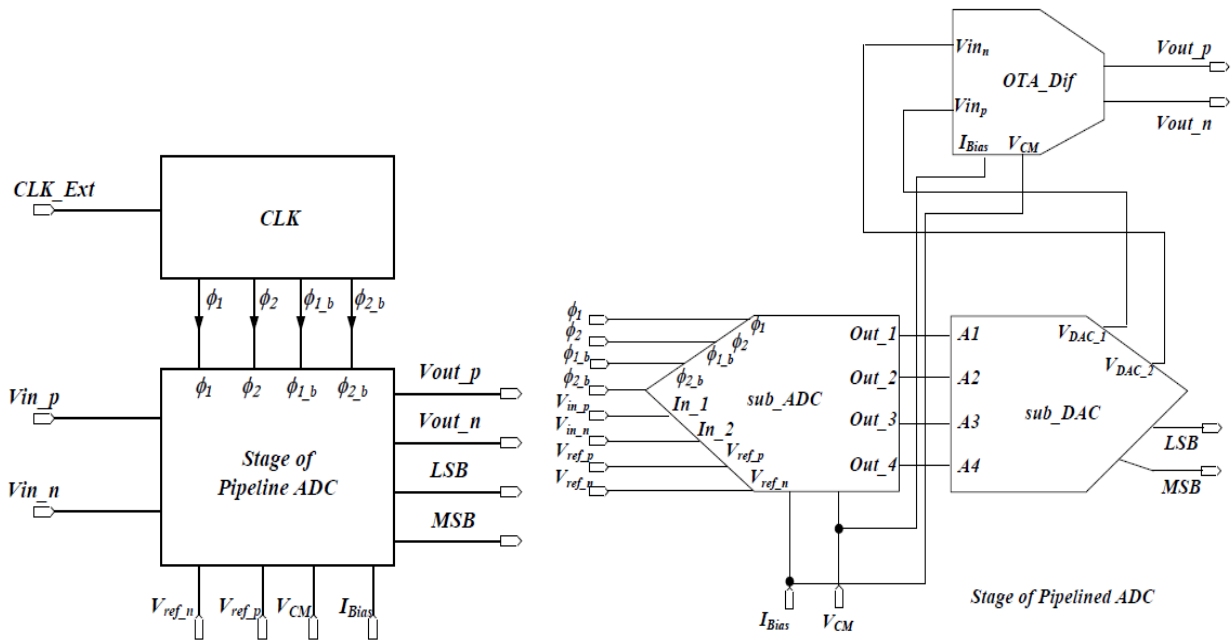


Fig. A-3 (a) Símbolo de la etapa de 1.5bits de un ADC\_pipeline de n-bits, (b) arreglo interno del bloque.

## APÉNDICES

**Retos:** (1) Diseñar el circuito de polarización para generar los voltajes VB1 a VB4 y el circuito CMFB del amplificador diferencial. Estos circuitos pueden ser diseñados con la asesoría del profesor Iván Padilla en el 2º módulo del curso Diseño de Circuitos Integrados Analógicos. (2) Diseñar la celda generador de señales de reloj no traslapadas. Este circuito puede ser diseñado con la asesoría del profesor Manuel Salim del curso Diseño Digital. (3) Los switches del circuito S/H del comparador diferencial pueden sustituirse por switches más lineales tipo Transmission Gate o bootstrapped. Estos circuitos pueden diseñarse con la asesoría del profesor Esdras Juárez del 1er módulo del curso Diseño de Circuitos Integrados Analógicos. (4) Un diseño del comparador con mejor desempeño puede desarrollarse con la asesoría del profesor Federico Lobato en el 3er módulo del curso Diseño de Circuitos Integrados Analógicos.

### 1. Módulo Sub\_ADC – Comparador diferencial 1

El comparador diferencial es uno de los elementos estructurales al interior del módulo **sub\_ADC**. Este comparador del tipo diferencial, es decir, la entrada se alimenta con señales diferenciales. Las salidas son digitales. Como referencia, tomamos el funcionamiento de un comparador de voltaje del tipo *single-ended* a base de amplificadores operacionales. Éste posee entradas diferenciales las cuales al existir una diferencia entre ellas, la salida del Amplificador operacional conmuta a un valor positiva o un valor negativa dependiendo del resultado de la diferencia en sus entradas (Fig.A-4). El esquemático del comparador diferencial se muestra en la Fig.A-5.

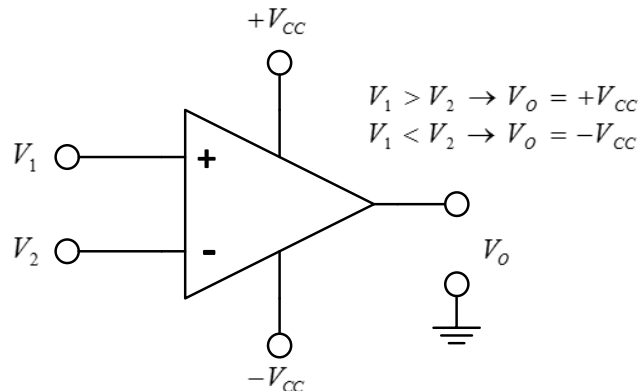


Fig. A-4 Comparador de voltaje simple (*single ended*). Esta es una configuración básica del amplificador operacional, se utiliza para comparar los voltajes de la entrada del amplificador operacional, dependiendo de la magnitud de los voltajes entrada del amplificador operacional, la salida tomara el valor de la alimentación positiva o negativa.

El comparador utilizado en el diseño es un comparador diferencial controlado por fase cuyo funcionamiento es el siguiente:

- El comparador siempre estará oscilando sus salidas entre 0V y 5V o BAJO y ALTO dependiendo de sus entradas y de la señal de reloj PHI\_1bar.
- Cuando PHI\_1bar está en estado ALTO, el comparador presenta un estado ALTO en ambas salidas VoN y VoP.
- Cuando PHI\_1bar está en estado BAJO se efectúa la comparación. Sí  $V_{IN} > V_{IP}$ ,  $V_{ON}$  pasa a estado bajo y  $V_{OP}$  pasa a estado alto. Sí  $V_{IN} < V_{IP}$ ,  $V_{ON}$  pasa a estado alto y  $V_{OP}$  pasa a estado bajo.

El comportamiento previamente descrito arriba se muestra en la Tabla A-I. En la Fig.A-6 y Fig.A-7 se muestra el esquemático y símbolo del comparador CMP\_1 capturado en CADENCE VIRTUOSO.

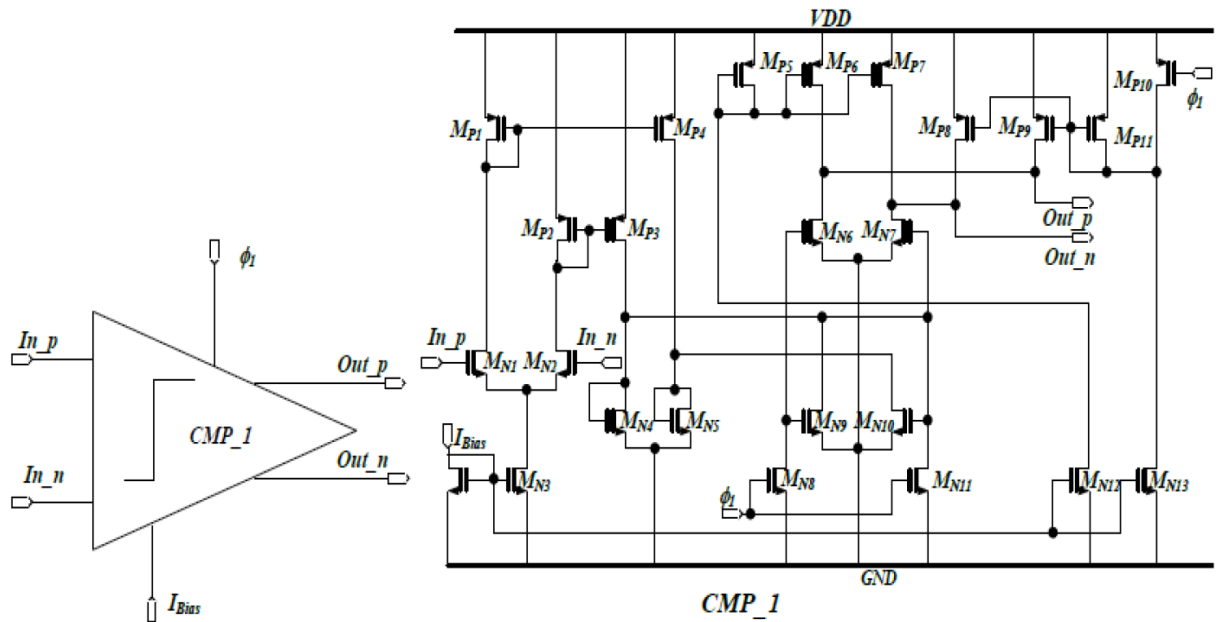


Fig. A-5 Comparador diferencial CMP\_1. A la izquierda se muestra el símbolo del comparador diferencial. A la derecha esquemático a nivel transistor del comparador diferencial.

TABLA A-I  
 TABLA DE VERDAD DEL COMPARADOR DIFERENCIAL CMP\_1

ENTRADAS			SALIDAS	
PH1_bar	V <sub>IN</sub>	V <sub>IP</sub>	V <sub>ON</sub>	V <sub>OP</sub>
0	$V_{IN} > V_{TH}$	$V_{IP} < V_{TH}$	0	1
0	$V_{IN} < V_{TH}$	$V_{IP} > V_{TH}$	1	0
1	X	X	1	1

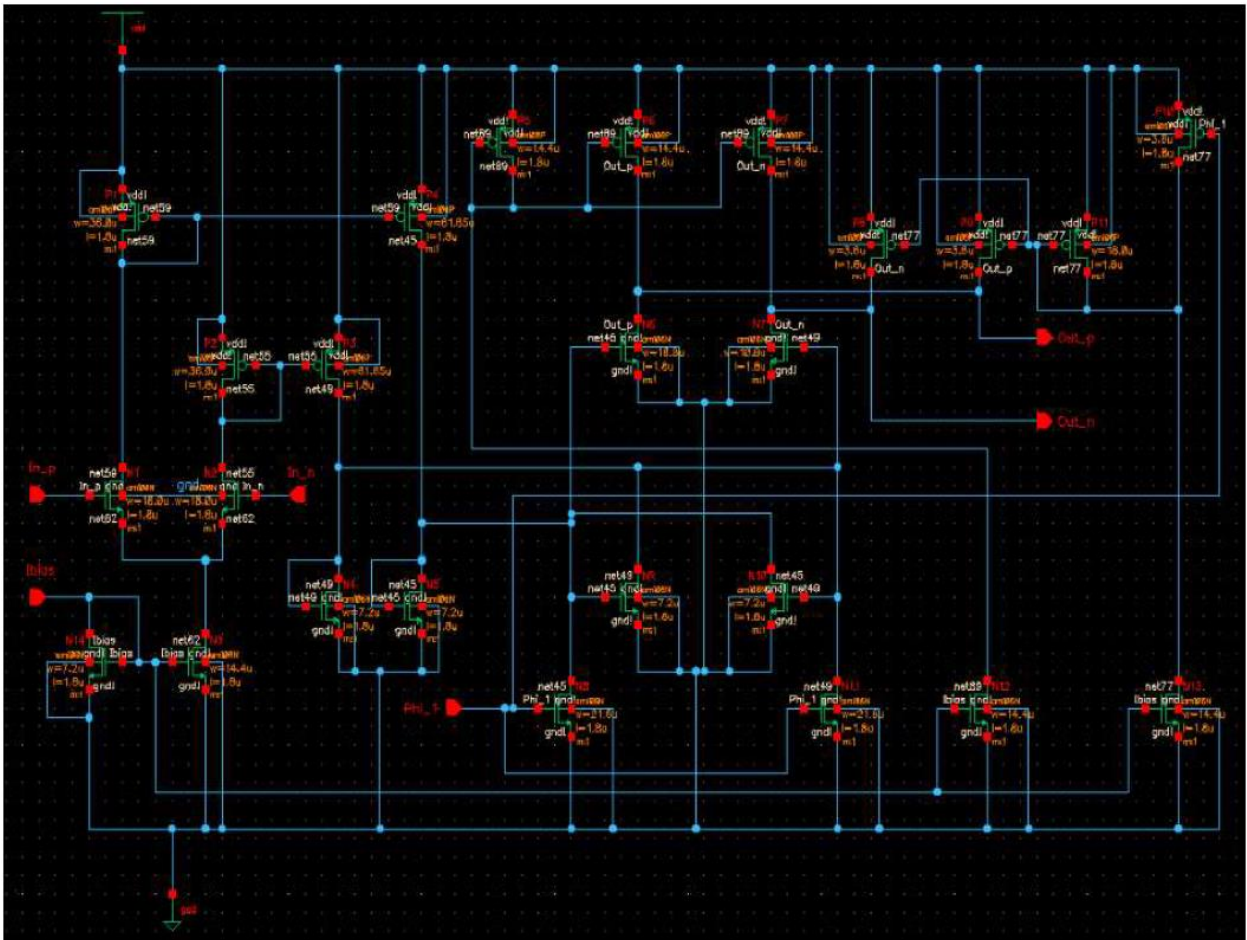


Fig. A-6 Esquemático del comparador diferencial CMP\_1 capturado en CADENCE VIRTUOSO

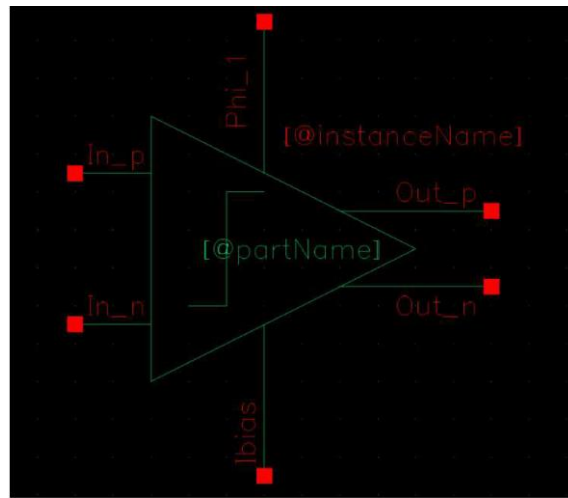


Fig. A-7 Símbolo del comparador diferencial CMP\_1 capturado en CADENCE VIRTUOSO.

En la Fig.A-6 no es posible apreciar claramente la topología del circuito y las dimensiones de los transistores, por lo que en la en la Fig.A-8 mostramos el esquemático del CMP\_1 nuevamente pero indicando el nombre de cada dispositivo y en la Tabla A-II se muestran las dimensiones de los transistores.

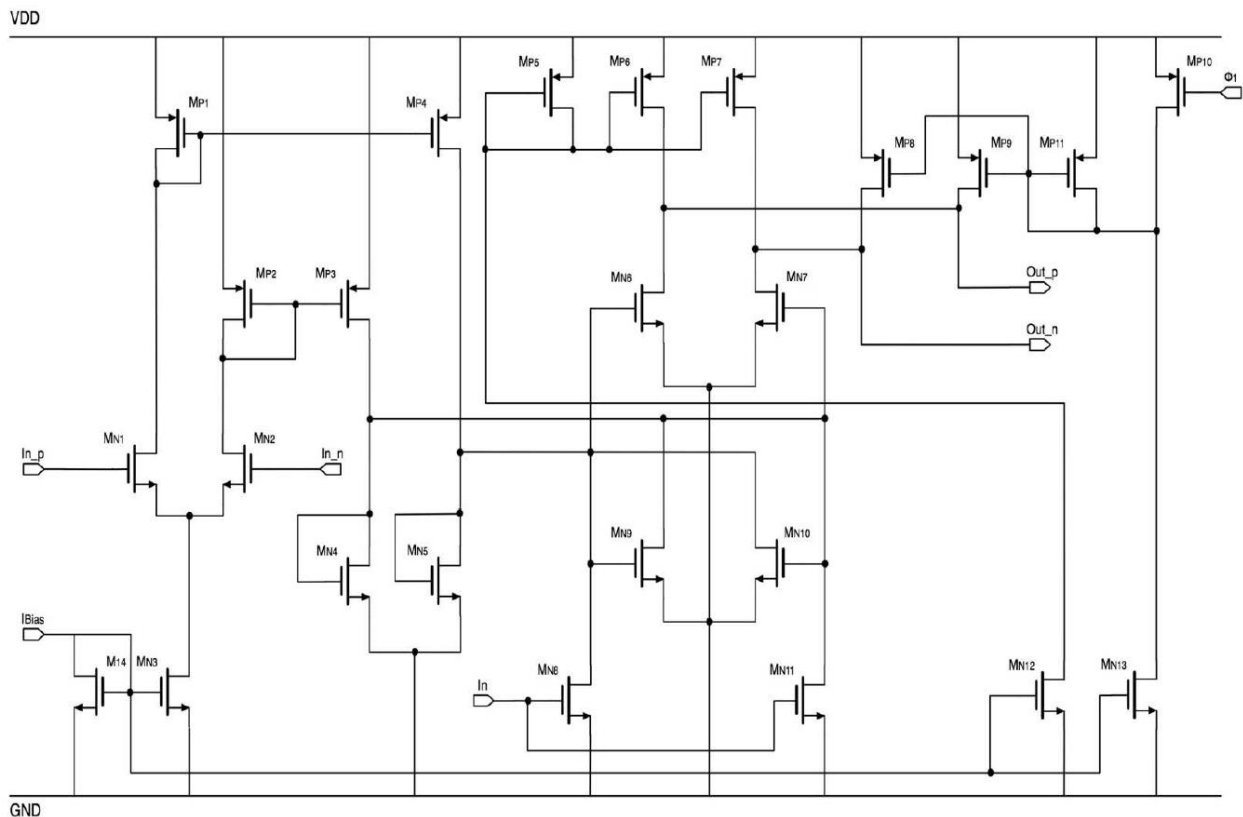


Fig. A-8 Esquemático del comparador diferencial (CMP\_1) en la que podemos apreciar una imagen más limpia con la finalidad de mostrar los nombres de cada transistor.

APÉNDICES

TABLA A-II  
DIMENSIONES DE LOS TRANSISTORES DEL CMP\_1

PARAMETRO	M <sub>N1,2</sub>	M <sub>N3,12</sub>	M <sub>N4,5,9</sub>	M <sub>N6</sub>	M <sub>N8,11</sub>	M <sub>P1,2</sub>	M <sub>P3,4</sub>	M <sub>P5,6</sub>	M <sub>P8,9,10</sub>	M <sub>P11</sub>
W(μm)	18	14.4	7.2	10.8	21.6	36	61.6	14.4	3.6	18
L(μm)	1.8	1.8	1.8	1.8	1.8	1.8	1.8	1.8	1.8	1.8

ESPECIFICACIONES

I<sub>BIAS</sub> (idc)

10μA

Φ1(vpulse)

V1=0v

V2=5v

Delay = 10ns

Rt = 1ns

Ft = 1ns

Pw = 98ns

Period = 200ns

Se procedió a verificar el correcto funcionamiento del CMP\_1. En la Fig.A-9 se muestra el banco de pruebas y en Fig.A-10 las formas de onda, resultado de la simulación.

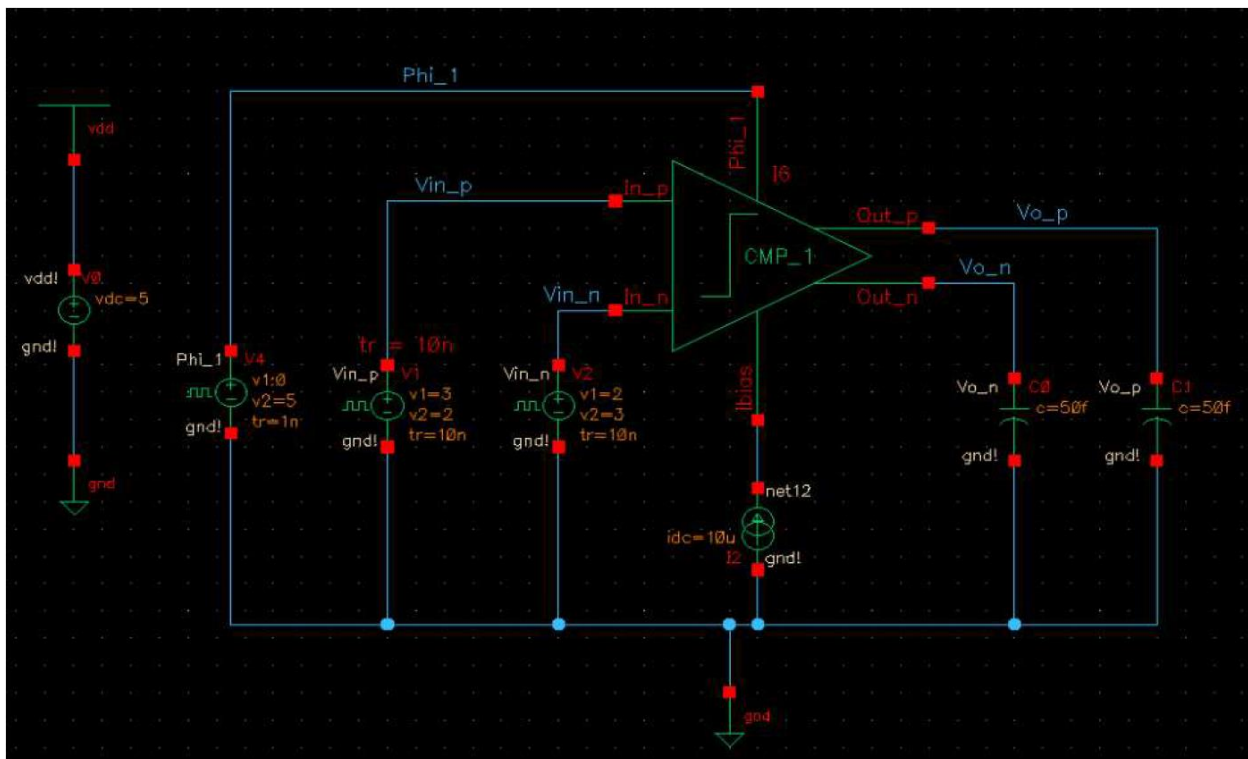


Fig. A-9 Banco de pruebas para el CMP\_1. La simulación se llevó a cabo en CADENCE VIRTUOSO SPECTRE. Las características de la señal de reloj que el comparador requiere se especifican en la TABLA A-II.

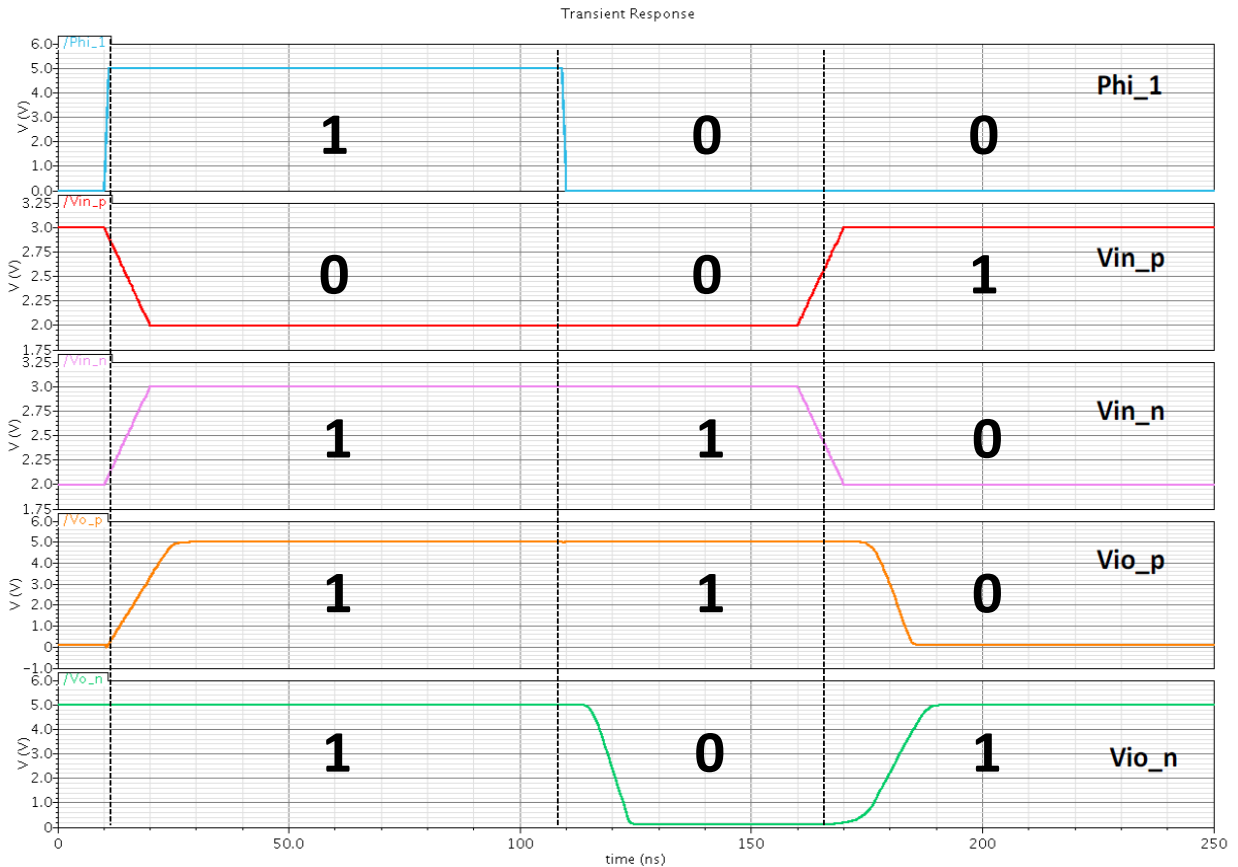


Fig. A-10 Resultado de la simulación funcional del comparador CMP\_1. La comparación se efectúa cuando la señal de reloj (Phi\_1) se encuentra en estado lógico bajo. En esta condición el comparador lleva a cabo su operación designada. Cuando la señal de reloj (Phi\_1) pasa a un estado lógico alto, ambas salidas del comparador  $V_{io\_p}$  y  $V_{io\_n}$  conmutan a un estado lógico alto. Verificar tabla de verdad TABLA – AI.

## 2. Módulo Sub\_ADC – Comparador diferencial 2

El comparador diferencial 2 CMP\_2, está conformado el comparador diferencial CMP\_1 y una etapa de muestreo y retención (*Sample and Hold*). El circuito completo del CMP\_2 se muestra en la Fig.A-11 y el circuito *Sample-Hold* o SH en la Fig.A-12. La función del CMP\_2 es realizar un muestreo de los voltajes de entrada y los voltajes de referencia, calcular su diferencia y generar un resultado lógico con base en dicha diferencia.

El circuito SH, funciona con 4 señales de reloj no traslapadas Fig.A-13, donde las señales  $\Phi_1$  y  $\Phi_2$  son complementarias, es decir, que cuando  $\Phi_1$  está en alto  $\Phi_2$  está en bajo y viceversa. Las señales  $\Phi_{1\_b}$  y  $\Phi_1$  simultáneamente realizan una transición de un nivel bajo a uno alto, pero la señal  $\Phi_{1\_b}$  regresa al nivel bajo antes que  $\Phi_1$ . Las señales  $\Phi_2$  y  $\Phi_{2\_b}$  se comportan de manera similar. Los voltajes de umbral (*voltage threshold*) del comparador CMP\_2 son  $+V_{ref}/4$  y  $-V_{ref}/4$  donde el rango de voltaje de referencia es de  $-V_{ref}$  a  $+V_{ref}$ . Cuando  $\Phi_1$  y  $\Phi_{1\_b}$  están en nivel alto los capacitores se cargan hasta los valores del voltaje  $V_{in\_P}$  y  $V_{in\_N}$  respectivamente en cada rama ( $C_1$  y  $C_2$  se cargan al potencial de  $V_{in\_P}$ ,  $C_3$  y  $C_4$  se cargan al potencial de  $V_{in\_N}$ ). Si  $\Phi_1$  y  $\Phi_{1\_b}$  están en estado bajo y,  $\Phi_2$  y  $\Phi_{2\_b}$  en alto, los capacitores  $C_1$  y  $C_4$  se cargan a los voltajes

## APÉNDICES

$V_{ref\_P}$  y  $V_{ref\_N}$  respectivamente; se genera una diferencia de potencial de los voltajes  $V_{in\_P} - V_{ref\_P}$  y  $V_{in\_N} - V_{ref\_N}$  en los capacitores  $C_1$  y  $C_4$  debido a que los capacitores ya estaban cargados al voltaje de entrada diferencial.  $C_2$  y  $C_3$  no se cargan debido a que están cortocircuitados y conectados al voltaje de modo común ( $V_{CM}$ ), lo que los hace mantener ese potencial. En las Fig.A-14 y Fig.A-15 se muestra el circuito y el símbolo del CMP\_2 capturado en el editor de esquemáticos VIRTUOSO CADENCE®, y en la Fig.A-16 el banco de pruebas para el CMP\_2 con la finalidad de validar su funcionalidad.

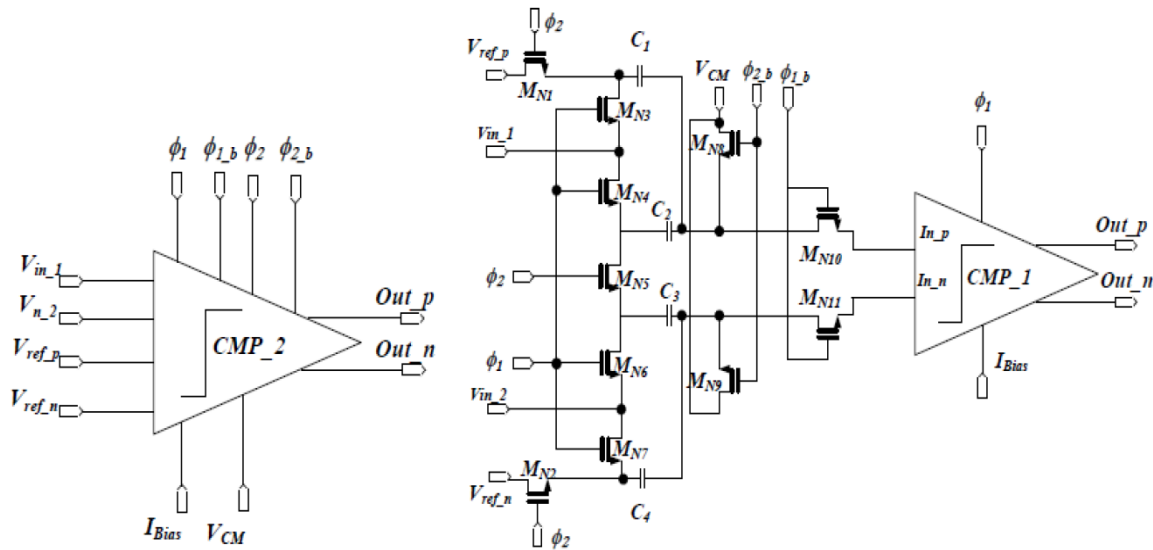


Fig. A-11 Comparador diferencial CMP\_2. A la izquierda se muestra el símbolo del comparador diferencial. A la derecha el esquemático que muestra la circuitería interna. El CMP\_2 está integrado por el CMP\_1 y un circuito de muestreo y retención SH (*Sample and Hold*).

El funcionamiento del CMP\_2 es el siguiente, los voltajes en los nodos de entrada del CMP\_1:

- $V_{inN\_CMP\_1} = V_{in\_N} - [V_{CM} - \frac{1}{4} (V_{CM} - V_{refN})]$
- $V_{inP\_CMP\_1} = V_{in\_P} + [V_{CM} + \frac{1}{4} (V_{refP} - V_{CM})]$

Las salidas del CMP\_2:

- 11 Cuando  $V_{in-CMP} \notin [V_{CM} - \frac{1}{4} (V_{CM} - V_{refN})]$  y  $\text{PHI\_1bar} = 1$
- 01 Cuando  $[V_{CM} - \frac{1}{4} (V_{CM} - V_{refN})] \notin V_{in-CMP} \notin [V_{CM} + \frac{1}{4} (V_{refP} - V_{CM})]$  y  $\text{PHI\_1bar} = 0$
- 10 Cuando  $V_{in-CMP} \notin [V_{CM} + \frac{1}{4} (V_{refP} - V_{CM})]$  y  $\text{PHI\_1bar} = 0$ .

Los resultados de la simulación se pueden observar en la Fig.A-17. Las dimensiones utilizadas en los transistores para el CMP\_2, que se indican en la TABLA A-III:



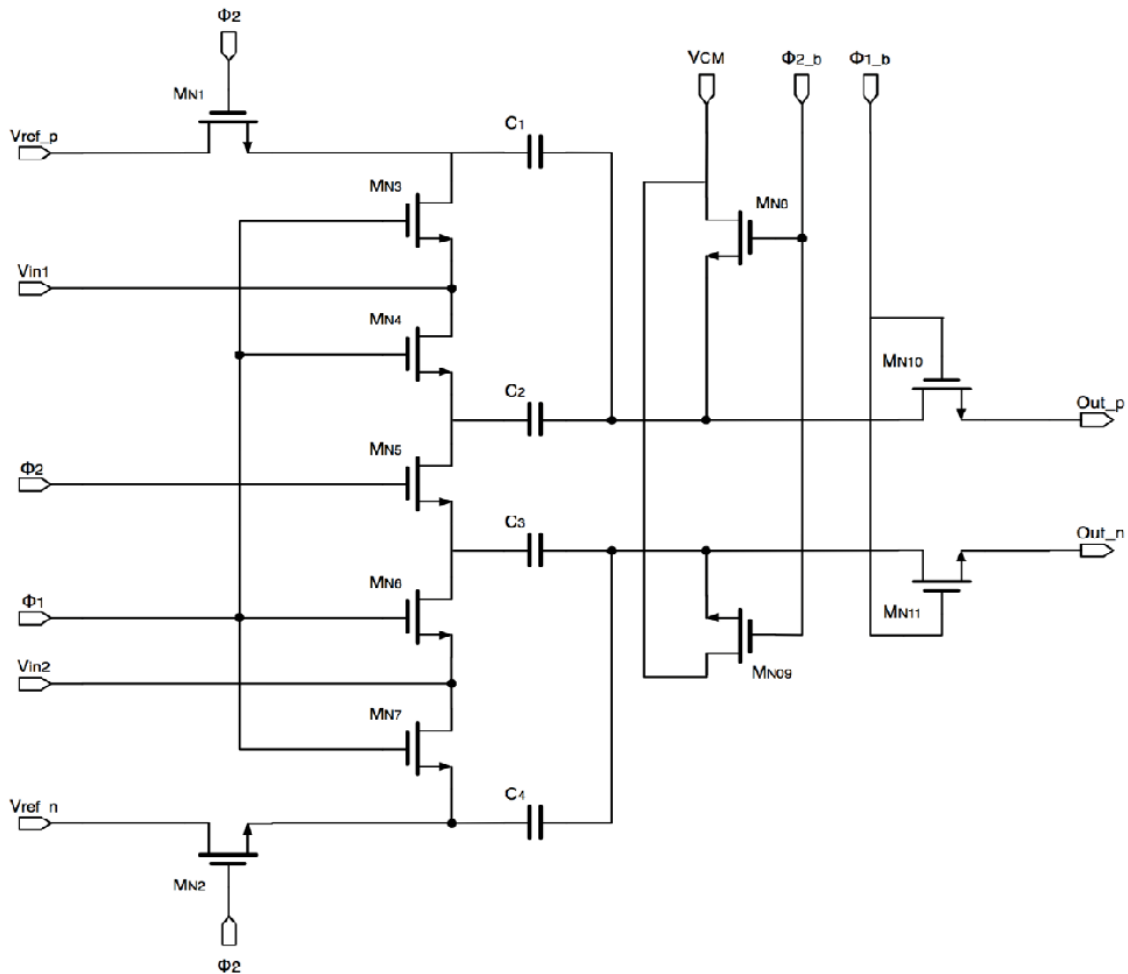


Fig. A-12 Circuito de muestreo y retención (*Sample and Hold*). Cuando la señal  $\Phi_2$  cambia de estado lógico bajo a alto y  $\Phi_1$  cambia de estado alto a bajo, los transistores  $M_{N1}$  y  $M_{N2}$  cargan a  $C_1$  y  $C_4$  al potencial de  $V_{ref\_p}$  y  $V_{ref\_n}$  respectivamente. Al mismo tiempo se encuentra activada  $\Phi_{2\_b}$  los que activa los transistores  $M_{N0}$  y  $M_{N9}$  estableciendo el nivel de modo común. Los capacitores  $C_2$  y  $C_3$  en esta fase se encuentran cortocircuitados por lo que no adquieren carga. En la siguiente fase cuando la señal  $\Phi_1$  cambia de estado lógico bajo a alto y  $\Phi_2$  cambia de estado alto a bajo,  $M_{N3}$  y  $M_{N4}$  se activan y conectan  $C_1$  y  $C_2$  al potencial de  $V_{in1}$ , lo que produce que la diferencia de potencial  $V_{in\_P} - V_{ref\_P}$  se almacene en  $C_2$ . De manera similar  $M_{N6}$  y  $M_{N7}$  se activan y conectan  $C_3$  y  $C_4$  al potencial de  $V_{in2}$ , lo que produce que la diferencia de potencial  $V_{in\_N} - V_{ref\_N}$  se almacene en  $C_3$ . Ahora estos voltajes más el voltaje de modo común ( $V_{in\_P} - V_{ref\_P} + V_{CM}$ ) y ( $V_{in\_N} - V_{ref\_N} + V_{CM}$ ) son conducidos a la entrada del  $CMP\_1$  a través de  $M_{N10}$  y  $M_{N11}$  respectivamente, para efectuar la comparación.

APÉNDICES

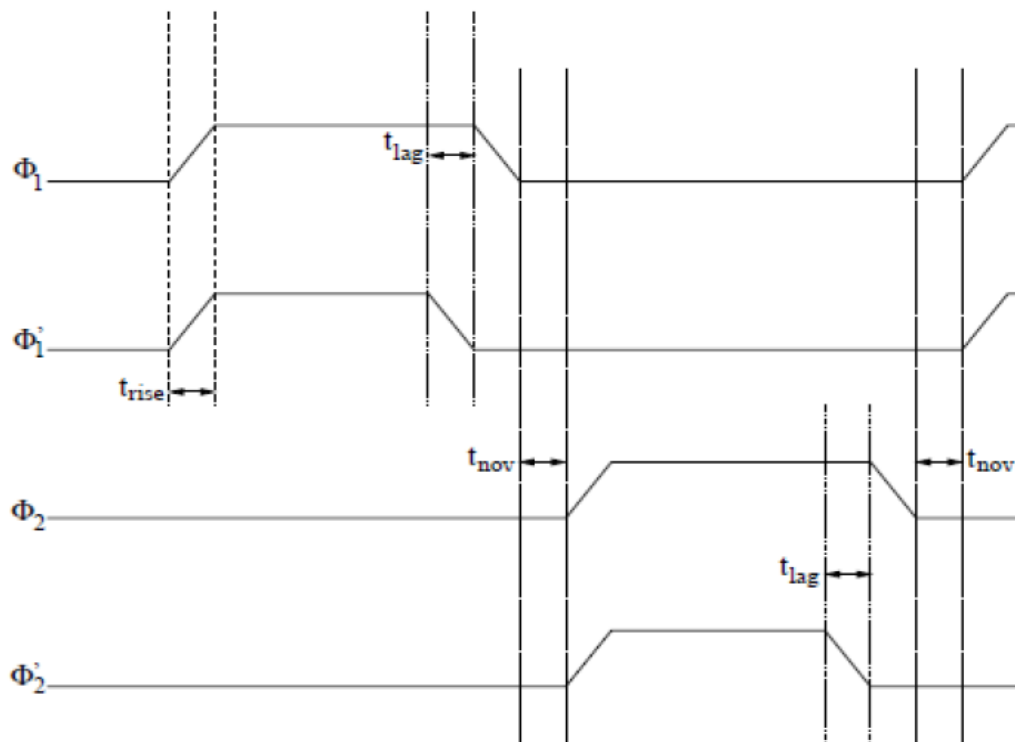


Fig. A-13 Fases de reloj para el circuito CMP\_2.  $t_{rise} = 1ns$ ,  $t_{fall} = 1ns$ ,  $t_{lag} = 10ns$ ,  $t_{nov} = 10ns$ ,  $T = 200ns$ ,  $Pulse\ width = 98ns$ . Estos valores también se especifican en la Tabla A-II.

TABLA A-III  
ESPECIFICACIONES DE DISEÑO DEL CMP\_2

PARAMETRO	$M_{N1-11}$	$C_{1,4}$ (fF)	$C_{2,3}$ (fF)	$V_{refP}$ (V)	$V_{refN}$ (V)	$I_{Bias}$ ( $\mu A$ -DC)
<b>W(<math>\mu m</math>)</b>	3.3	100	300	3	-2	<b>10</b>
<b>L(<math>\mu m</math>)</b>	<b>0.6</b>					

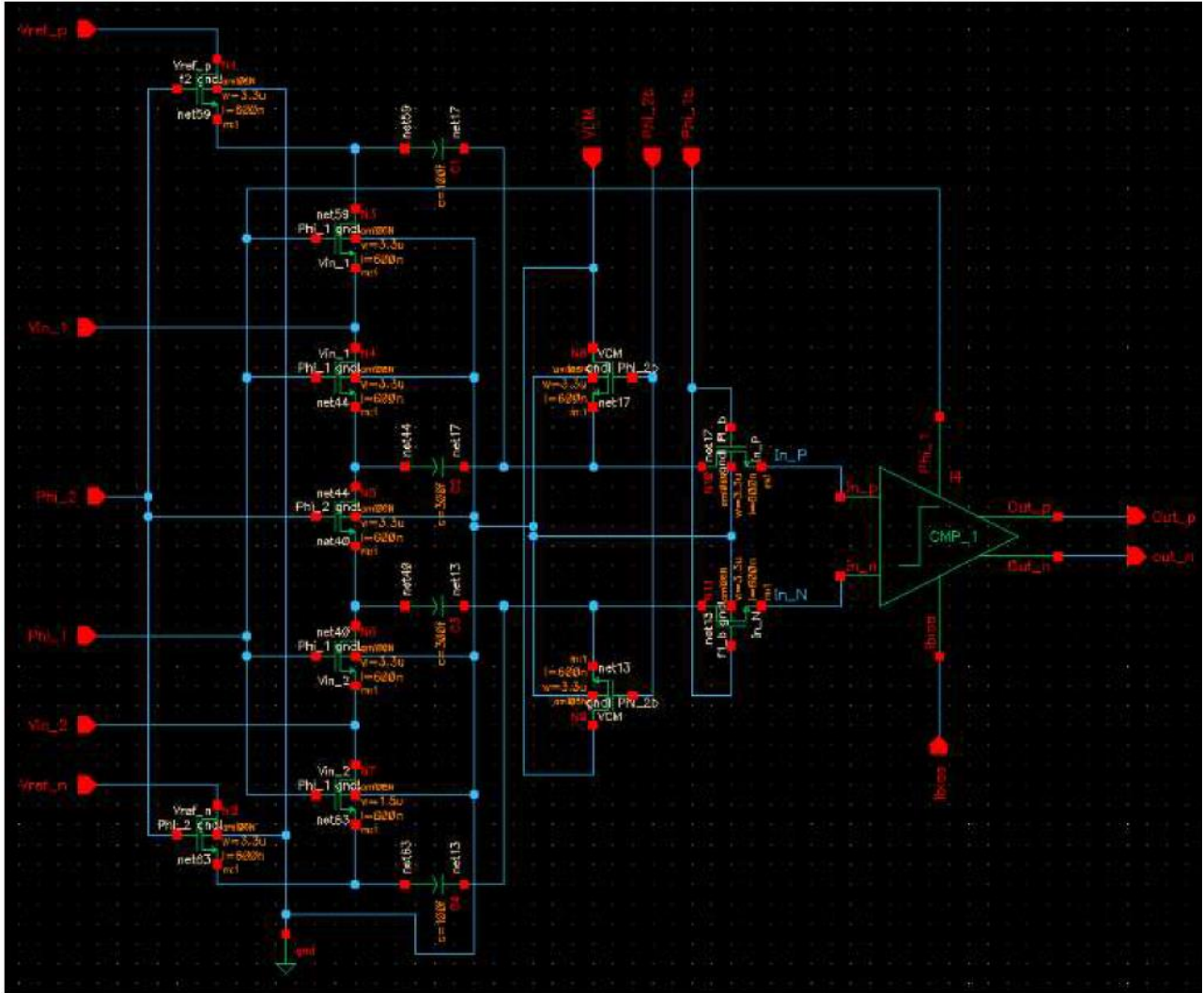


Fig. A-14 Esquemático del comparador diferencial CMP\_2 elaborado con ayuda del editor de esquemáticos del conjunto de herramientas de Virtuoso Cadence®.

## APÉNDICES

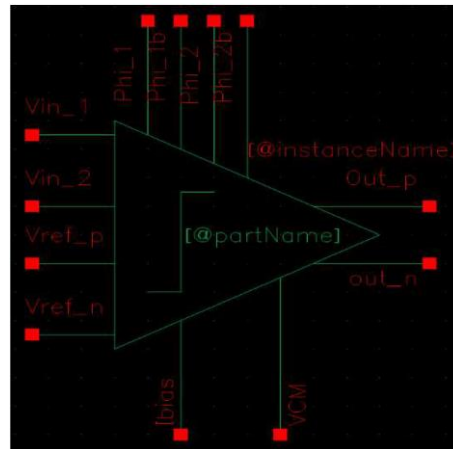


Fig. A-15 Símbolo del comparador diferencial CMP\_2 elaborado con ayuda del editor de símbolos y esquemáticos del conjunto de herramientas de Virtuoso Cadence®.

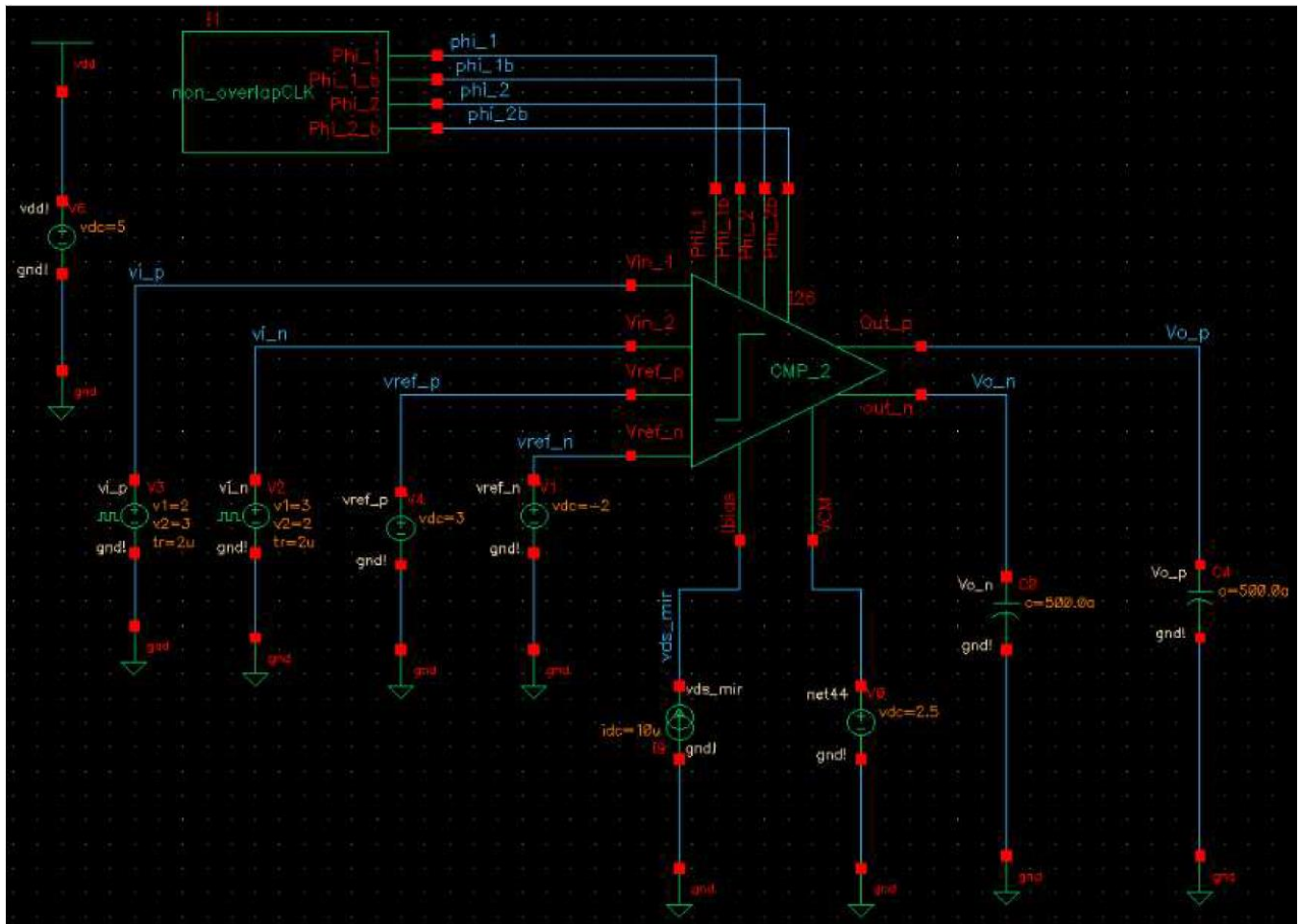


Fig. A-16 Circuito esquemático de prueba (Testbench) para verificar el funcionamiento del circuito CMP\_2. Esquemático elaborado con ayuda del editor de circuitos esquemáticos Virtuoso-Cadence®.

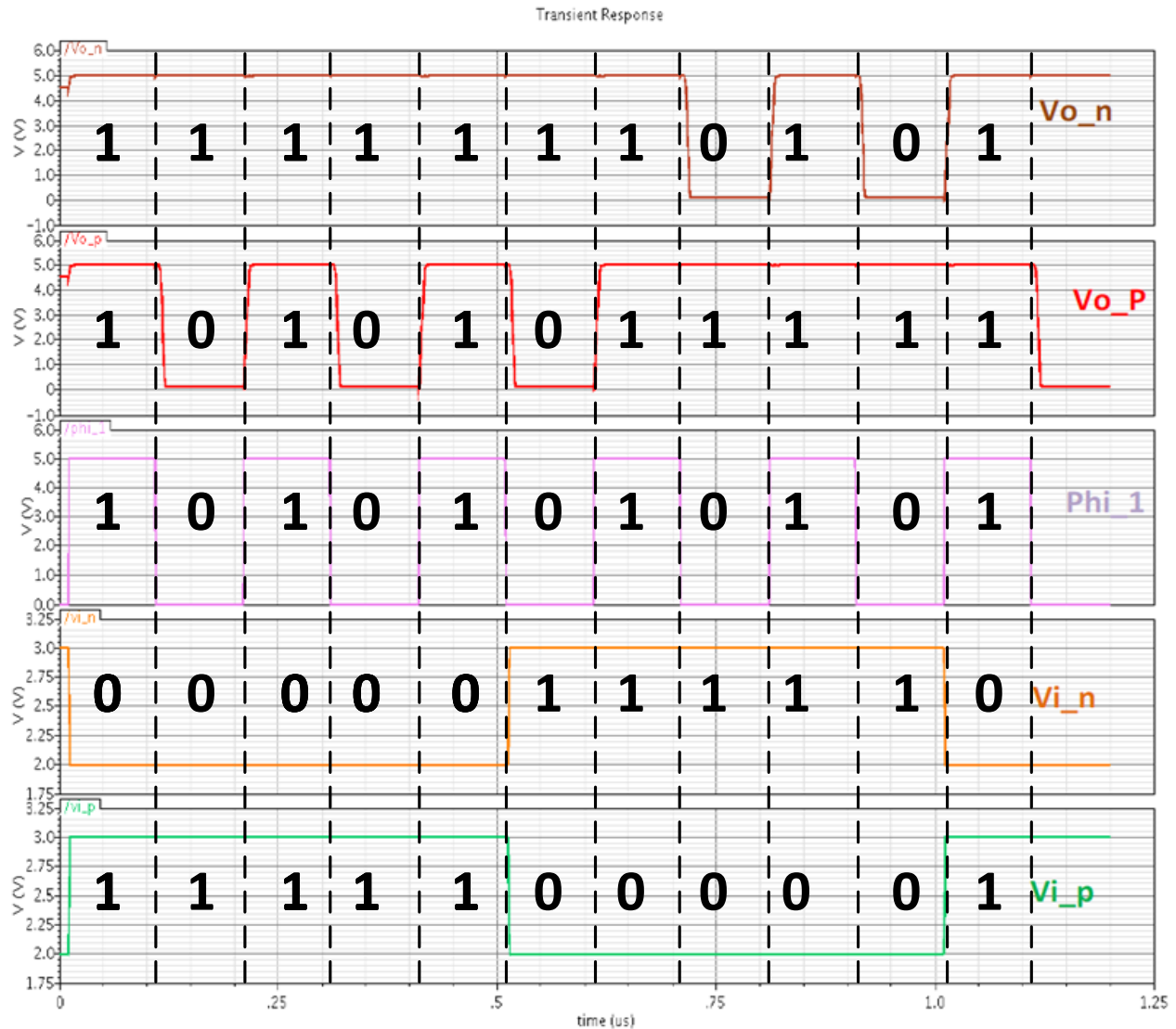


Fig. A-17 Formas de onda resultantes de la simulación funcional del CMP\_2. La TABLA A-I describe su funcionamiento lógico, como se indica en la TABLA A-I la comparación se realiza cuando la señal  $\Phi_1$  (Phi\_1) se encuentra en estado bajo; sí la señal  $\Phi_1$  (Phi\_1) se encuentra en estado alto, las salidas del CMP\_2  $V_{oP}$  y  $V_{oN}$  pasan a estado alto sin importar el valor de sus entradas.. La simulación se realizó con ayuda del simulador SPECTRE VIRTUOSO CADENCE®.

### 3. Módulo Sub\_ADC

El sub\_ADC está formado por un par de comparadores diferenciales completos (2 módulos del Comparador CMP\_2) Fig.A-18. En Fig.A-19 se muestra el esquemático del Sub\_ADC capturado con la herramienta de edición de esquemáticos que incluyen dos instancias del CMP\_2 diseñado en la etapa anterior. En Fig.A-20 y Fig.A-21 el símbolo y circuito esquemático de pruebas para verificar la funcionalidad del Sub\_ADC respectivamente.

## APÉNDICES

En Fig.A-22 y Fig.A-23 se muestra los resultados de la simulación realizada al Sub\_ADC. Las salidas  $A_1 = A_4$  y  $A_2 = A_3$ . Como se puede apreciar, todas son de naturaleza digital. El Sub\_ADC posee dos salidas paralelas de 2 bits.  $A_1$  y  $A_2$  componen un bus de datos de 2 bits y  $A_3$  y  $A_4$  conforman otro bus de datos, cabe aclarar que estos no son los datos efectivos, estos datos son enviados al Sub\_DAC para que posteriormente se envíen a una etapa de corrección digital. En Fig.A-22 se observa que conforme se incrementa el voltaje de entrada  $V_{in\_p}$ , la salida  $A_1$  y  $A_3$  muestran un estado alto continuo es decir “1”. En cuanto se sobrepasa el voltaje de umbral de 2.5v y se logra crear una diferencia de voltajes en los comparadores, las señales  $A_1$  y  $A_3$  empiezan a cambiar y generan un patrón “010” hasta que  $V_{in\_p}$  alcanza su voltaje máximo, entonces  $A_1$  y  $A_3$  regresan a un estado estable alto. Las señales  $A_2$  y  $A_4$  corresponden a la respuesta relacionada a los cambios de  $V_{in\_N}$ . Mientras  $V_{in\_N} > 2.5v$ ,  $A_2$  y  $A_4$  oscilan entre su estado alto y bajo (1 y 0) una vez que  $V_{in\_N} < 2.5v$ ,  $A_2$  y  $A_4$  se mantienen en alto para indicar que  $V_{in\_N}$  ha alcanzado el nivel más bajo de voltaje. Una vez que  $V_{in\_N} > 2.5v$  las salidas vuelven alternar sus estados.

En Fig.A-23, se aprecia que las transiciones de las señales de entrada  $V_{in\_P}$  y  $V_{in\_N}$ , no presentan una transición en rampa si no una transición escalonada o un tren de pulsos. Para valores  $V_{in\_P} = 3v$  las señales  $A_1$  y  $A_3$  muestran transiciones en sus estados lógicos, una vez que  $V_{in\_P} = 2v$  muestran un estado estable alto. Las señales  $A_2$  y  $A_4$  muestran que para valores de  $V_{in\_N} = 3v$  muestran una transición en sus estados lógicos (oscilan de estado alto a bajo y viceversa) y para valores  $V_{in\_N} = 2v$  muestran un estado estable en un nivel lógico alto (1).

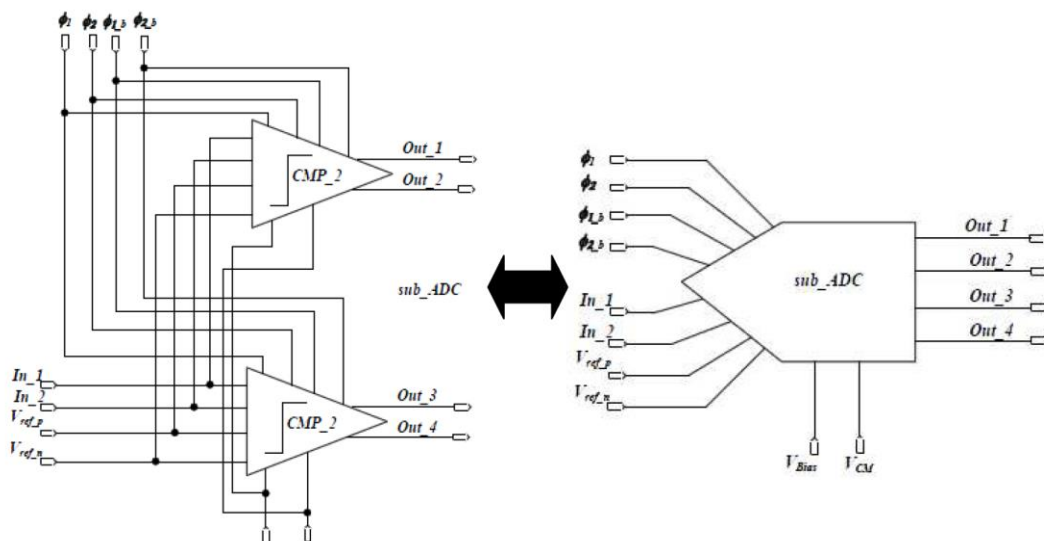


Fig. A-18 Esquemático del circuito Sub\_ADC. Este convertidor A/D es de 4 bits, pero se debe considerar que estos datos no son efectivos, se envían al módulo Sub\_DAC y posteriormente a un circuito de corrección digital.

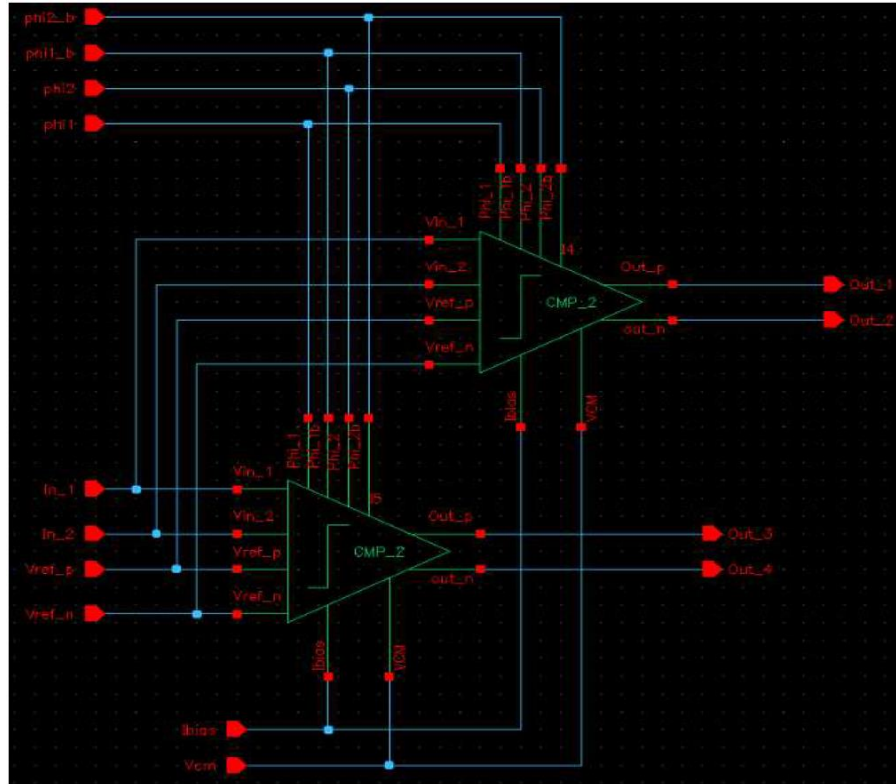


Fig. A-19 Circuito esquemático del módulo Sub\_ADC

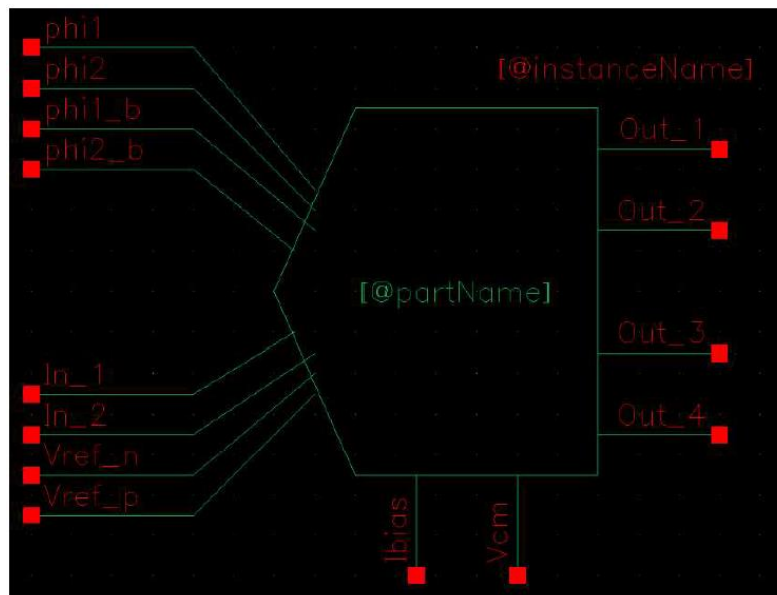


Fig. A-20 Símbolo para el circuito Sub\_ADC.

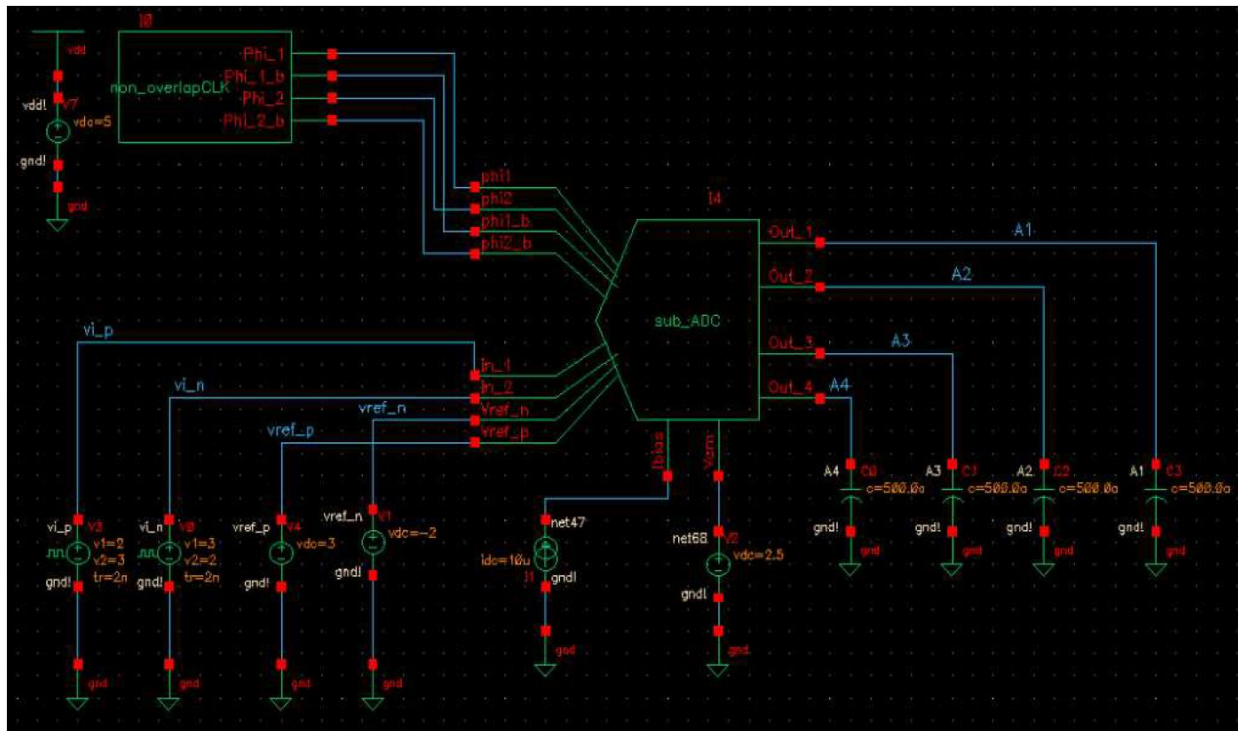


Fig. A-21 Circuito esquemático de pruebas (*Testbench*) para comprobar el correcto funcionamiento del Sub\_ADC.

#### 4. Sub\_DAC

El Sub\_DAC de la etapa de conversión de 1.5bits (Fig.A-24) tiene a sus entradas señales digitales, procesa esas señales, y a su salidas obtenemos los resultados efectivos de nuestros bits MSB y LSB, así como la señal analógica correspondiente al dato previamente digitalizado, la cual se entrega al amplificador de doble ganancia para enviar esta información a la siguiente etapa del convertidor A/D Pipeline. Fig.A-25 y Fig.A-26. Las dimensiones utilizadas en el Sub\_DAC Fig.A-25 y Fig.A-27 que conforman los interruptores de paso se encuentran en la TABLA A-IV. En Fig.A-28 el esquemático a nivel transistor de la compuerta NAND de 3 entradas y la compuerta inversora. Las dimensiones que se utilizaron en los transistores de las compuertas lógicas ver la TABLA A-V.

Para validar el funcionamiento del Sub\_DAC se conectó con al Sub\_ADC y una circuito generador de señales de reloj implementado con generadores de señales ideales Fig.A-29. En Fig.A-30 y Fig.A-31 están los resultados de la simulación, en esta etapa ya se cuenta con resultados efectivos de conversión del convertidor A/D Pipeline. Dado que el Sub\_DAC es controlado por fase de reloj  $\Phi_2$ , cuando  $\Phi_2$  está en estado bajo el módulo Sub\_DAC se apaga, sus salidas son cero. Cuando  $\Phi_2$  está en estado alto las únicas combinaciones que se presentan en A1y A2 (son las mismas que en A3 y A4) son: 01, 10 y 11. La condición 00 no se presenta en



sus entradas y los estados que se presentan son simultáneos para [A1,A2] y [A3,A4], es decir, cuando [A1,A2] = [0,1] esta misma condición se presenta en [A3,A4] = [0,1].

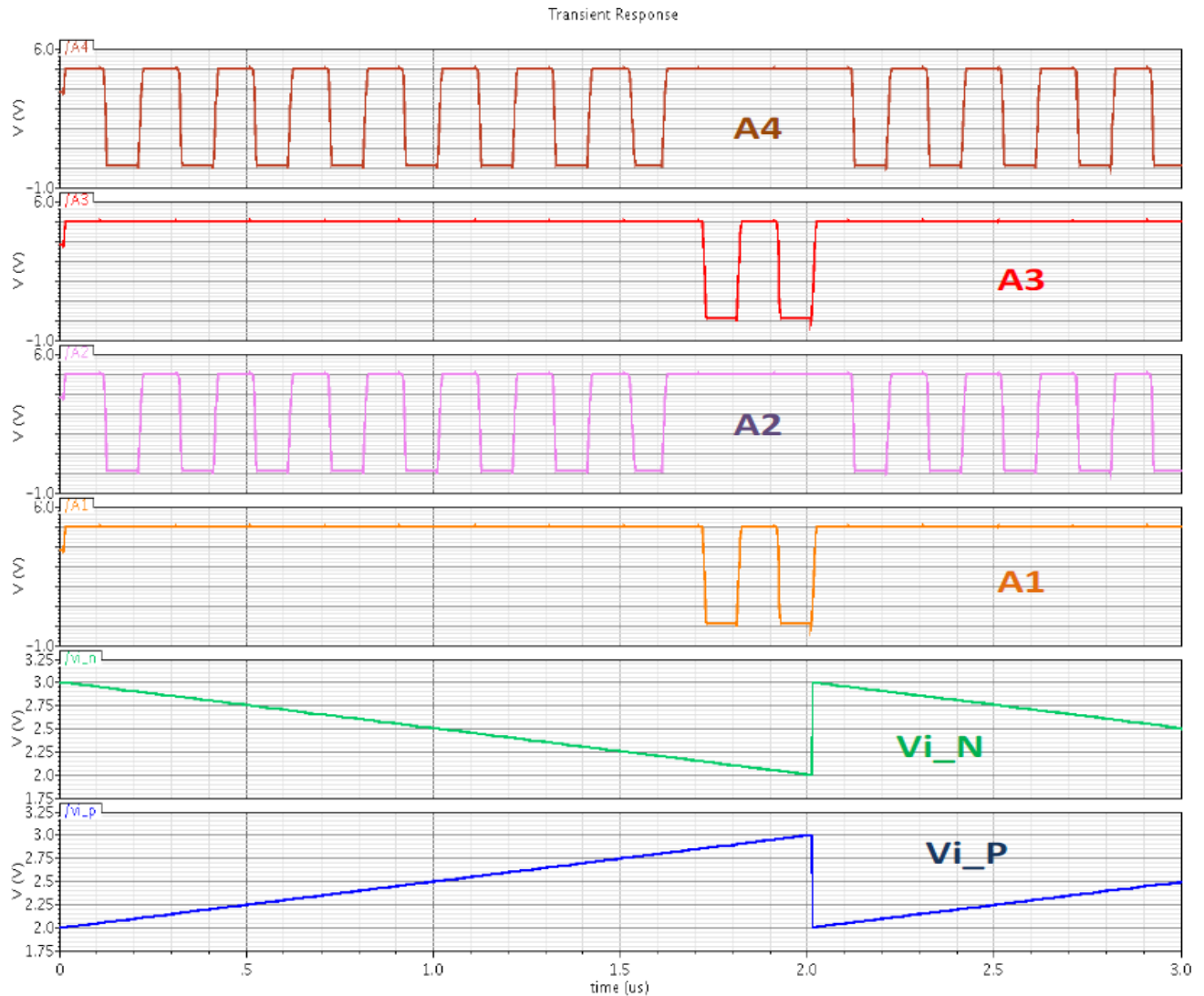


Fig. A-22 Resultados de la simulación del Sub\_ADC. En esta prueba  $V_{i\_P}$  y  $V_{i\_N}$  son señales rampa y complementarias con un periodo  $T = 2\mu s$ , un valor  $V_{p-p} = 1V$  y un voltaje de modo común  $V_{CM} = 2V$ . En este punto los datos  $A_1A_2A_3A_4$  no son válidos, requieren ser enviados a la siguiente etapa para su decodificación.

Cuando se presenta la condición  $[A1,A2] = [0,1]$ ,  $MSB = 0$  y  $LSB = 0$ ,  $V_{DAC1} = V_{ref\_N}$  y  $V_{DAC2} = V_{ref\_P}$ . En la condición  $[A1,A2] = [1,0]$ ,  $MSB = 1$  y  $LSB = 1$ ,  $V_{DAC1}$  y  $V_{DAC2}$  se cortocircuitan y adquieren el mismo potencial. En el estado  $[A1,A2] = [1,1]$ ,  $MSB = 1$  y  $LSB = 1$ ,  $V_{DAC1} < 2.5V$  y  $V_{DAC2} < 2.5V$  estos voltajes se atenúan y caen por debajo del valor del umbral.

## APÉNDICES

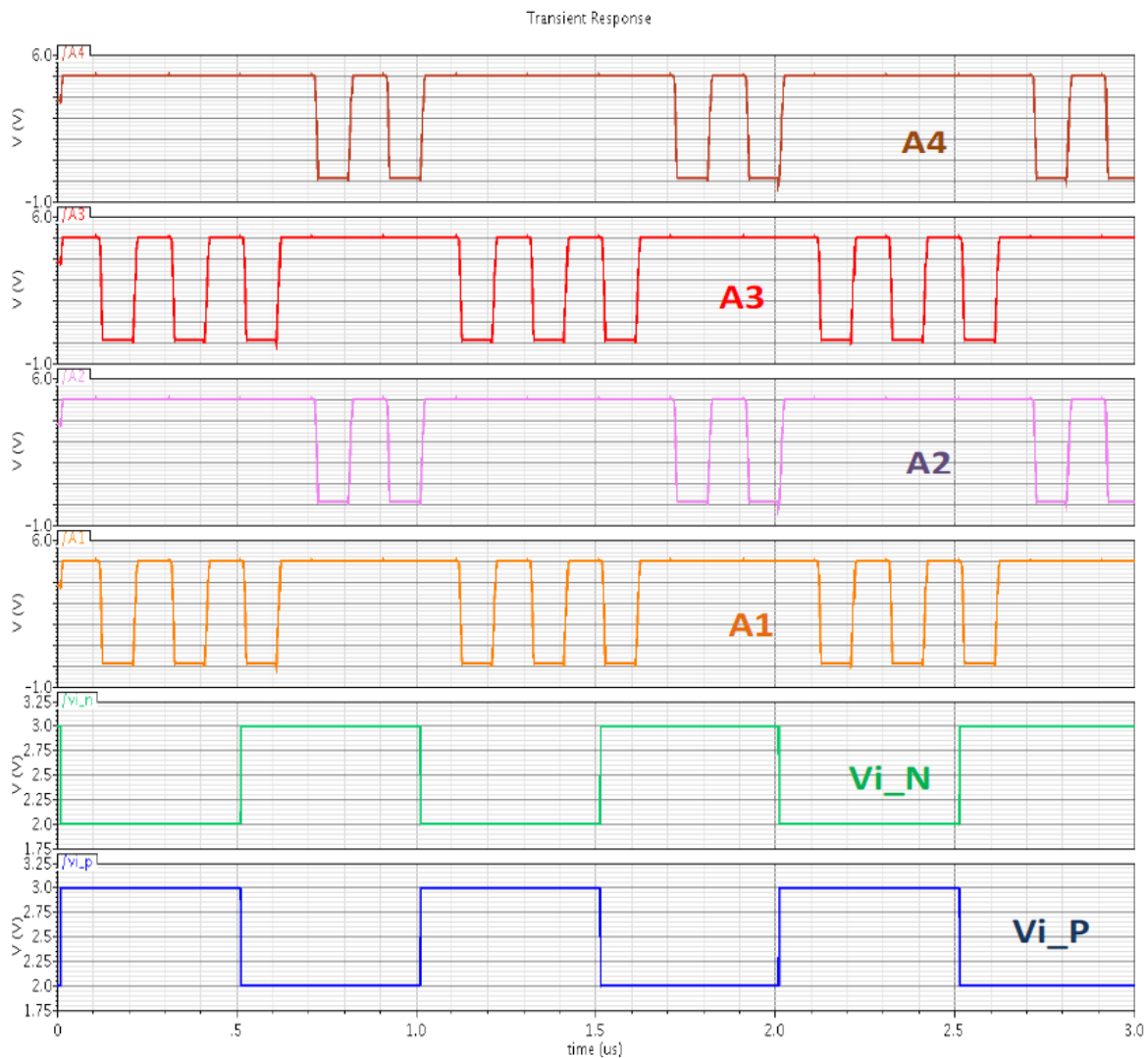


Fig. A-23 Resultados de la simulación del Sub\_ADC. En esta prueba  $V_{i_P}$  y  $V_{i_N}$  son señales cuadradas y complementarias con un periodo  $T = 1\mu\text{s}$ , un ancho de pulso  $P_w = 500\mu\text{s}$ , un tiempo de subida igual al de bajada  $t_r = t_f = 10\text{ns}$ , un valor  $V_{p-p} = 1\text{V}$  y un voltaje de modo común  $V_{CM} = 2\text{V}$ . En este punto los datos  $A_1A_2A_3A_4$  no son válidos, requieren ser enviados a la siguiente etapa para su decodificación.

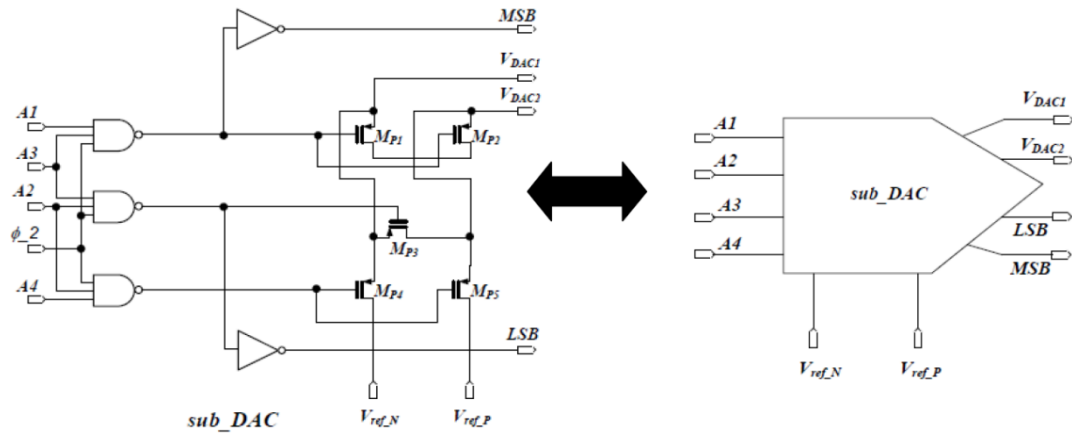


Fig. A-24 Circuito esquemático del módulo Sub\_DAC

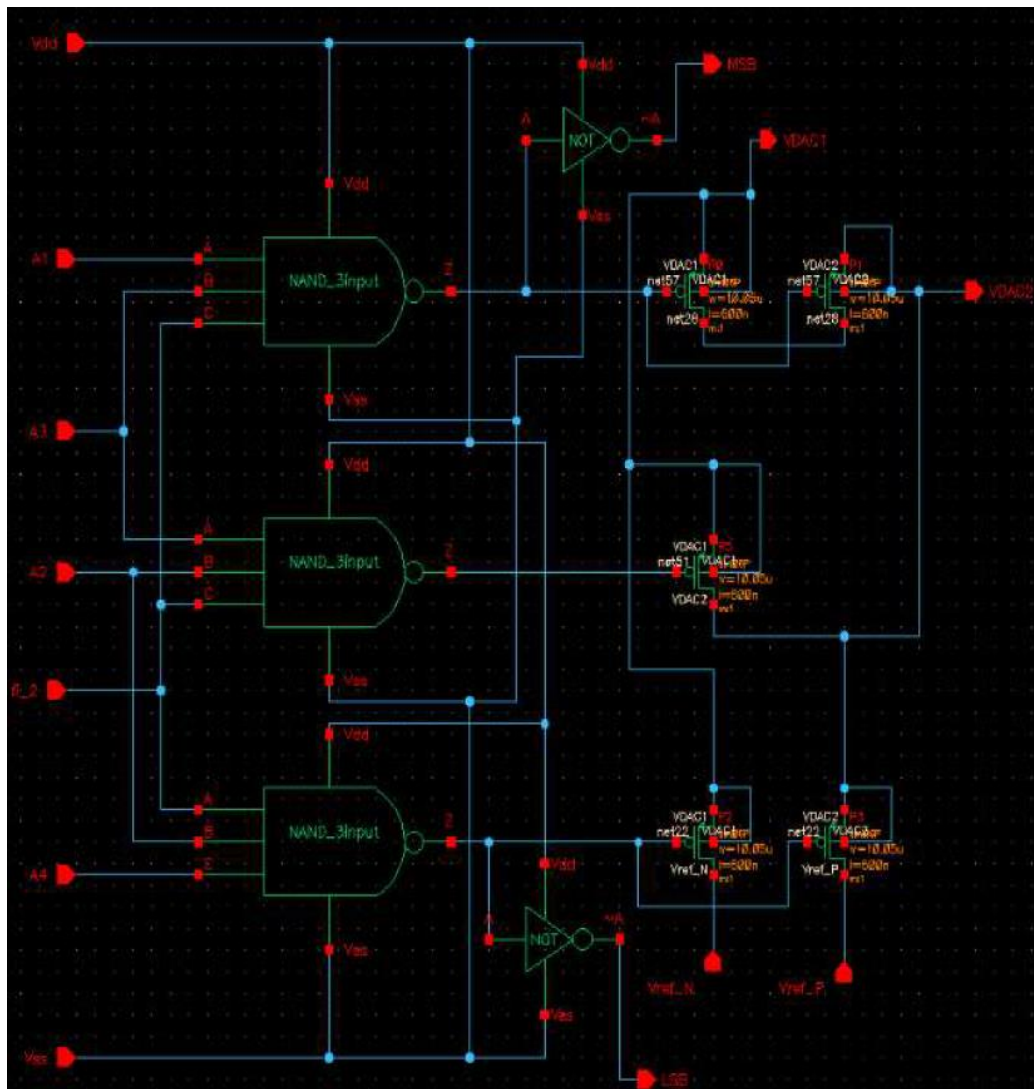


Fig. A-25 Circuito esquemático del Sub\_DAC capturado en el editor de esquemáticos VIRTUOSO CADENCE®.

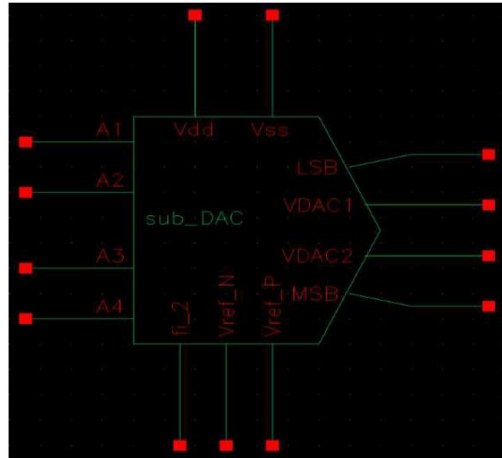


Fig. A-26 Símbolo esquemático del Sub\_DAC capturado en el editor de esquemáticos y símbolos VIRTUOSO CADENCE®.

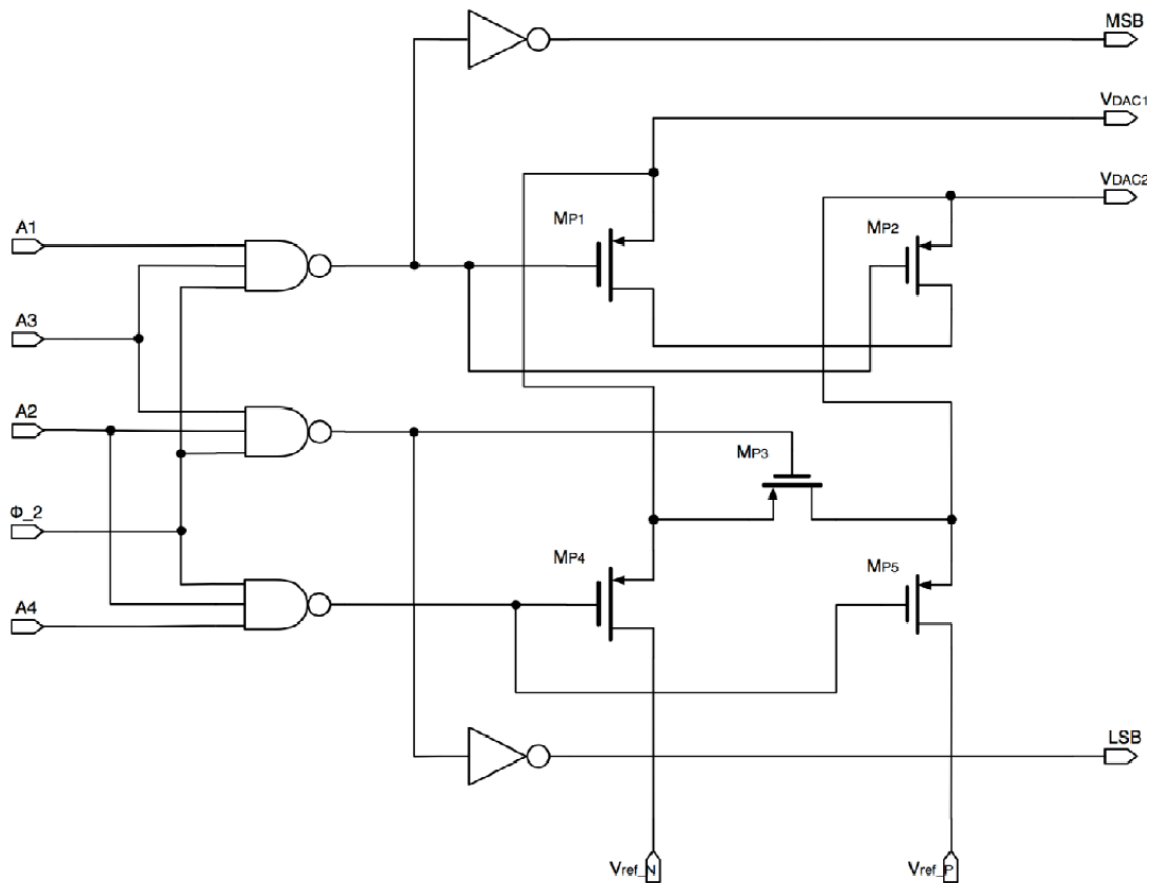


Fig. A-27 Circuito esquemático del Sub\_DAC editado para mostrar una imagen más clara de los dispositivos y nombres de los transistores que lo conforman.

TABLA A-IV  
 CIRCUITO: SUB\_DAC EN TECNOLOGIA AMI\_0.5um. Fig.A-27

PARAMETRO	$M_{P1.5}$
W( $\mu\text{m}$ )	10
L( $\mu\text{m}$ )	6

TABLA A-V  
 CIRCUITO: SUB\_DAC EN TECNOLOGIA AMI\_0.5um, NAND DE 3 ENTRADAS E INVERSORA.

NAND DE 3 ENTRADAS		
PARAMETRO	$M_P$	$M_N$
W( $\mu\text{m}$ )	2.5	3
L( $\mu\text{m}$ )	0.6	0.6

INVERSOR		
PARAMETRO	$M_P$	$M_N$
W( $\mu\text{m}$ )	3	1.5
L( $\mu\text{m}$ )	0.6	0.6

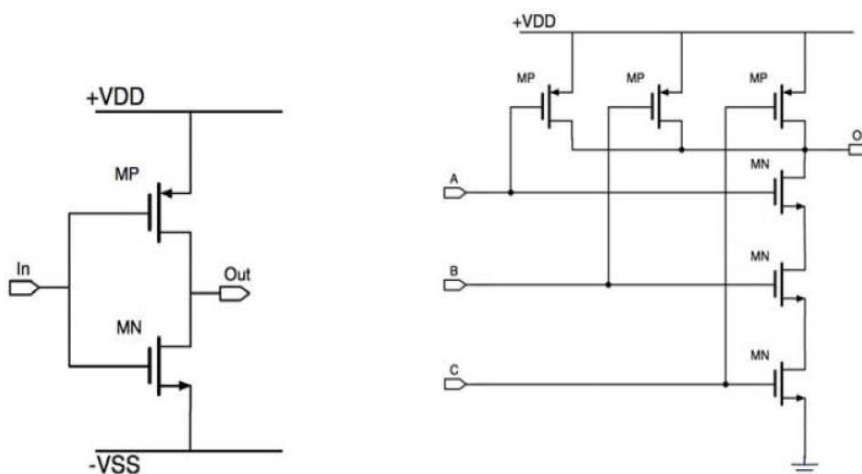


Fig. A-28 Esquemáticos a nivel transistor de una compuerta lógica inversora y una compuerta lógica NAND de 3 entradas.

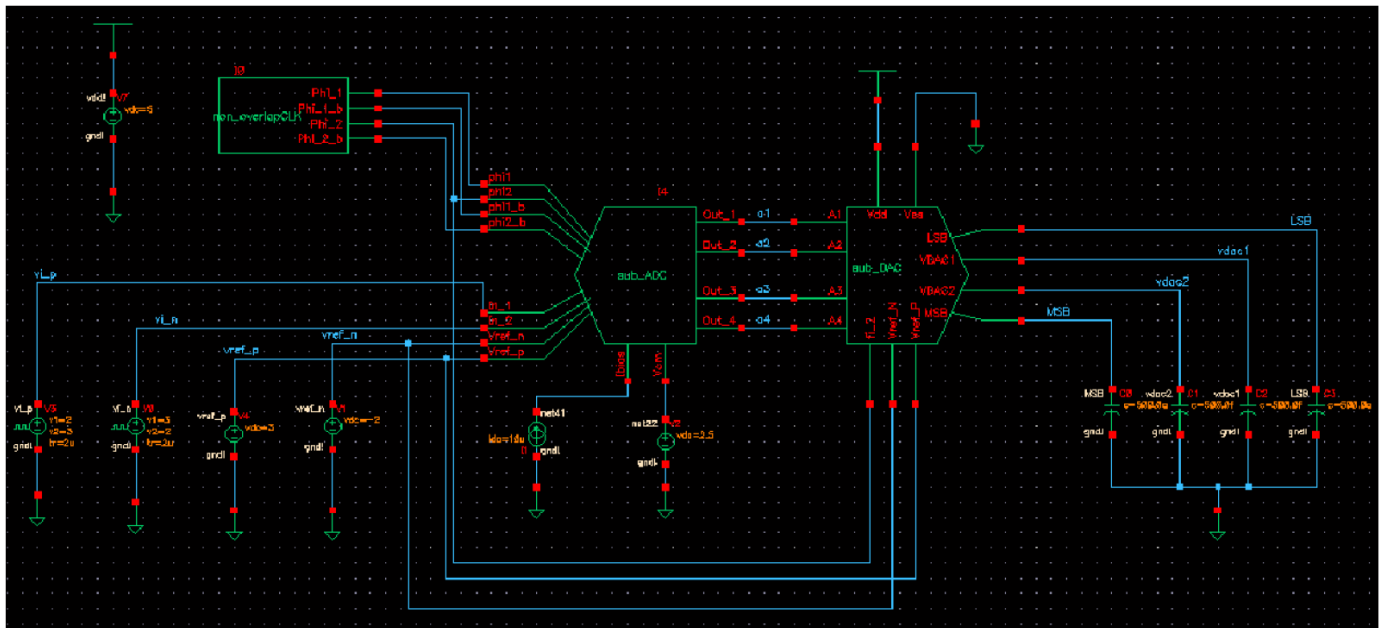


Fig. A-29 Circuito esquemático para validar el funcionamiento del Sub\_DAC. En esta prueba se conecta el Sub\_ADC y Sub\_DAC en cascada para obtener una conversión con datos validos del convertidor A/D Pipeline.

### 5. 2x\_Gain - Amplificador Operacional de Transconductancia (OTA)

El amplificador operacional de transconductancia, opera de una manera muy similar a un amplificador operacional (OPAM). Si bien el OPAM opera con voltajes, donde el voltaje de salida es proporcional al voltaje de entrada multiplicado por una ganancia. El cual posee entradas diferenciales de impedancia infinita, ganancia de voltajes infinita e impedancia de salida cero (idealmente). El amplificador operacional de transconductancia (OTA – *Operational Transconductance Amplifier*) opera con corrientes y voltajes, la corriente de salida del dispositivo es proporcional a la voltaje de entrada multiplicado por la ganancia (transconductancia). Idealmente el modelo posee una impedancia de entrada infinita y una impedancia de salida infinita (A-1) Fig.A-32.

$$I_o = g_m V_i \tag{A-1}$$

### 6. Diseño del Amplificador de Transconductancia

El amplificador operacional de transconductancia de este diseño es diferencial y requiere de una estaba de *Common Mode Feed-Back* (Fig.A-33) para estabilizar el circuito. Las dimensiones de los transistores se muestran en la TABLA A-VI. El circuito esquemático y su símbolo capturado en editor de esquemático y símbolos de las herramientas de diseño VIRTUOSO CADENCE® se pueden observar en Fig.A-34 y Fig.A-35.

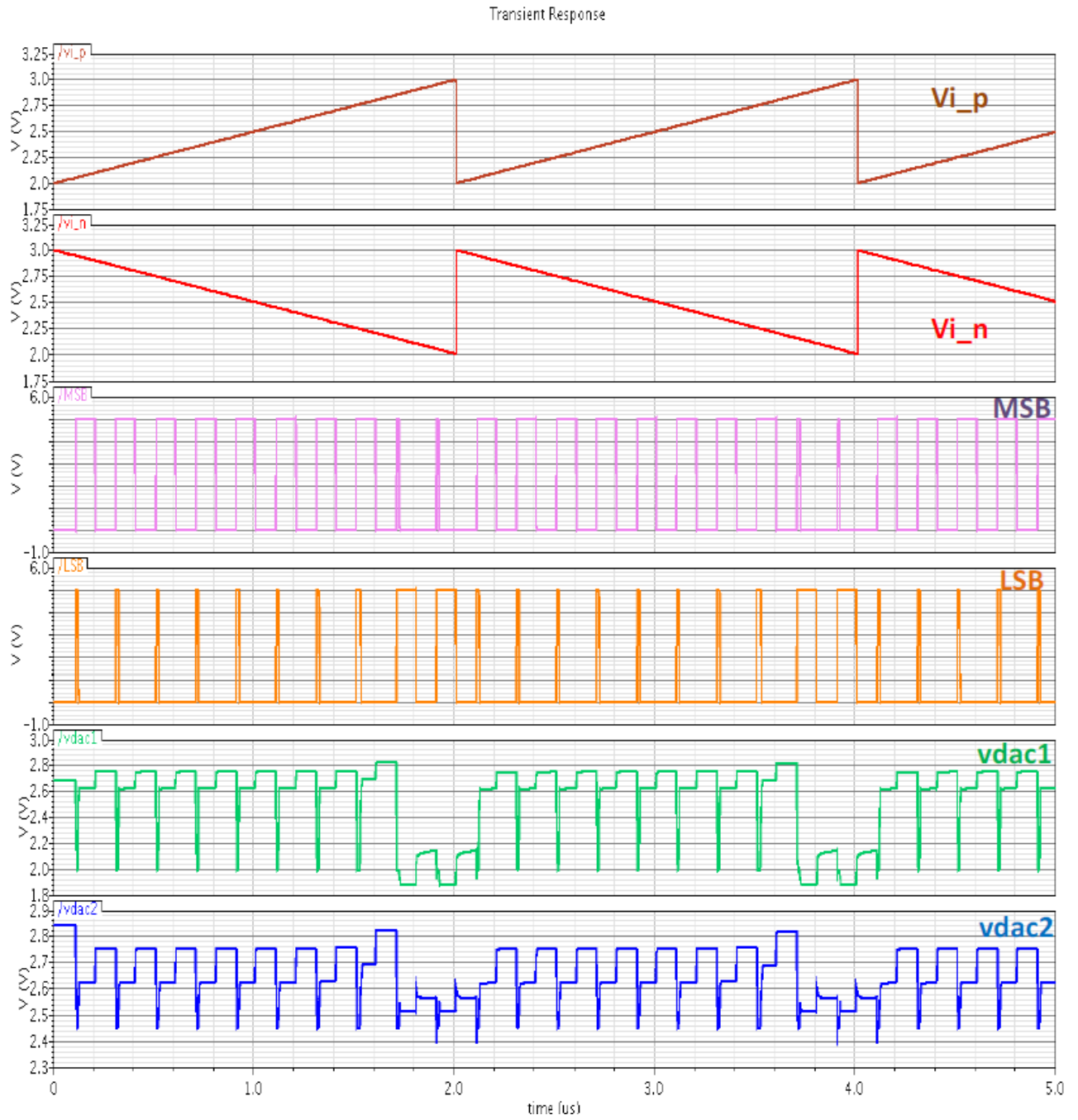


Fig. A-30 Resultados de la simulación del Sub\_DAC. En esta prueba  $V_{i_P}$  y  $V_{i_N}$  son señales rampa y complementarias con un periodo  $T = 2\mu\text{s}$ , un valor  $V_{p-p} = 1\text{V}$  y un voltaje de modo común  $V_{CM} = 2\text{V}$ .

## APÉNDICES

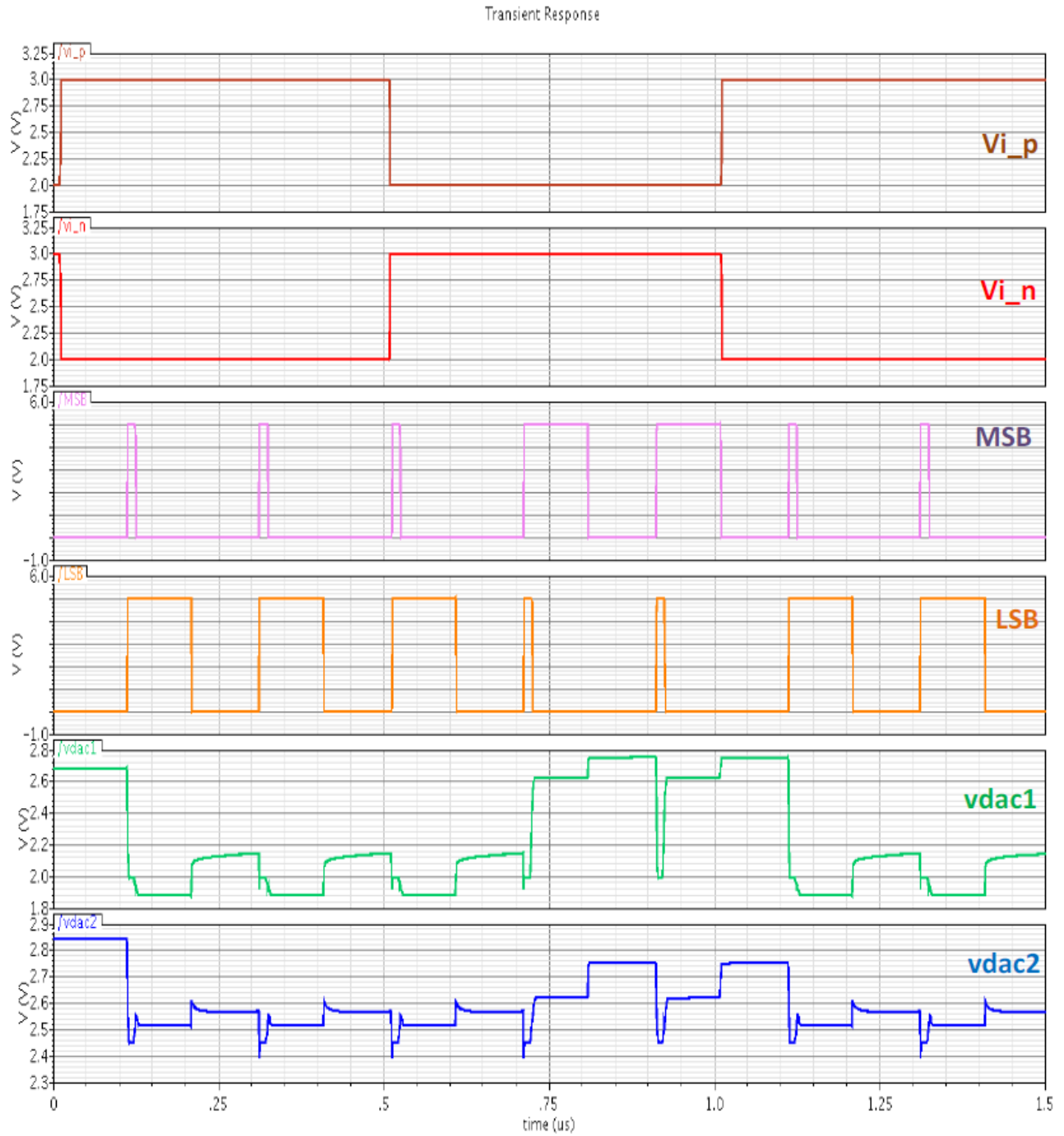


Fig. A-31 Resultados de la simulación del Sub\_DAC. En esta prueba  $V_{i_P}$  y  $V_{i_N}$  son señales rampa y complementarias con un periodo  $T = 2\mu\text{s}$ , un valor  $V_{p-p} = 1\text{V}$  y un voltaje de modo común  $V_{CM} = 2\text{V}$ .



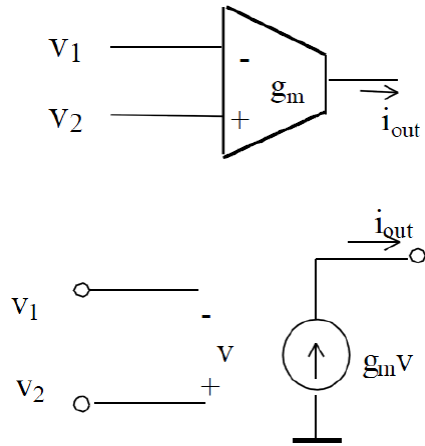


Fig. A-32 Símbolo del OTA (*Operational Transconductance Amplifier*) y circuito equivalente de pequeña señal.

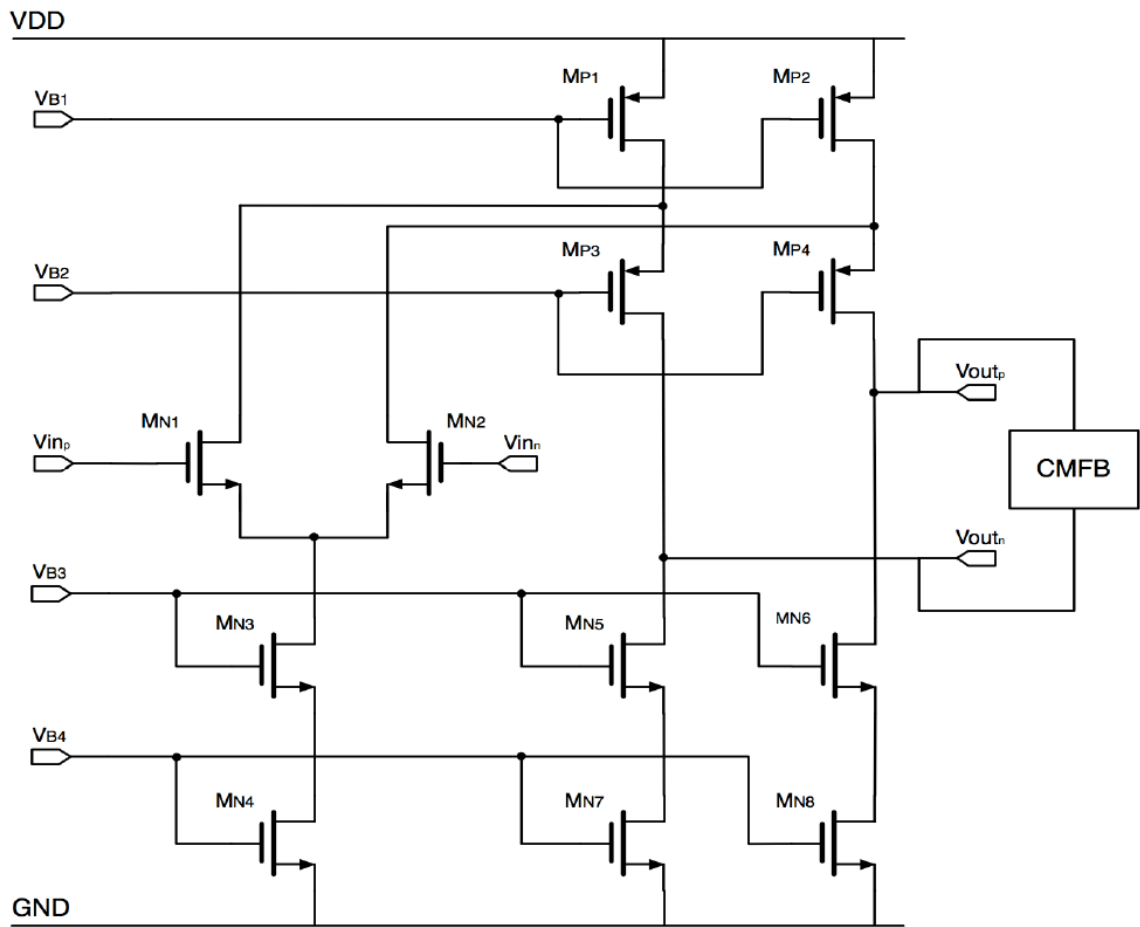


Fig. A-33 Esquemático del amplificador diferencial de transconductancia (OTA).

TABLA A-VI  
 CIRCUITO: (OTA) AMPLIFICADOR DEFERENCIAL EN TECNOLOGIA AMI\_0.5. Fig.A-33

PARAMETRO	$M_{N1,2}$	$M_{N3}$	$M_{N4}$	$M_{N5-8}$	$M_{P1,2}$	$M_{P3,4}$
<b>W(<math>\mu\text{m}</math>)</b>	97.6	44	55	56	66	<b>33</b>
<b>L(<math>\mu\text{m}</math>)</b>	1.8	1.8	1.8	2.4	2.4	<b>2.4</b>

PARAMETRO	$V_{DD} =$	$V_{B1} =$	$V_{B2} =$	$V_{B3} =$	$V_{B4} =$
	<b>5</b>	<b>3.566</b>	<b>1.538</b>	<b>2.324</b>	<b>1.005</b>

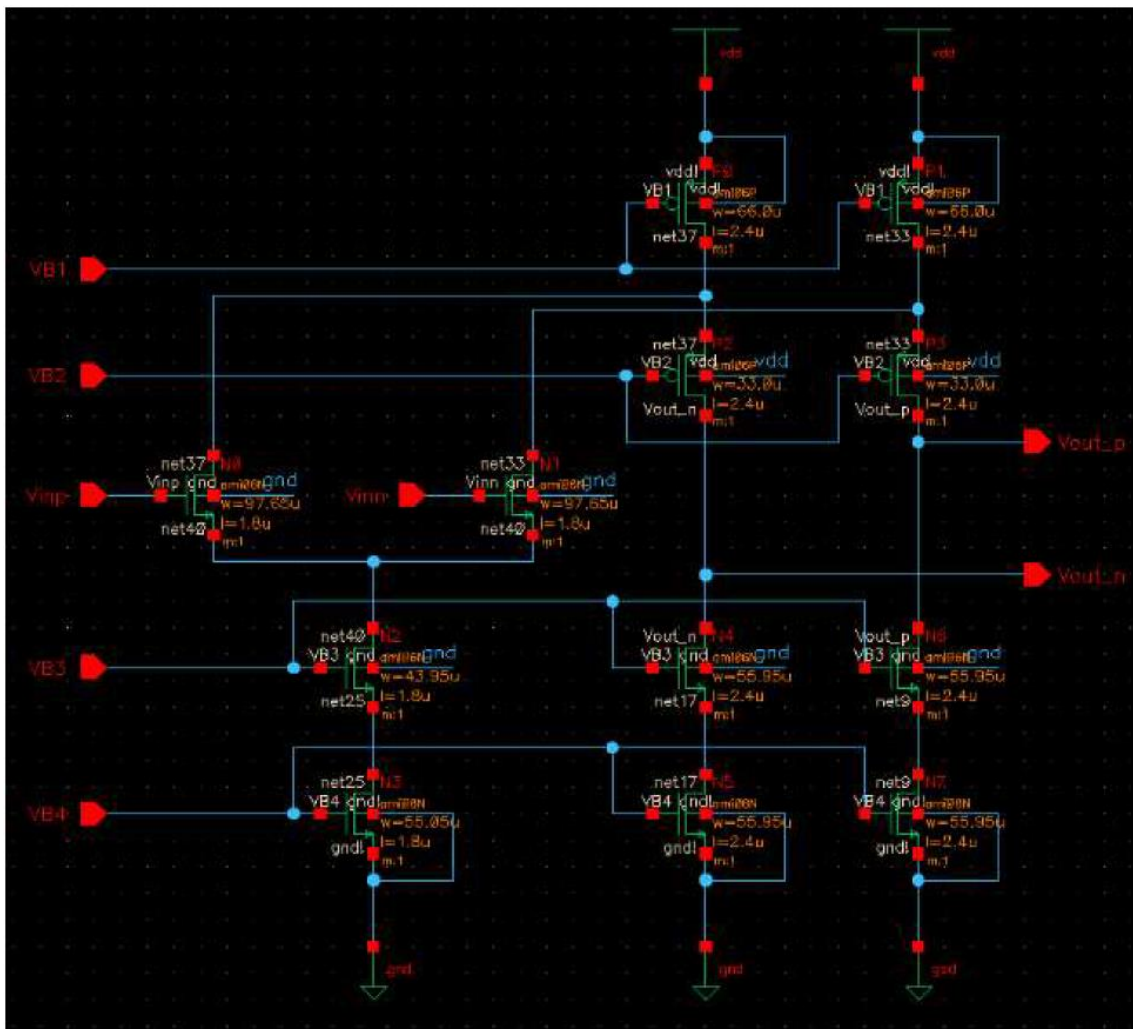


Fig. A-34 Esquemático del amplificador diferencial de transconductancia (OTA) capturado en el editor de esquemáticos VIRTUOSO CADENCE®.

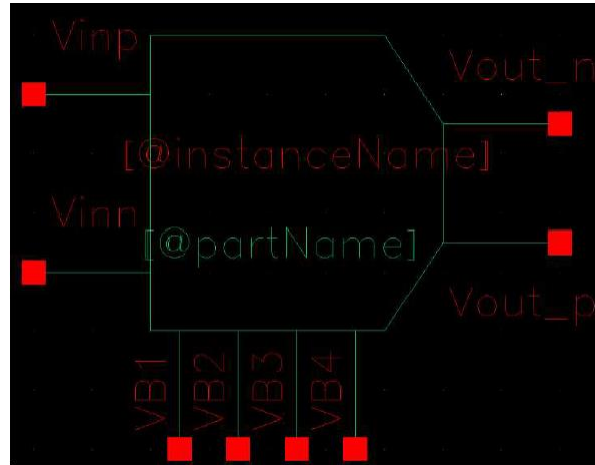


Fig. A-35 Símbolo del OTA (*Operational Transconductance Amplifier*) capturado en el editor de símbolos VIRTUOSO CADENCE®.

## 7. 2x\_Gain

El circuito 2x\_Gain, como su nombre lo indica, es un amplificador con un factor de ganancia 2. Este sub-bloque contiene etapas de muestreo, retención y amplificación para la señal de residuo (Fig.A-37), la cual es enviada a etapas posteriores de conversión. No se realizó una verificación funcional directa a este módulo, debido a que no se logró repetir el patrón de respuestas provenientes del Sub\_DAC, específicamente las señales  $V_{DAC1}$  y  $V_{DAC2}$ , debido a esta razón se hizo la verificación del circuito completo, es decir se incluyeron todos los módulos que conforman el convertidor A/D Pipeline (Fig.A-38). La función del 2x\_Gain es procesar el residuo resultante de la conversión del Sub\_DAC y realizar una diferencia entre los valores de voltaje de la entrada analógica y el residuo proveniente del Sub\_DAC. Este residuo es amplificado por un factor de 2 y enviado a la siguiente etapa de conversión de 1.5bits. Los resultados de la simulación del circuito de prueba Fig.A-38 se muestran en Fig.A-39 y Fig.A-40.

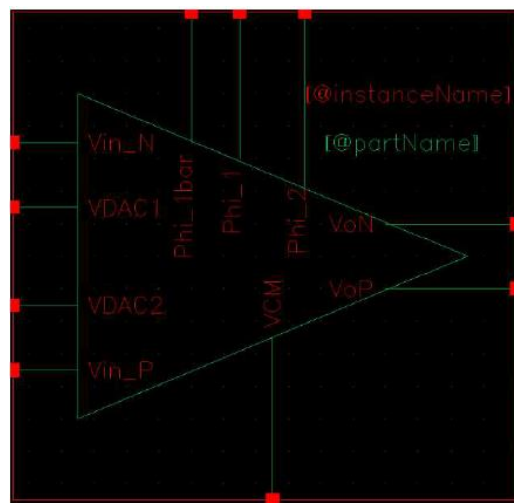


Fig. A-36 Símbolo del sub-circuito 2x\_Gain, capturado en el editor de símbolos VIRTUOSO CADENCE®.

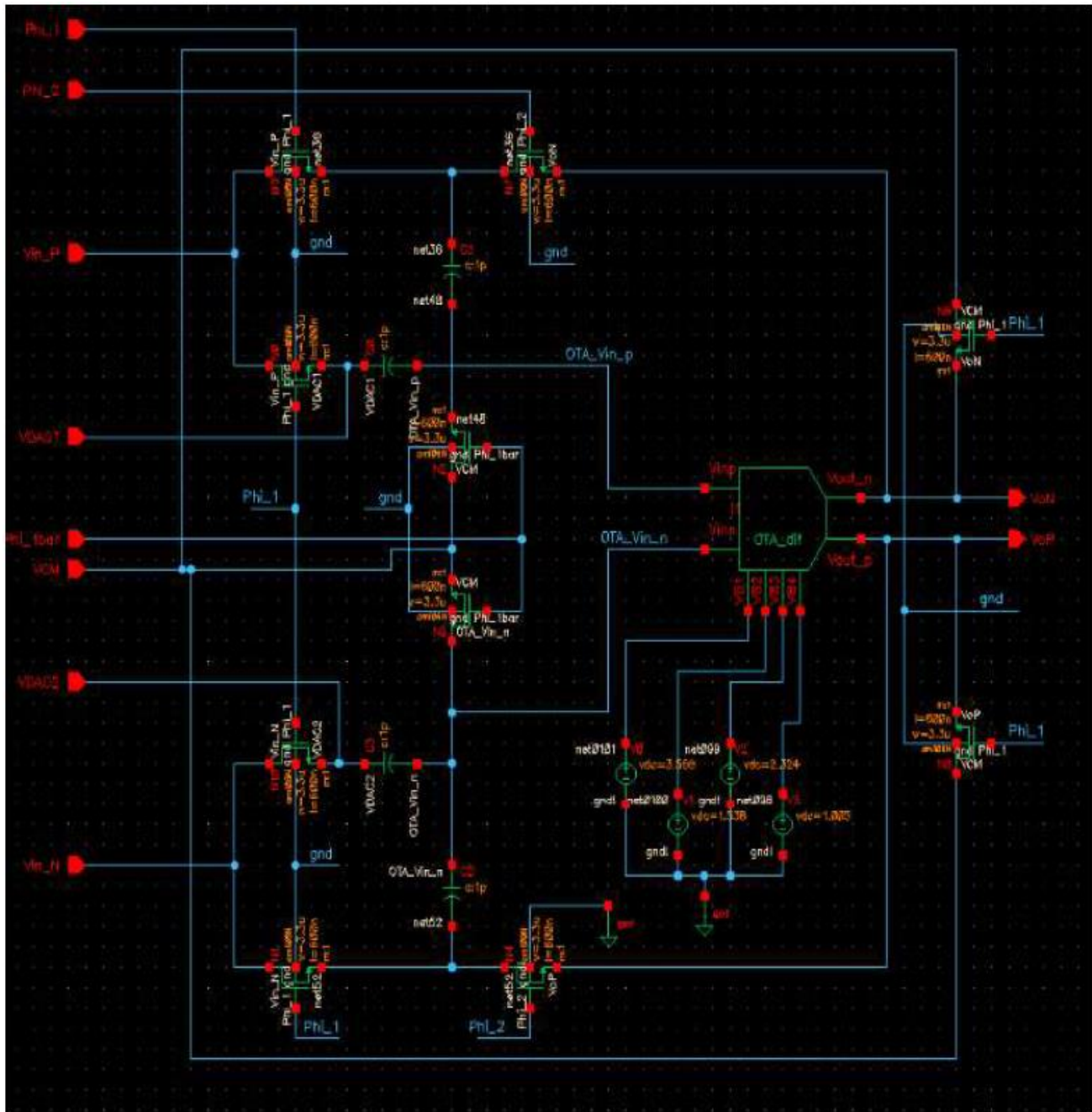


Fig. A-37 Esquemático del sub-circuito amplificador 2x\_Gain, capturado en el editor de esquemáticos VIRTUOSO CADENCE®.

Los resultados de la simulación del circuito de prueba Fig.A-38 se muestran en Fig.A-39 y Fig.A-40.

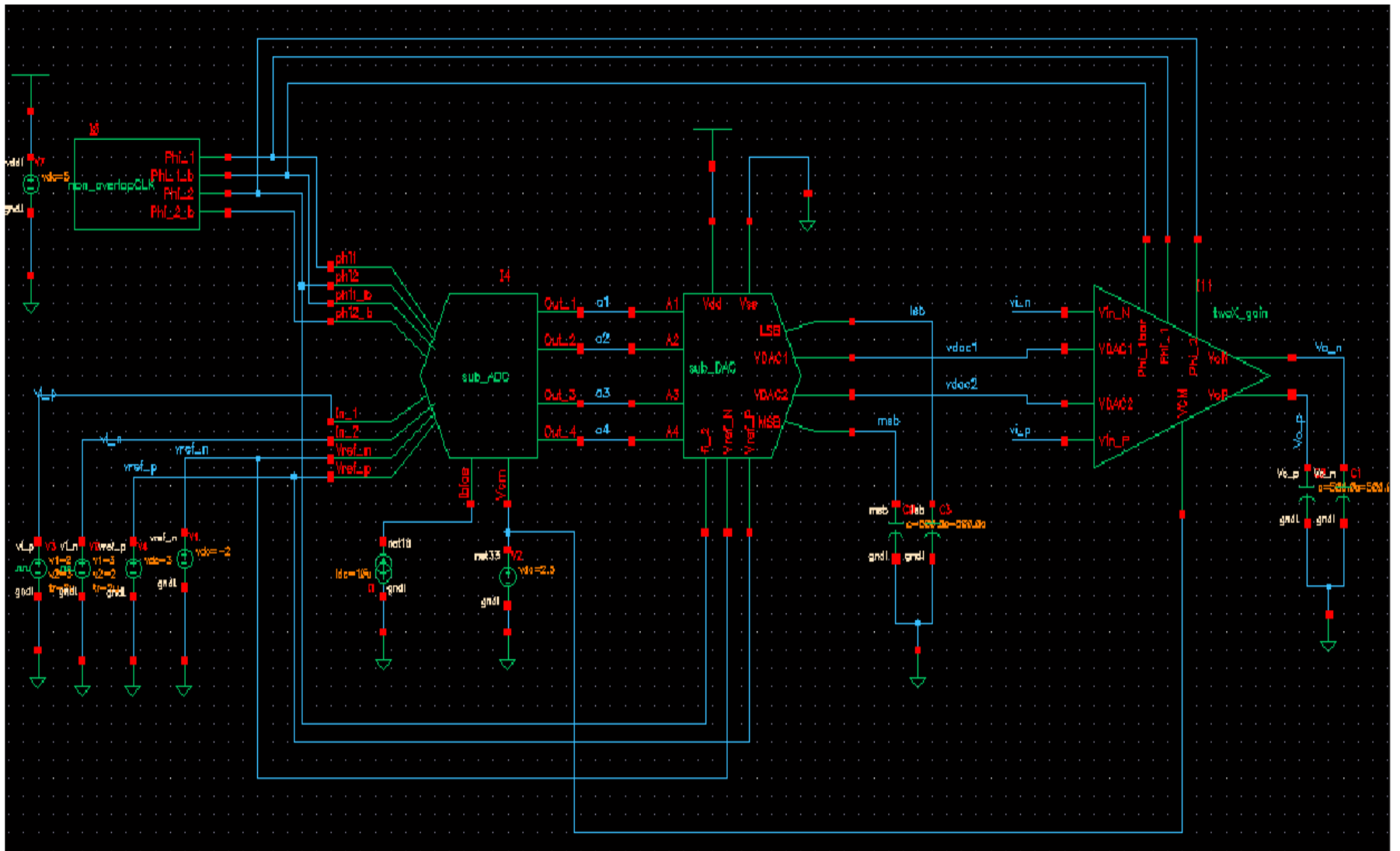


Fig. A-38 Circuito esquemático de verificación funcional para el convertidor A/D Pipeline. La prueba se realiza a los 3 sub-circuitos convertidor Sub\_ADC, convertidor Sub\_DAC y amplificador diferencial 2x\_Gain.

## APÉNDICES

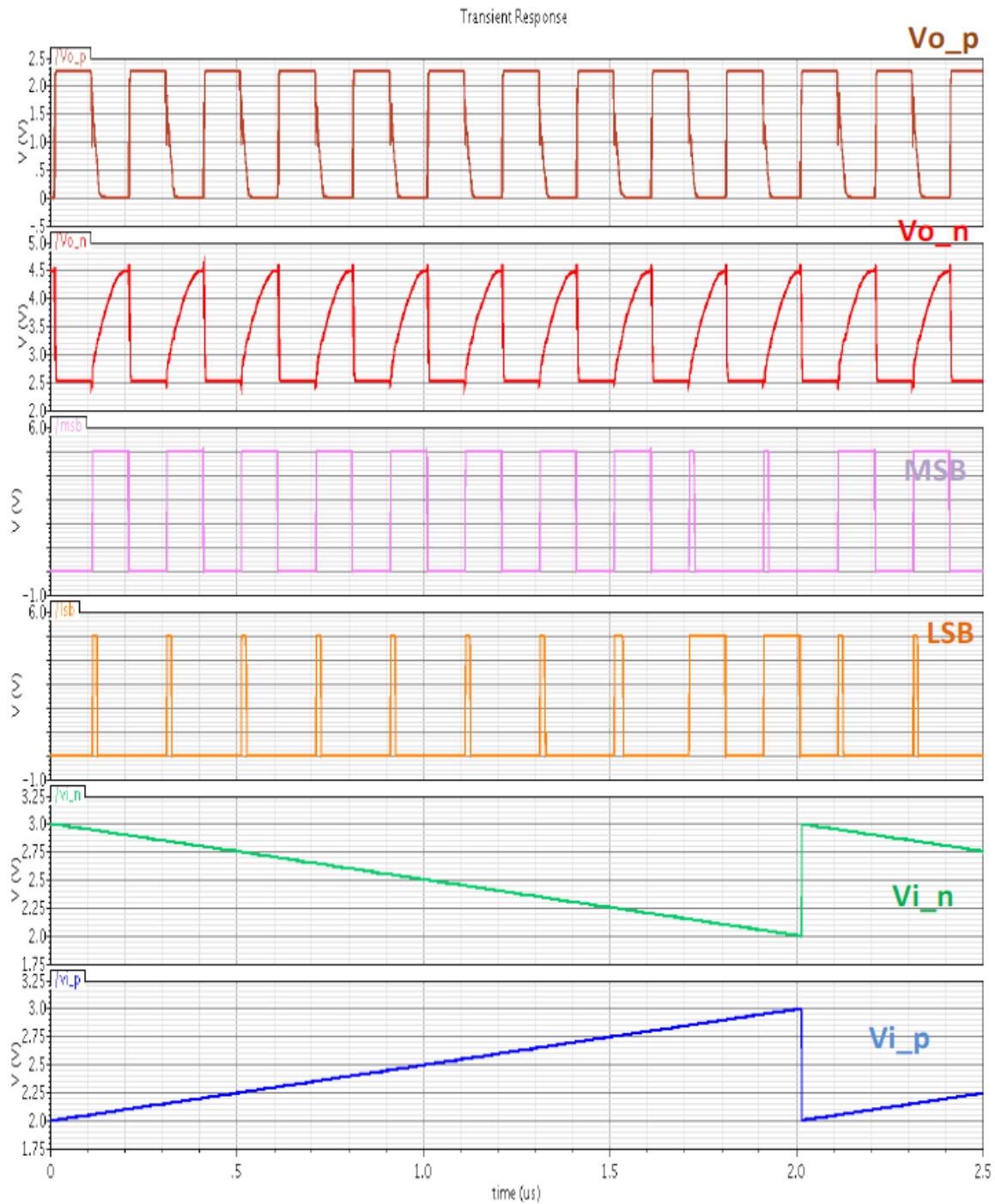


Fig. A-39 Resultados de la verificación funcional para el convertidor A/D Pipeline (Fig.A-38). En esta prueba la señales de entrada es rampa y complementaria con una pendiente de  $2\mu\text{s}$  (Periodo T) y un tiempo de bajada (*Fall-time*) igual a 10ns, amplitud pico a pico  $V_{p-p} = 1\text{V}$  sobre un modo común  $V_{CM} = 2\text{V}$ . Aquí los datos MSB y LSB son válidos.

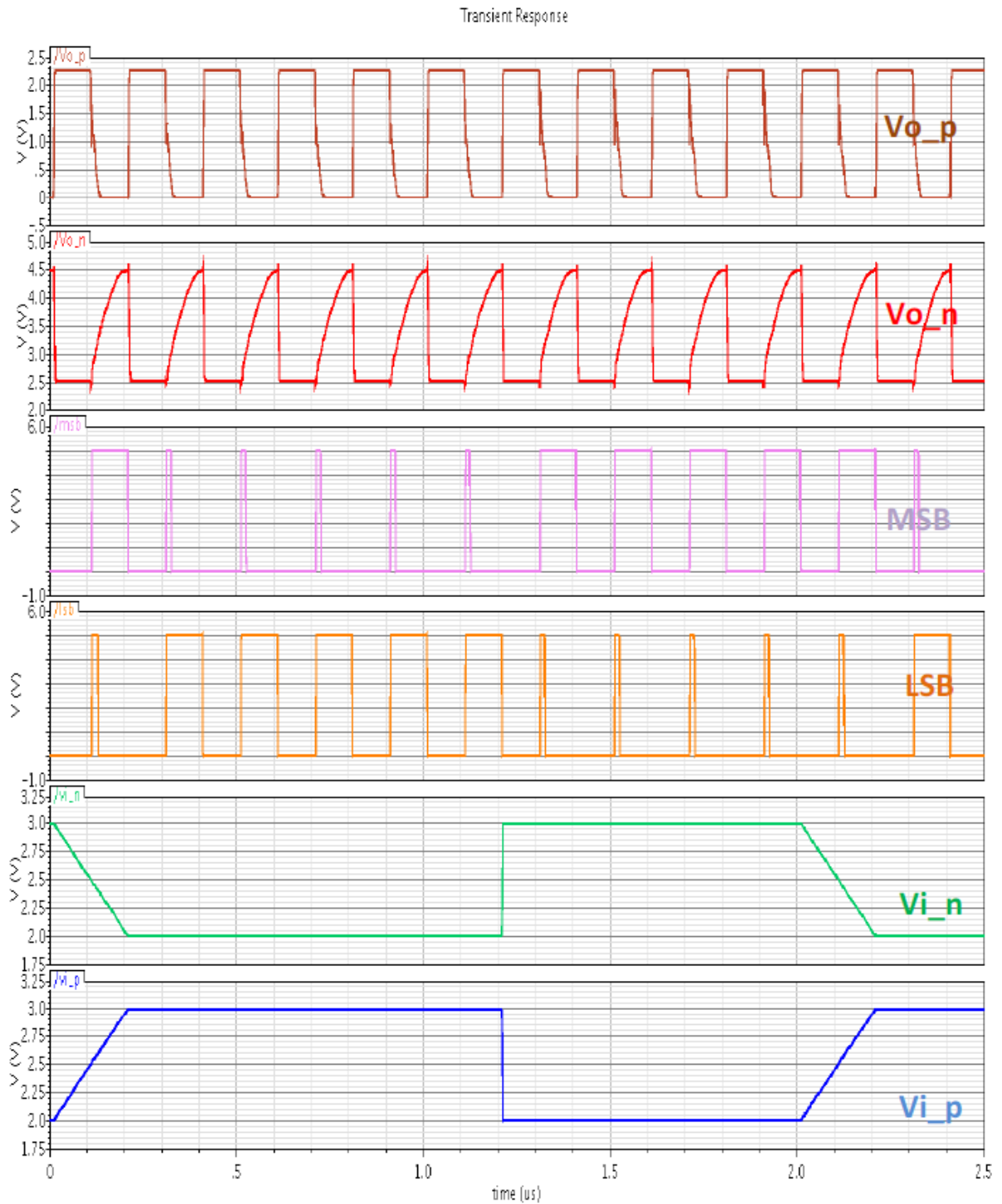


Fig. A-40 Resultados de la verificación funcional para el convertidor A/D Pipeline (Fig.A-38). En esta prueba la señales de entrada son pulsos con un Periodo  $T = 2\mu\text{s}$  y un tiempo de subida (*Rise-time*)  $t_r = 200\text{ns}$ , un tiempo de bajada (*Fall-time*)  $t_f = 10\text{ns}$ , amplitud pico a pico  $V_{p-p} = 1\text{V}$  sobre un modo común  $V_{CM} = 2\text{V}$ . Aquí los datos MSB y LSB son válidos.

## APÉNDICES

### Diseño Layout de una etapa de 1.5bits para un convertidor A/D pipeline

Continuando con el flujo de diseño el siguiente paso es realizar el layout de cada uno de los sub-circuitos para finalmente integrarlos en uno solo.

#### 8. Sub\_DAC – Layout

El circuito Sub\_DAC es el más sencillo de todos los elementos que conforman el convertidor A/D pipeline (Fig.A-25) ya que es circuito meramente digital. Su arquitectura es sencilla debido a esto no se realizó interdigitado con los transistores esto por la razón de ser circuitos digitales a los cuales no requieren una compensación, en otras palabras las variaciones en los parámetros de transconductancia, resistencia de salida, voltaje de umbral, etc. no afectan de manera alarmante la funcionalidad del circuito. Las compuertas lógicas como el inversor y NAND de 3 entradas se realizaron en tareas previas, estas mismas celdas fueron reutilizadas para este diseño, en la Fig.A-41 se muestra el layout.

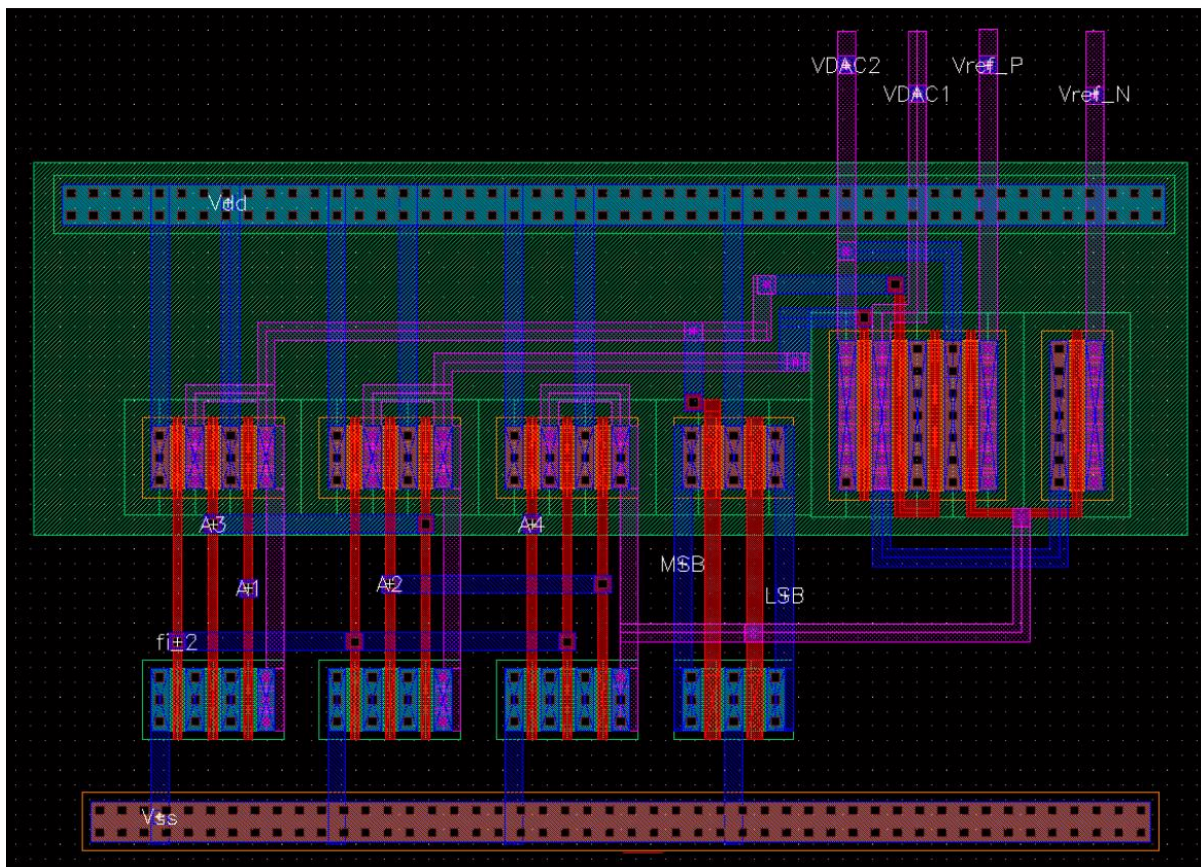


Fig. A-41 Layout del Sub\_DAC. Se reutilizaron las compuertas digitales NAND de 3 entradas e inversor diseñados en tareas previas.

Se redoblaron esfuerzos en hacer lo más compacto permisible el circuito, cuidando las distancias mínimas que la herramienta y la verificación DRC permitieron. Una vez concluido el



diseño del Layout se corrieron las verificaciones DRC y LVS, los resultados aparecen en Fig.A-43 y Fig.A-45.

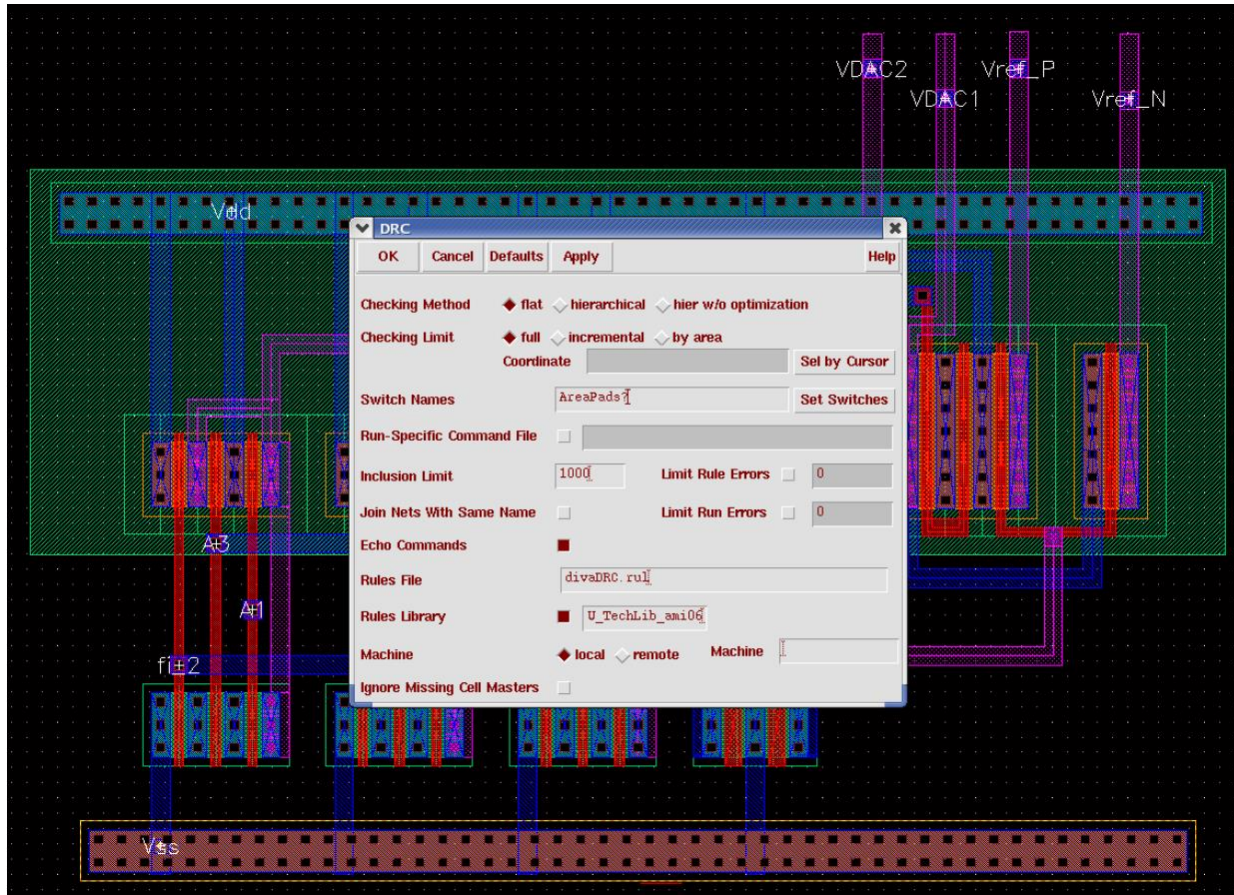


Fig. A-42 Configuración de la prueba DRC para el Sub\_DAC. El archivo necesario para realizar esta verificación es “divaDRC.rul” que contiene el conjunto de reglas establecidas para esta tecnología y se encuentra en la librería “NCSU\_TechLib\_ami06”. Editor de Layout XL VIRTUOSO CADENCE®.

Gracias a la naturaleza digital del Sub\_DAC, a que se contaban con las vistas layout de las compuertas lógicas que lo conforman y que el número de instancias que lo integran no es elevado, este diseño no represento un gran obstáculo. Las celdas que son un desafío mayor son el convertidor Sub\_ADC y el amplificador diferencial 2x\_Gain por el gran número de instancias que los integran.

Para facilitar el diseño Layout del Sub\_ADC se optó por integrar la etapa SH en un sub-circuito (Fig.A-46) esto facilitara la integración con el CMP\_1 y la elaboración del layout para el CMP\_2. El nuevo sub-circuito SH está integrado principalmente por transistores que desempeña el trabajo de un interruptor, el cual conduce o aísla la carga eléctrica al nodo al cual se encuentra conectado. Para este layout no se aplicaron técnicas complicadas de diseño, se dirigieron los esfuerzos a mantener el circuito dentro de un área reducida.

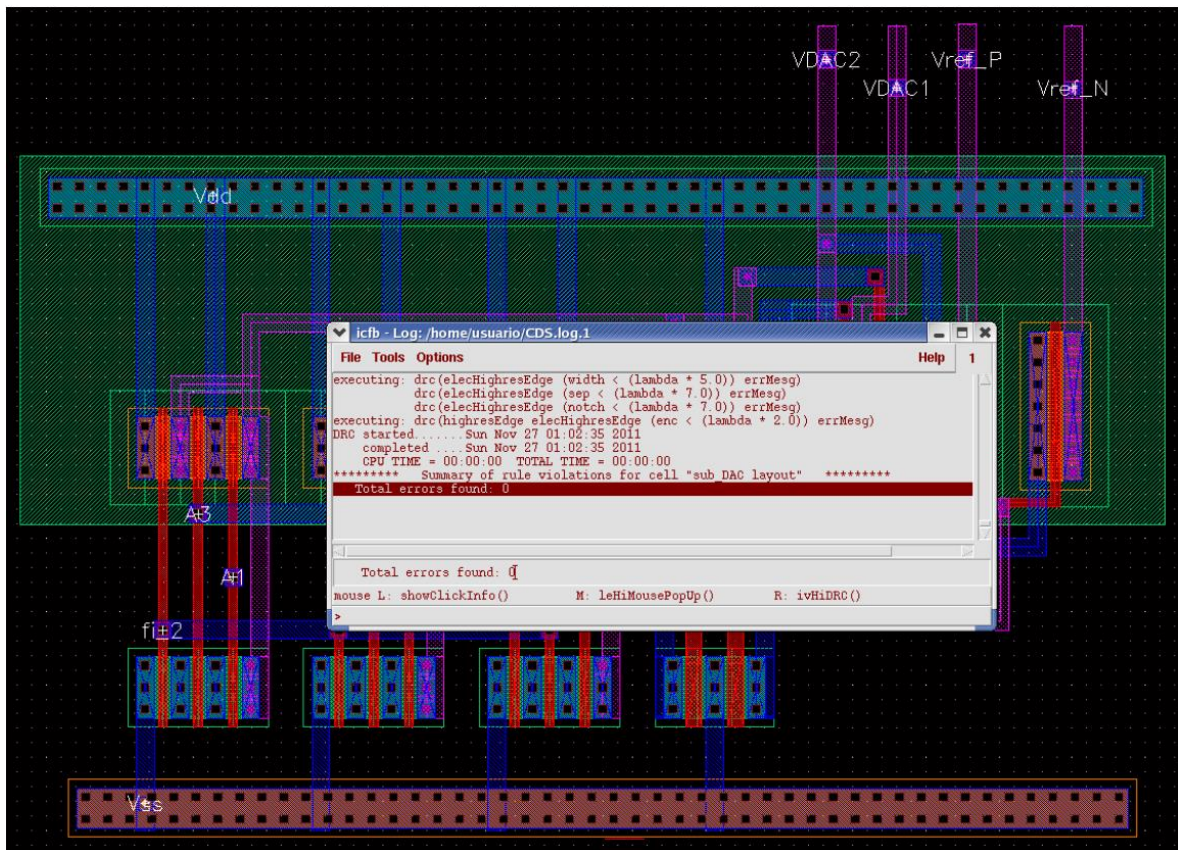


Fig. A-43 Resultados de la verificación DRC (*Desing Rules Check*), total de errores encontrados 0.

Un reto de este circuito fue la construcción de los capacitores de 100 y 300 fF, por simplicidad se eligió construir el capacitor de 300fF a partir de 3 capacitores de 100fF conectados en paralelo. Esto por las siguientes razones:

1. No es conveniente invertir tiempo en construir celdas únicas si estas pueden ser elaboradas a partir de bloques más sencillos. Sobre todo si se tiene pensado reutilizar la celda.
2. Un valor de 300fF es un valor alcanzable en esta tecnología, pero gracias a las variaciones de proceso este no es fijo ni exacto. Es preferible que en este caso particular del capacitor se construya de capacitores más pequeños pero de un valor mucho más aproximado al valor estimado, esto reducirá el error en el diseño.

Para obtener las dimensiones que se necesitan en la elaboración del capacitor partimos de (A-2).

$$C = \frac{\epsilon_{ox}}{t_{ox}} WL = C_{ox} WL \quad (A-2)$$

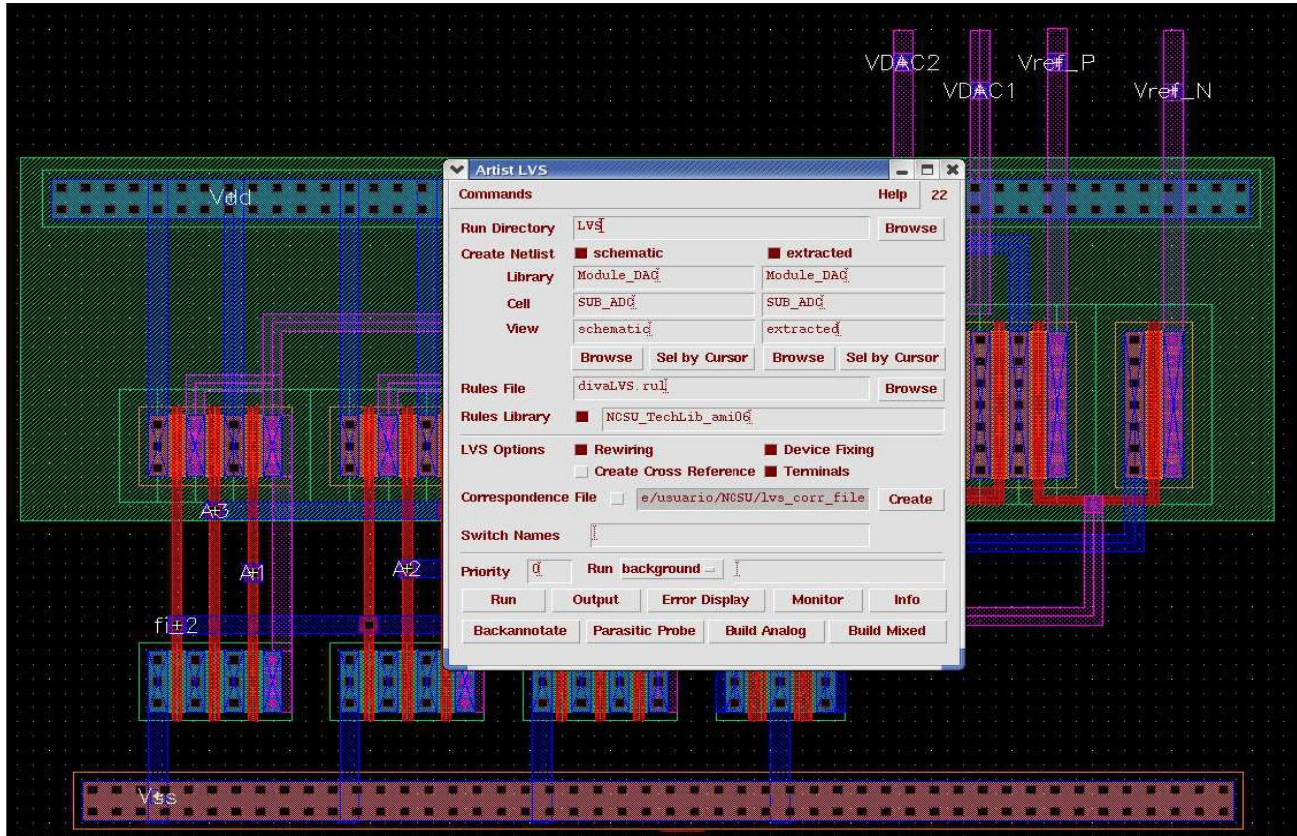


Fig. A-44 Configuración de la prueba LVS para el Sub\_DAC. El archivo necesario para realizar esta verificación es “divaLVS.rul” que contiene el conjunto de reglas establecidas para esta tecnología y se encuentra en la librería “NCSU\_TechLib\_ami06”. Para esta prueba es necesario especificar la ruta del circuito esquemático y circuito layout. Editor de Layout XL VIRTUOSO CADENCE®.

Dónde:

C = Capacitancia en Faradios (F)

$\epsilon_{OX}$  = Positividad eléctrica del óxido de silicio,  $3,45 \times 10^{-13}$  F/cm<sup>2</sup>

$t_{OX}$  = Grosor de la capa de óxido de silicio,  $50a = 50 \times 10^{-18}$  m

$C_{OX}$  = Capacitancias del óxido de silicio.

W = Ancho de la plancha de óxido de silicio.

L = Longitud de la plancha de óxido de silicio.

El valor de la capacitancia del óxido de silicio se obtiene de los parámetros tecnológicos que la herramienta posee. Algunos de estos valores se muestran en Fig.A-47. Por tanto se tiene que  $C_{OX} = 873aF/\mu m^2$ . Dado que el área del capacitor está dada por el producto WL, esto se despeja de (A-2) y se obtiene (A-3).

$$WL = \frac{C}{C_{OX}} \quad (A-3)$$

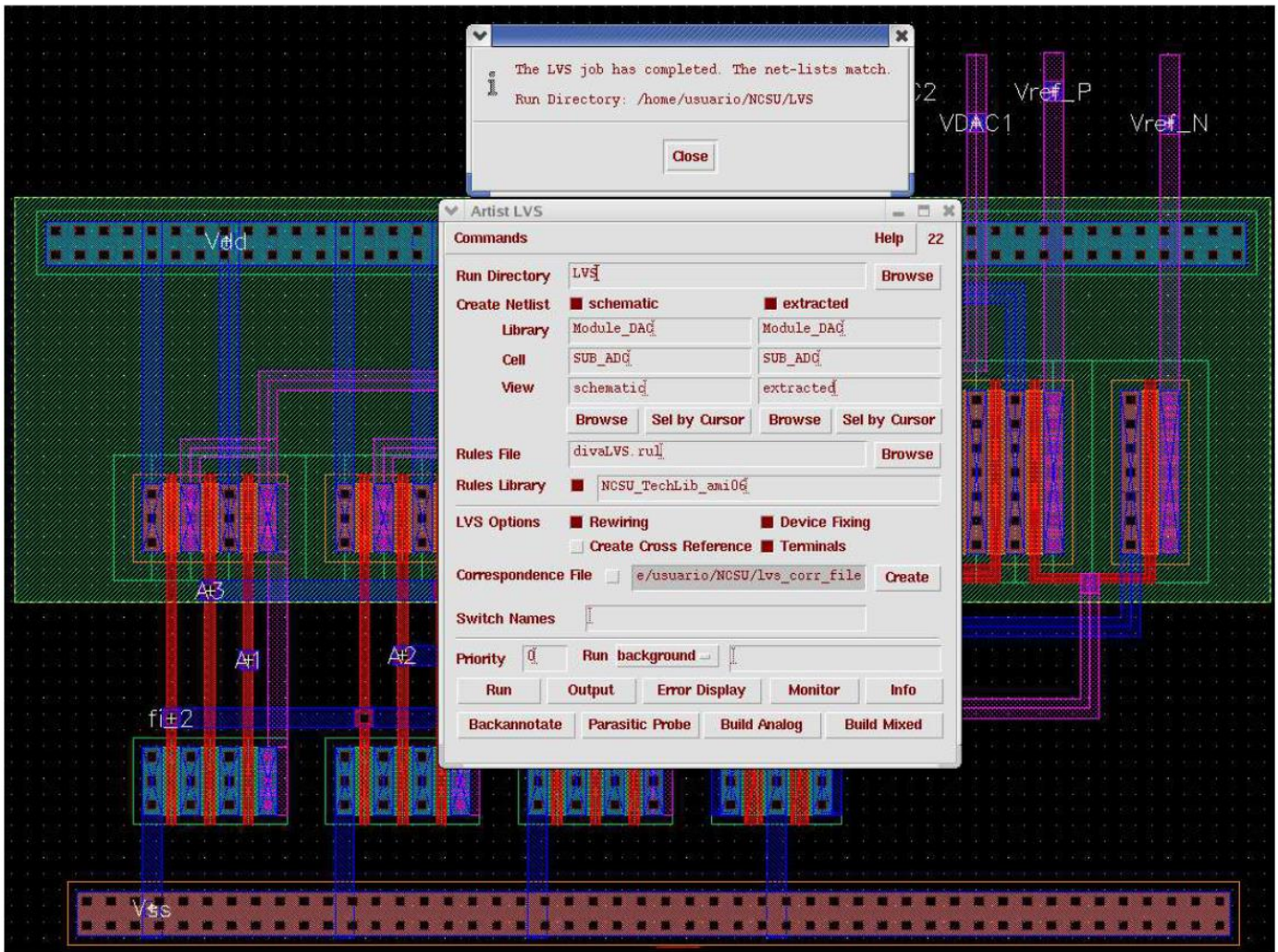


Fig. A-45 Resultados de la verificación LVS (*Layout Versus Schematic*), ambos circuitos coinciden.

Resolvemos (A-3) para una capacitancia de 100fF:

$$WL = \frac{100 \times 10^{-15} F}{873 \times 10^{-18} \frac{F}{\mu m^2}} = 114.5475372 \mu m^2 \quad (A-4)$$

El diseño del capacitor se simplifica si hacemos  $W = L$ .

$$W = \sqrt{WL} = \sqrt{W^2} \quad (A-5)$$

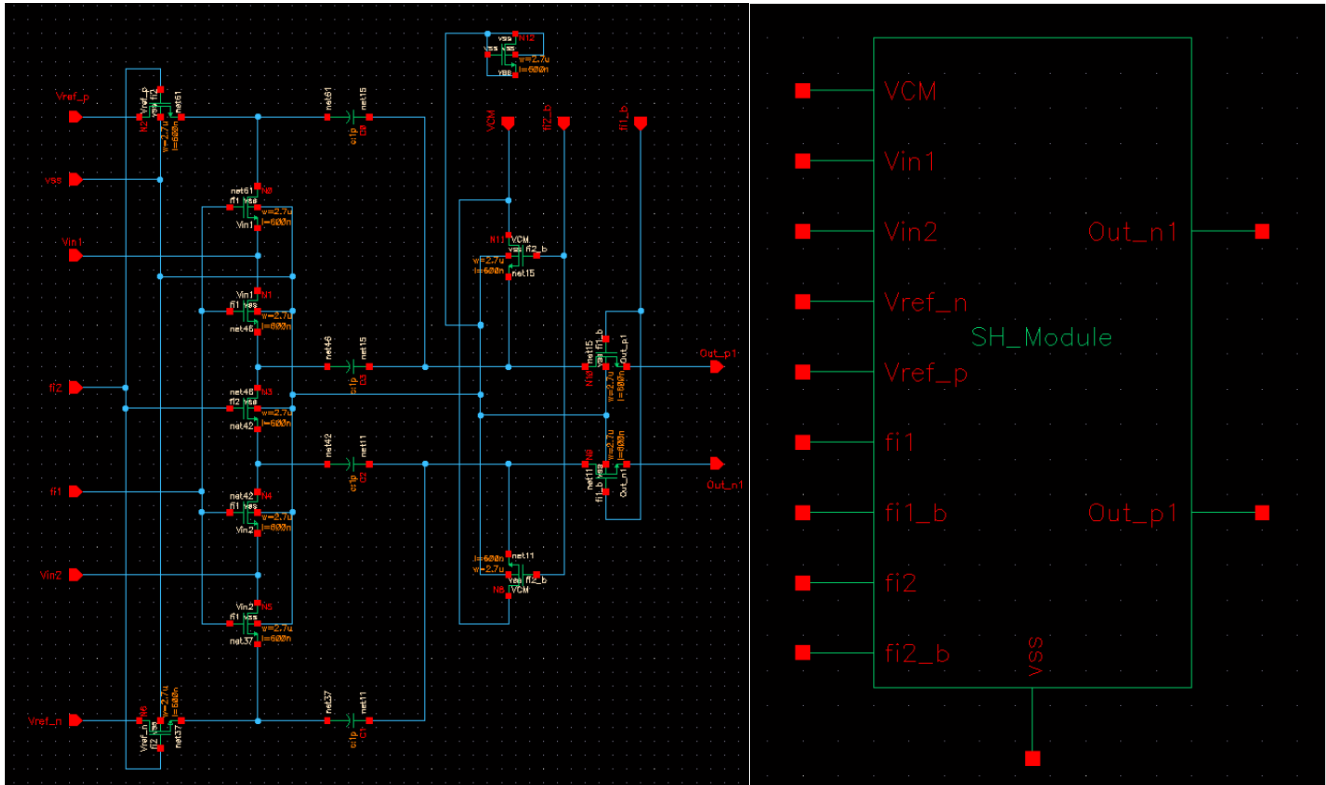


Fig. A-46 Sub-circuito SH para el comparador CMP\_2. Esquemático y símbolo.

## Parámetros de materiales de la tecnología AMIS\_C5

AMIS 0.5um process capacitance parameters

CAPACITANCE PARAMETERS	N+	P+	POLY	POLY2	M1	M2	M3	N W	UNITS
Area (substrate)	430	725	85		32	17	11	40	aF/um <sup>2</sup>
Area (N+active)			2457		36	17	12		aF/um <sup>2</sup>
Area (P+active)			2365						aF/um <sup>2</sup>
Area (poly)				873	57	17	10		aF/um <sup>2</sup>
Area (poly2)					52				aF/um <sup>2</sup>
Area (metall)						36	14		aF/um <sup>2</sup>
Area (metal2)							37		aF/um <sup>2</sup>
Fringe (substrate)	328	272			78	60	42		aF/um
Fringe (poly)					64	40	29		aF/um
Fringe (metall)						50	36		aF/um
Fringe (metal2)							53		aF/um
Overlap (N+active)			197						aF/um
Overlap (P+active)			229						aF/um

Fig. A-47 Parámetros de materiales de la tecnología AMIS\_C5.

## APÉNDICES

$$W = \sqrt{114.5475372 \mu\text{m}^2} \quad (\text{A-6})$$

$$W = L = 10.70268832 \mu\text{m} \approx 10.70 \mu\text{m} \quad (\text{A-7})$$

Los valores obtenidos en (A-7) son una primera aproximación de las dimensiones del capacitor, pues se debe considerar el espacio que toman los contactos y aumentar las dimensiones para incrementar el área efectiva ya que esta se ve reducida por las discontinuidades del material que se generan en el proceso de fabricación. Para garantizar que el valor de capacitancia del condensador diseñado cumpliera con la expectativa de diseño se construyó su layout (Fig.A-48) y se procedió a extraer (Fig.A-49).

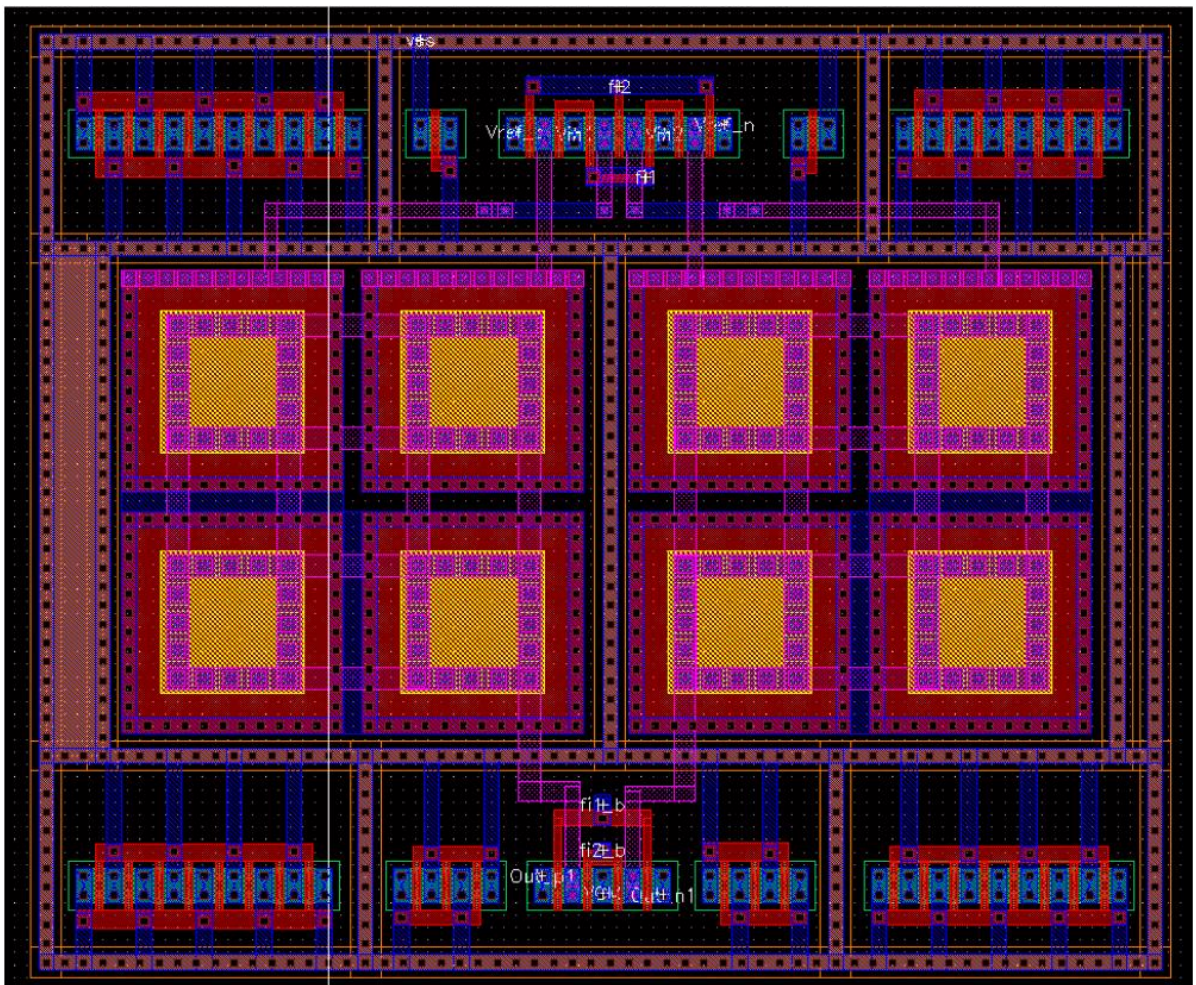


Fig. A-48 Layout del circuito SH con los capacitores de 100 y 300fF integrados.

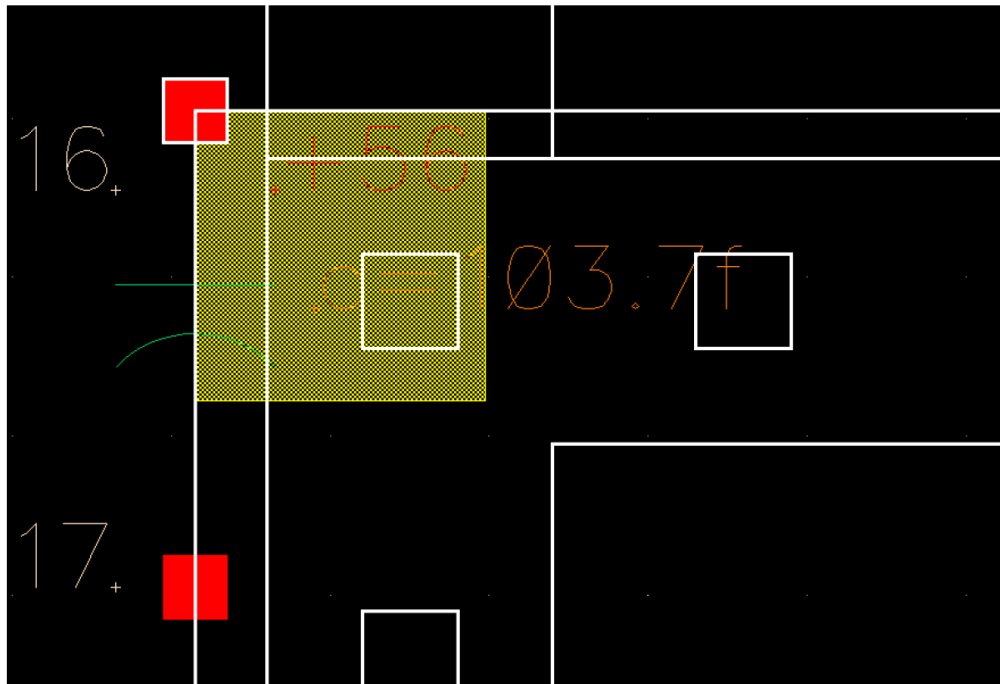


Fig. A-49 Extracción del capacitor construido en tecnología integrada de 0.5um. El valor alcanzado es 103.7fF y el valor requerido es 100fF.

El valor de capacitancia que se logró obtener fue  $C = 103.7\text{fF}$ , un valor muy cercano a los 100fF. Con esto podemos proceder a construir el layout para el circuito SH y CMP\_2 (Fig.A-48).

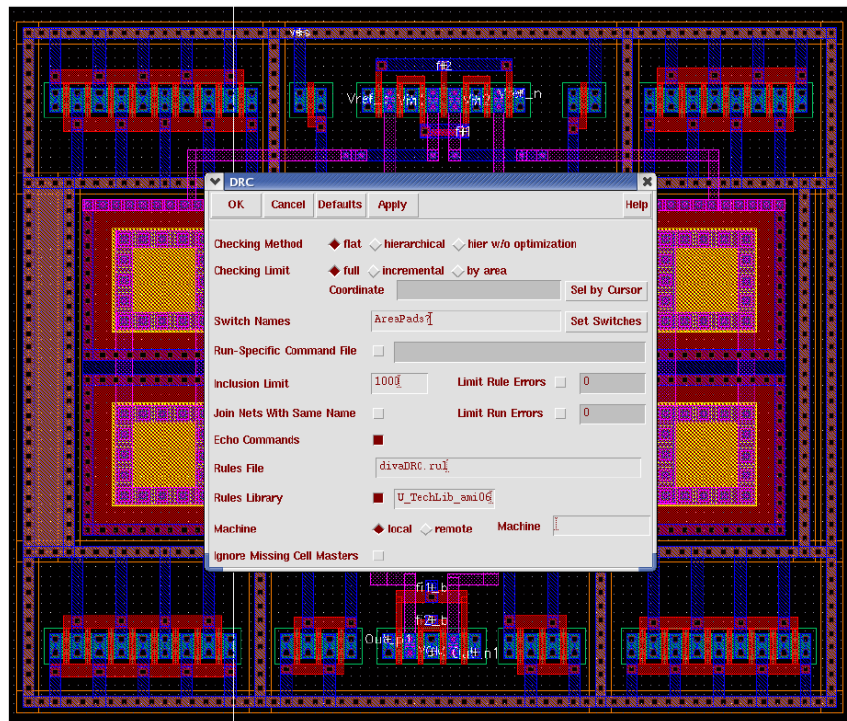


Fig. A-50 Configuración de la prueba DRC para el sub-circuito SH del comparador CMP\_2.

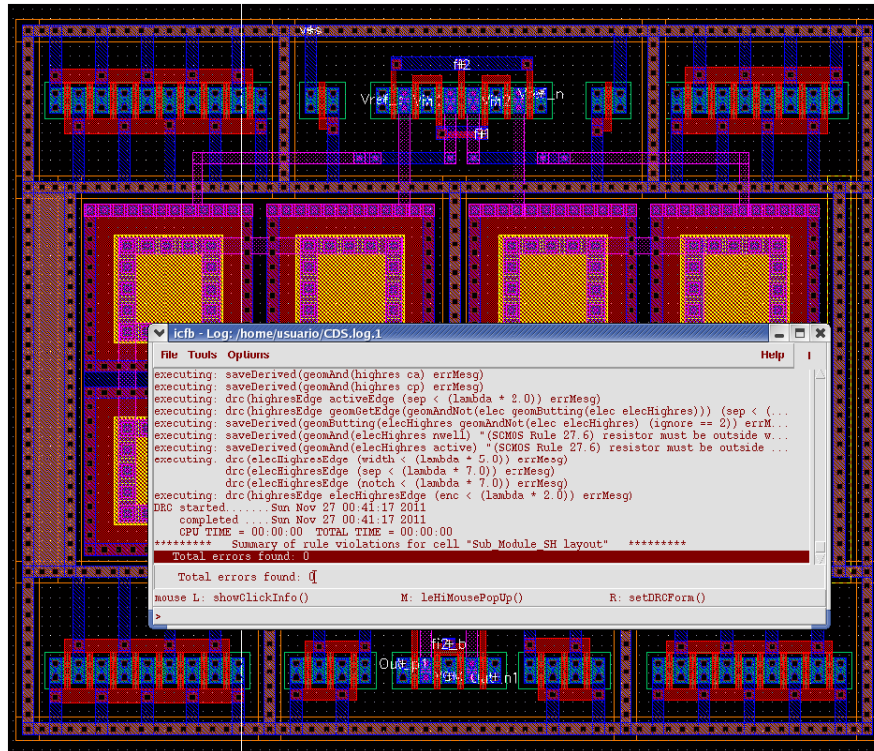


Fig. A-51 Resultados de la prueba DRC para el sub-circuito SH. Cero errores encontrados.

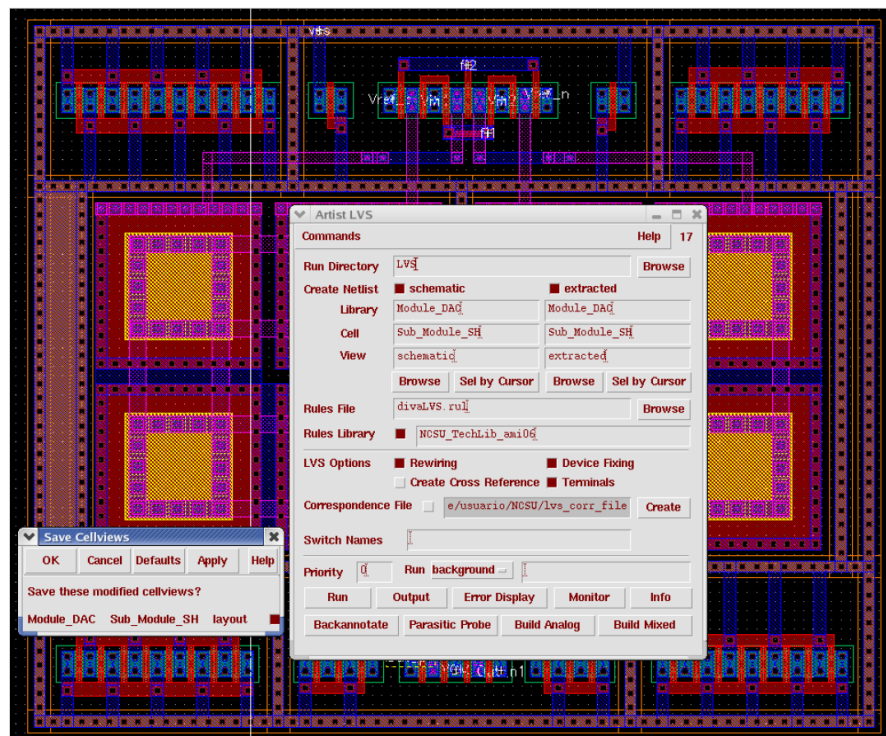


Fig. A-52 Configuración de la prueba LVS para el sub-circuito SH del comparador CMP\_2.



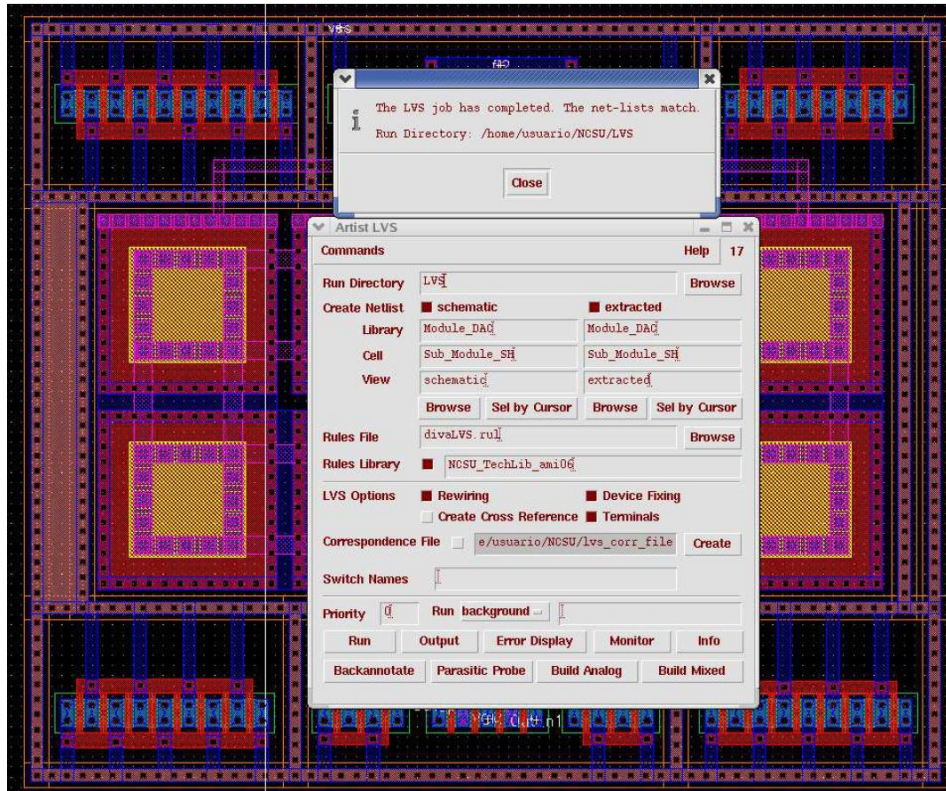


Fig. A-53 Resultados de la verificación LVS para el sub-circuito SH. El circuito esquemático y circuito layout coinciden.

De la Fig.A-50 a Fig.A-53 se muestra el flujo de verificación que se llevó a cabo para el sub-circuito SH. Para el diseño layout del CMP\_1 se aplicaron las técnicas de Euler e interdigitado, este sub-circuito CMP\_1 consumió bastantes recursos, pues es una instancia con un mayor número de transistores. En la Fig.A-54 se muestra el layout del CMP\_1 y de Fig.A-55 a Fig.A-58 los pasos de verificación efectuados.

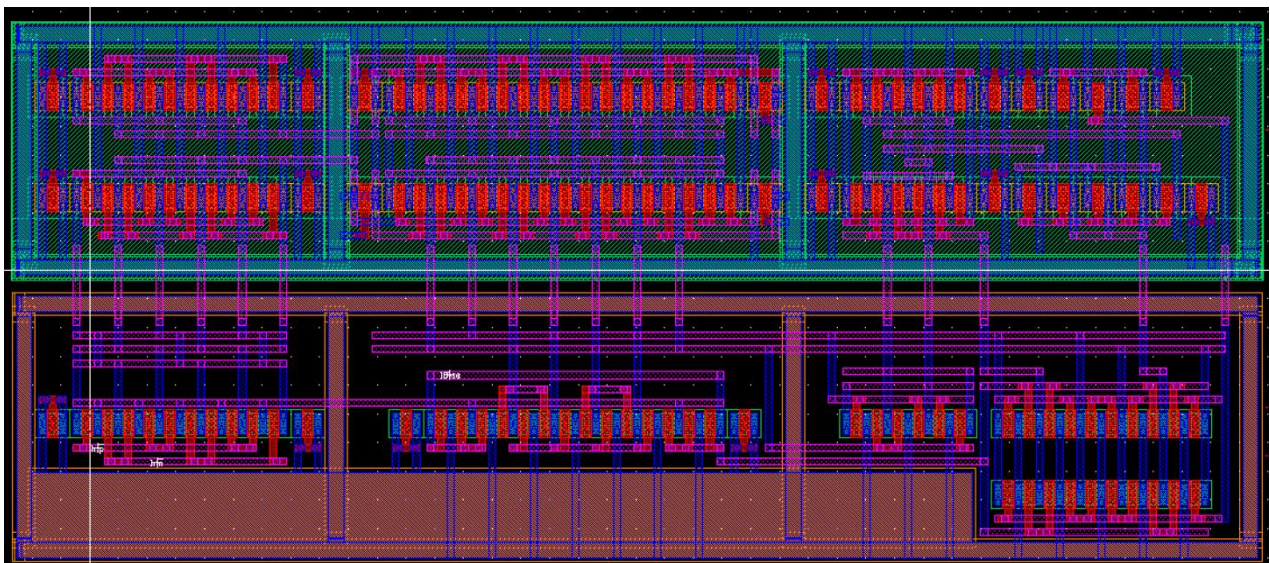


Fig. A-54 Diseño layout del sub-circuito comparador CMP\_1.

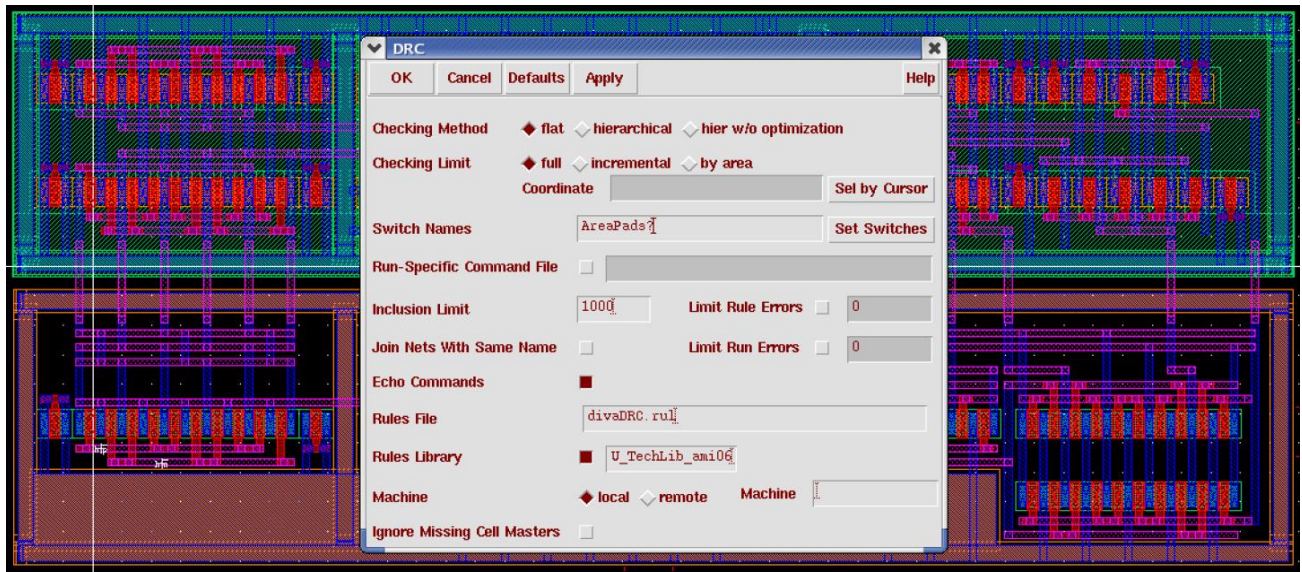


Fig. A-55 Configuración de la herramienta para efectuar la verificación DRC al sub-circuito CMP\_1.

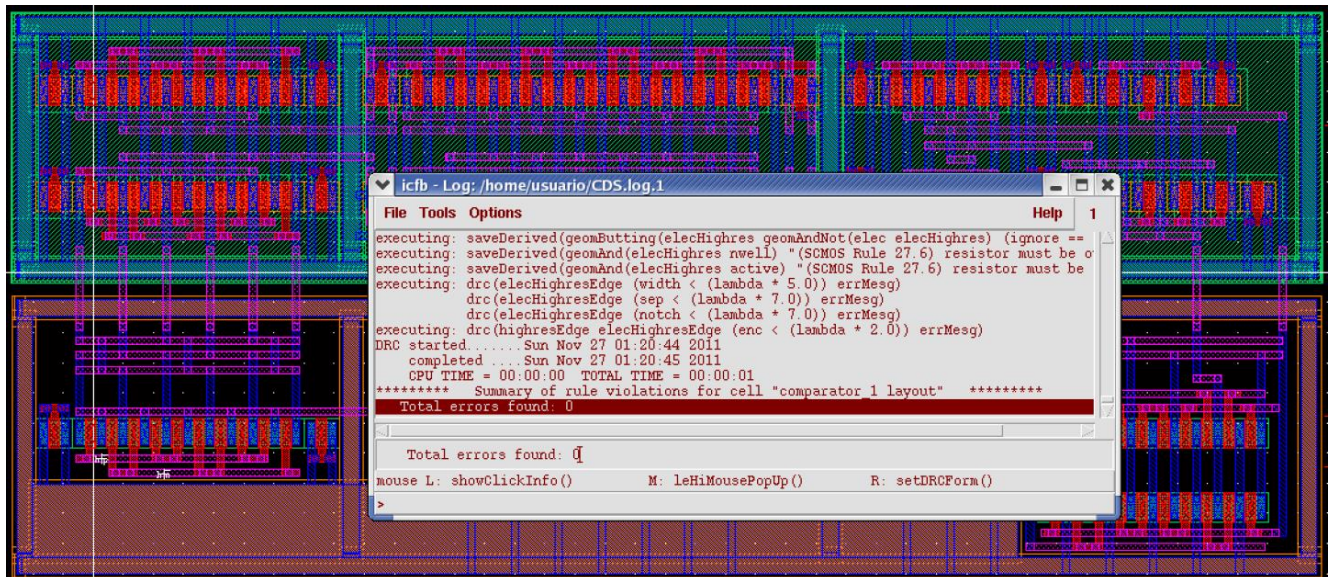


Fig. A-56 Resultados de la verificación DRC efectuada al sub-circuito CMP\_1. Total de errores encontrados, cero.

Con las modificaciones realizadas al sub-circuito CMP\_2, el esquemático se redibujó (Fig.A-59). En el diseño layout (Fig.A-60) se construyó de la integración de dos módulos el SH y CMP\_1 lo cual facilitó mucho su construcción. En la Fig.A-61 se muestra el resultado de la verificación DRC y en la Fig.A-62 el resultado de prueba LVS. La integración de dos instancias CMP\_2 conforman el layout del Sub\_ADC (Fig.A-63). En las figuras Fig.A-64 y Fig.A-65 se encuentran los resultados de las verificaciones DRC y LVS, respectivamente. Ambas pruebas pasan con el 0% de errores.

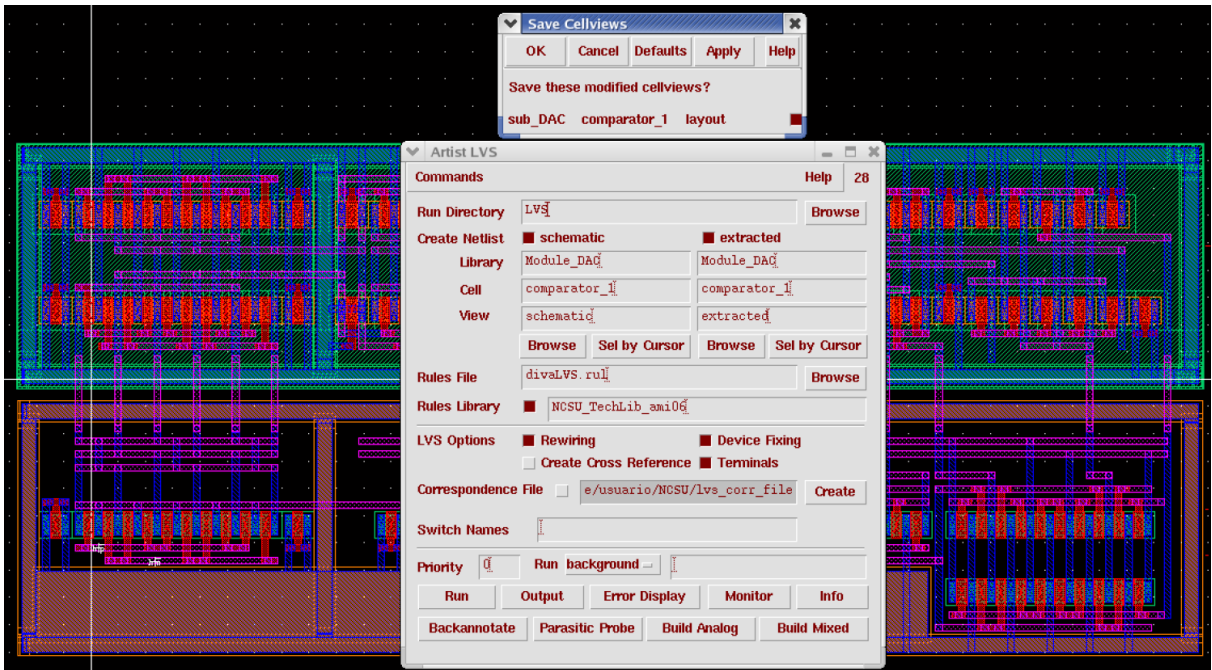


Fig. A-57 Configuración de la herramienta para efectuar la verificación LVS al sub-circuito CMP\_1.

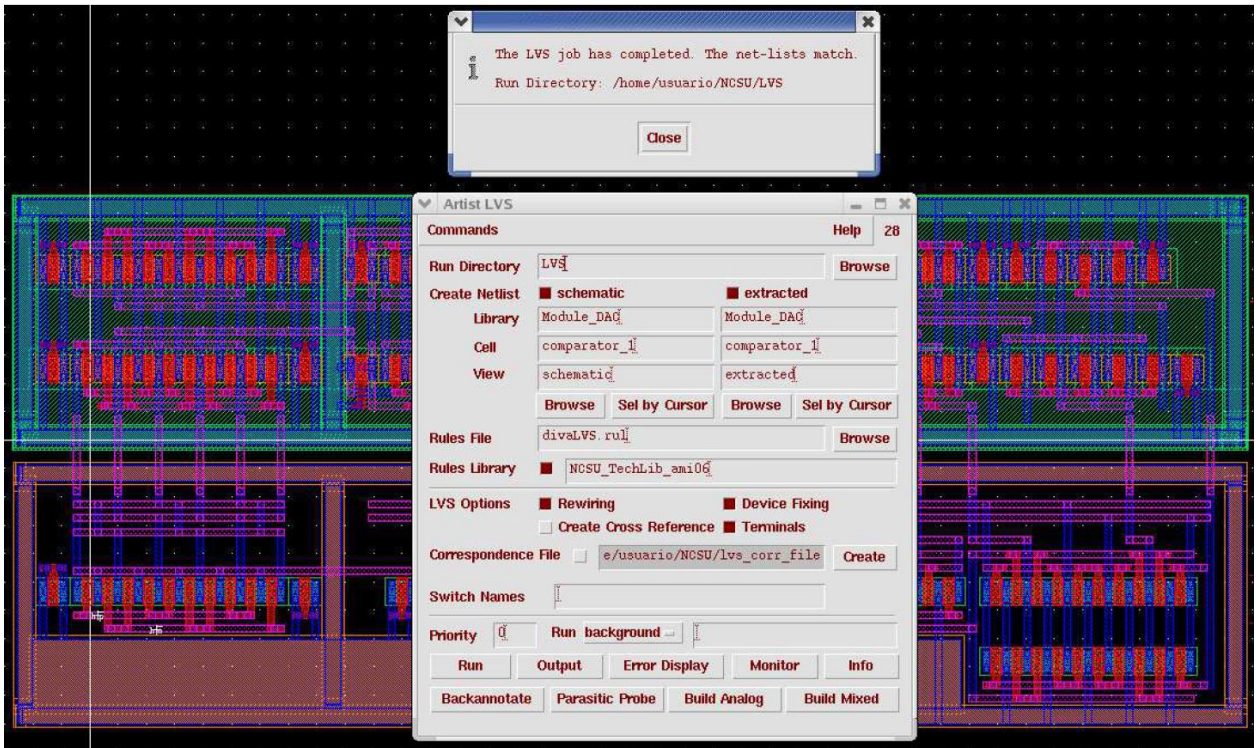


Fig. A-58 Resultados de la verificación LVS efectuada al sub-circuito CMP\_1. Circuito esquemático y circuito layout coinciden.

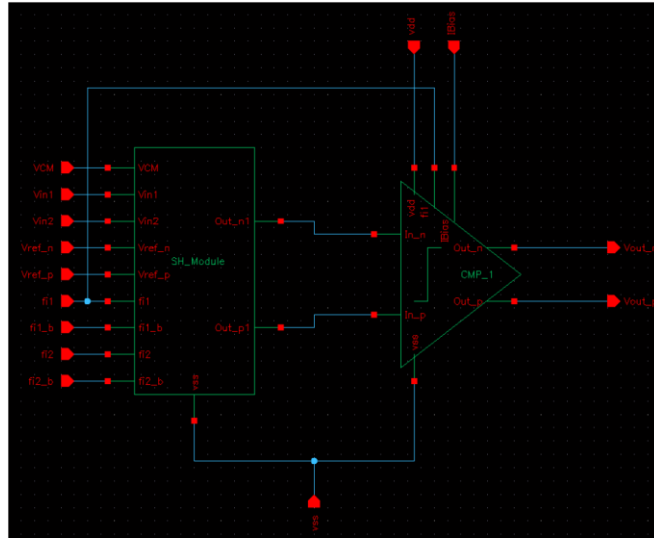


Fig. A-59 Rediseño del esquemático del CMP\_2, la circuitería de muestreo y retención SH se integró en un sub-circuito (Fig.A-11 y Fig.A-12) para facilitar la integración del layout en el CMP\_2 y posteriormente en el SUB\_ADC.

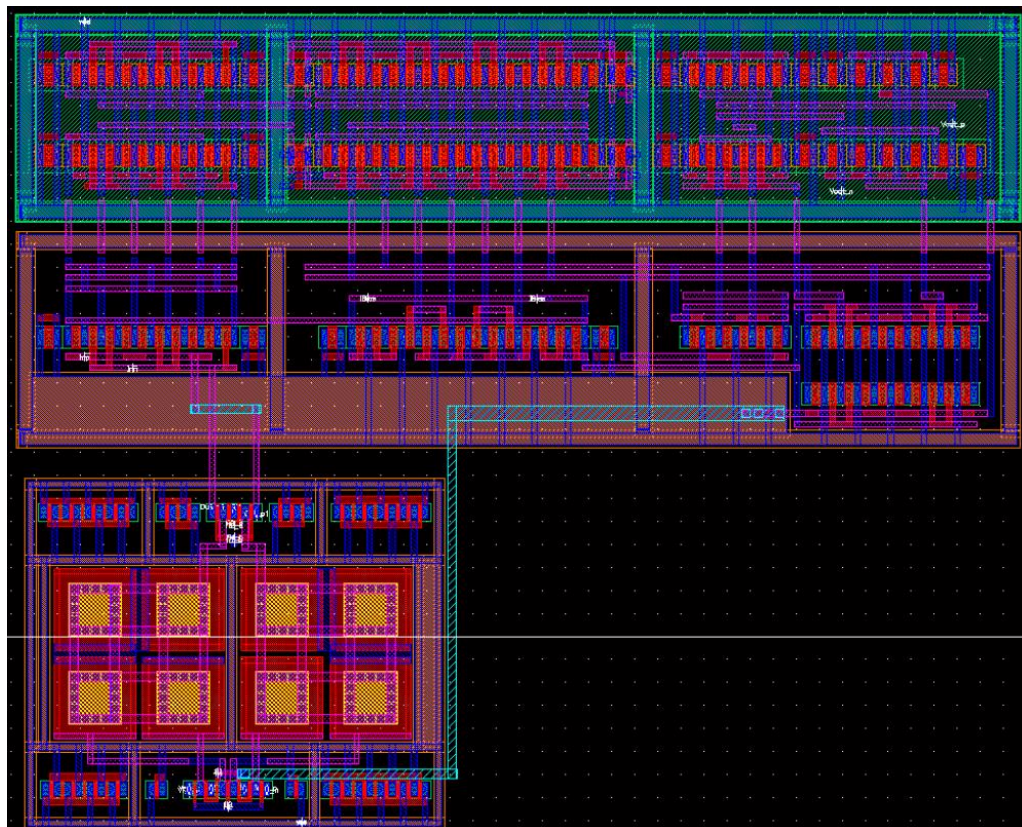


Fig. A-60 Resultados de la verificación LVS efectuada al sub-circuito CMP\_1. Circuito esquemático y circuito layout coinciden.

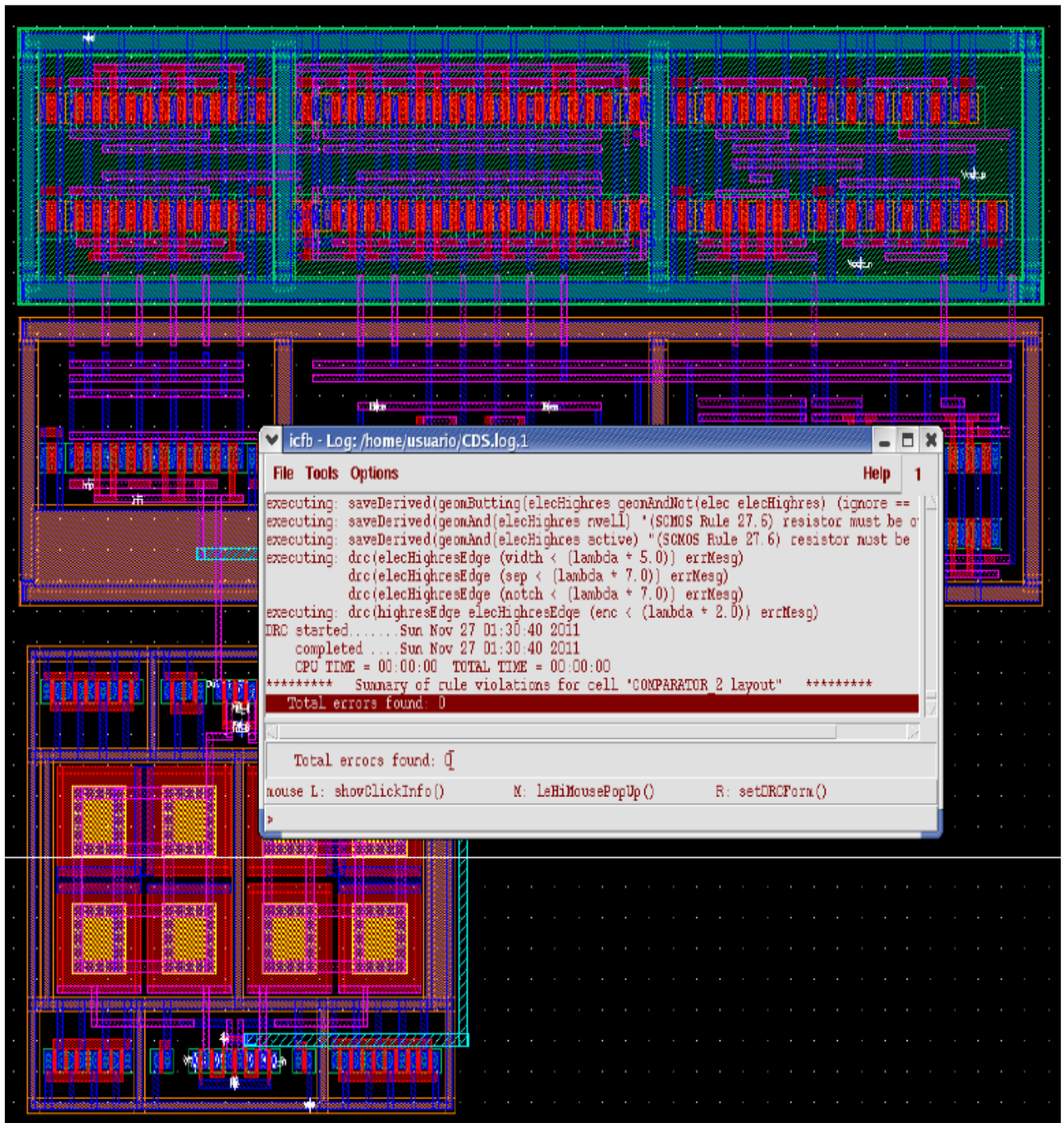


Fig. A-61 Resultado de la verificación DRC efectuada al CMP\_2. Total de errores encontrados, cero.

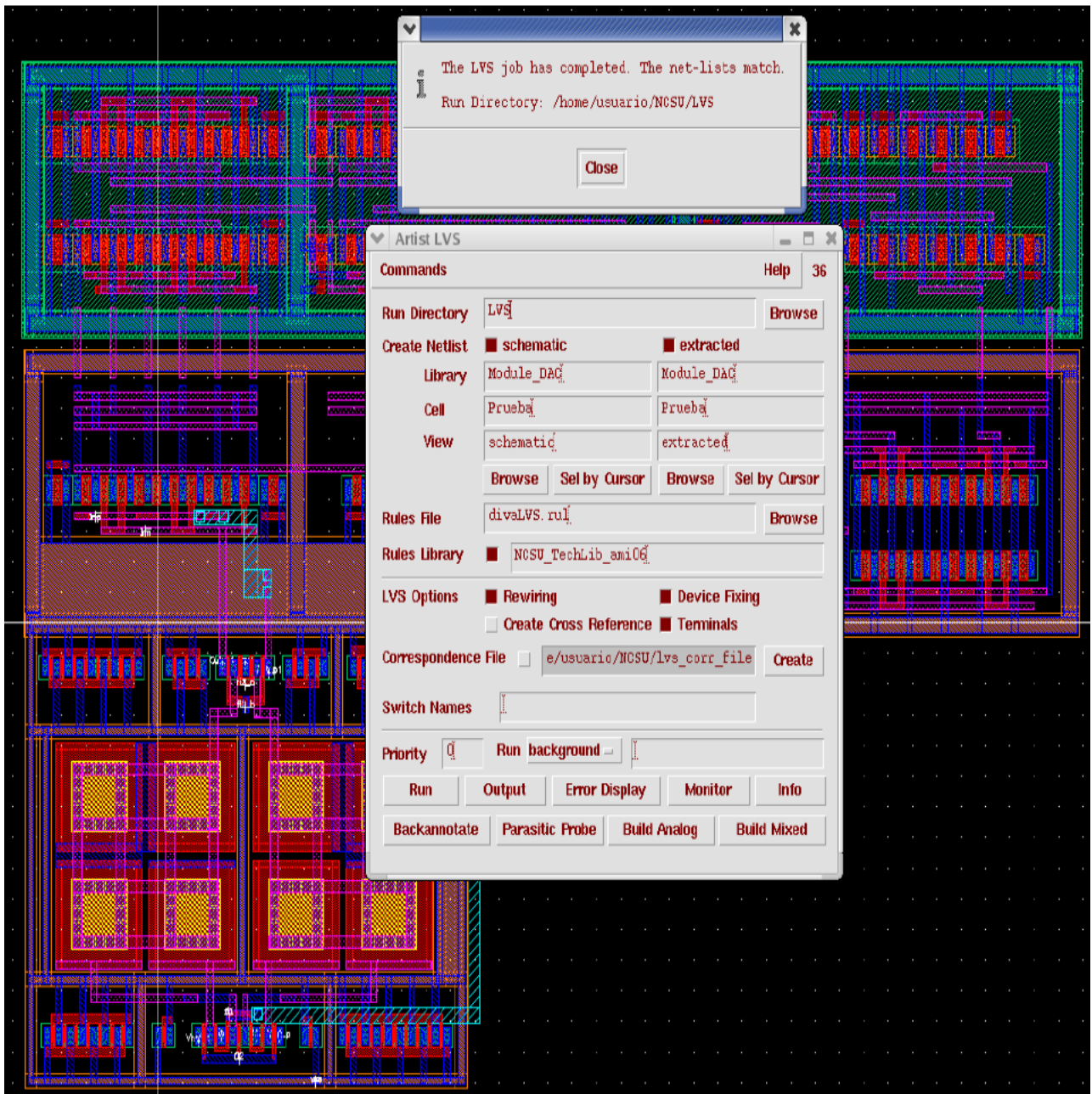


Fig. A-62 Resultado de la verificación LVS efectuada al CMP\_2. El circuito layout coincide con el circuito esquemático.

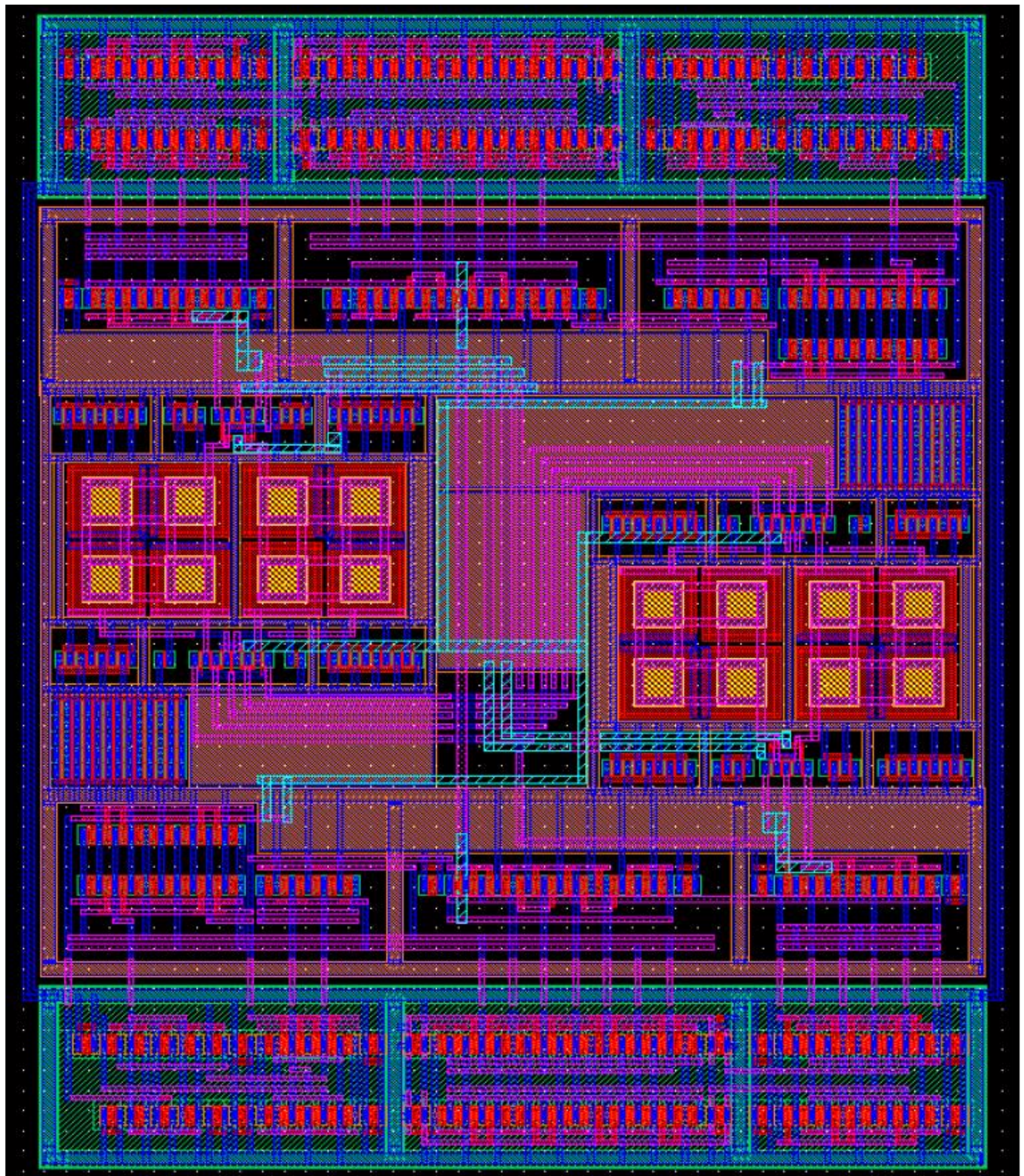


Fig. A-63 Diseño layout del Sub\_ADC. El diseño de los CMP\_2 se hizo de manera que al momento de ser integrados en el Sub\_ADC fuera lo más compacto posible y simétrico.

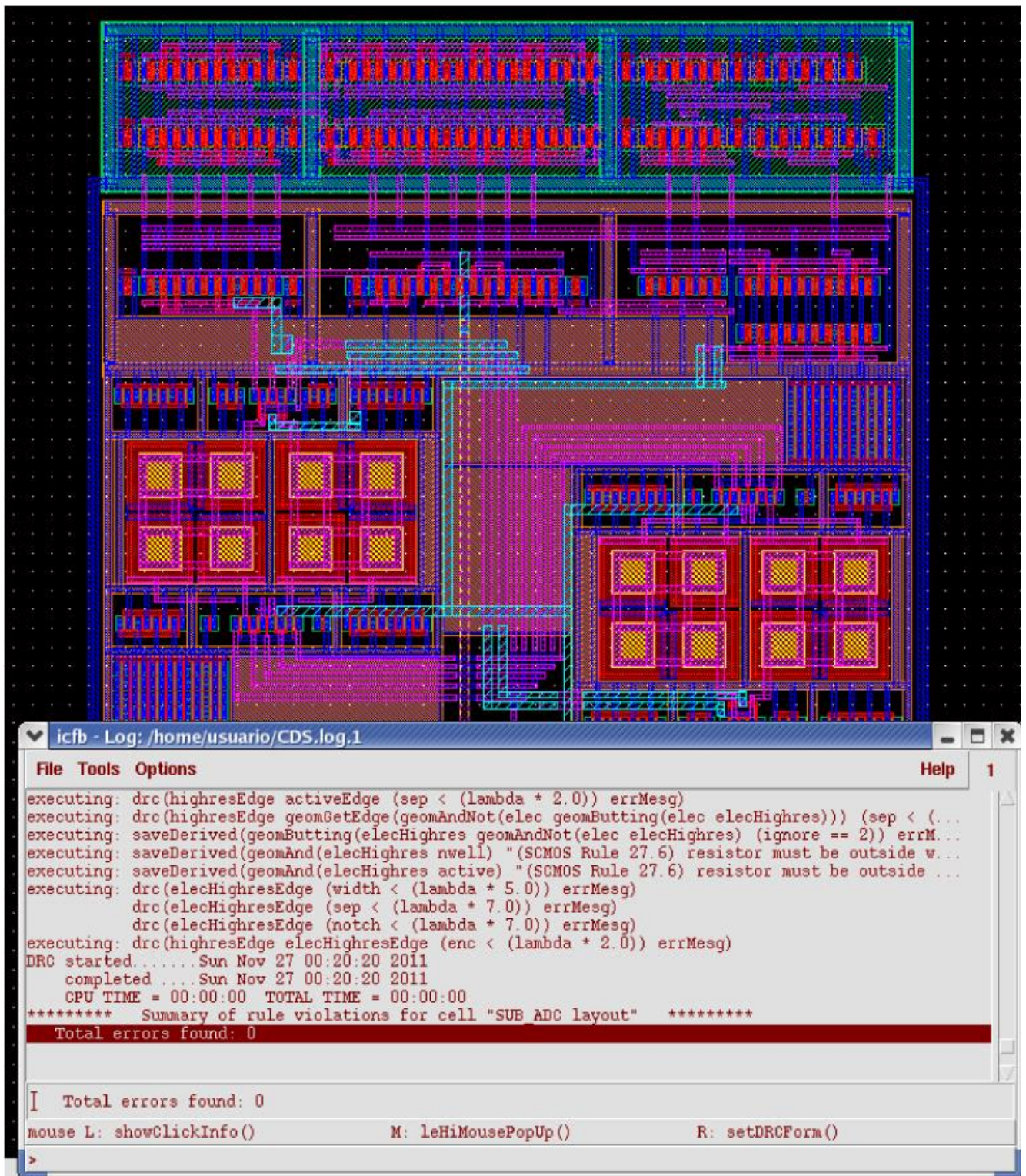


Fig. A-64 Verificación DRC para el circuito Sub\_ADC. Total de errores encontrados, cero.





Fig. A-65 Resultados de comparación esquemático versus layout (verificación LVS), el circuito layout coincide con el circuito esquemático.

## APÉNDICES

Hasta este punto se cuenta con un 63.3333% de avance en el diseño layout del convertidor A/D de 1.5 bits pipeline, es decir se cuenta con 2 de 3 de los sub-circuitos que lo integran. El OTA que forma parte del amplificador 2X\_Gain (Fig.A-37), el circuito de polarización fue sustituido por un conjunto de fuentes de voltajes ideales que establecen los niveles de polarización en el OTA, ahora se debe integrar el circuito real. Para generar un esquemático y layout más simple y limpio, la circuitería del CMBF, polarización y SH se incluyeron en sub-circuitos (Fig.A-66) que conforman todo el amplificador 2X\_Gain.

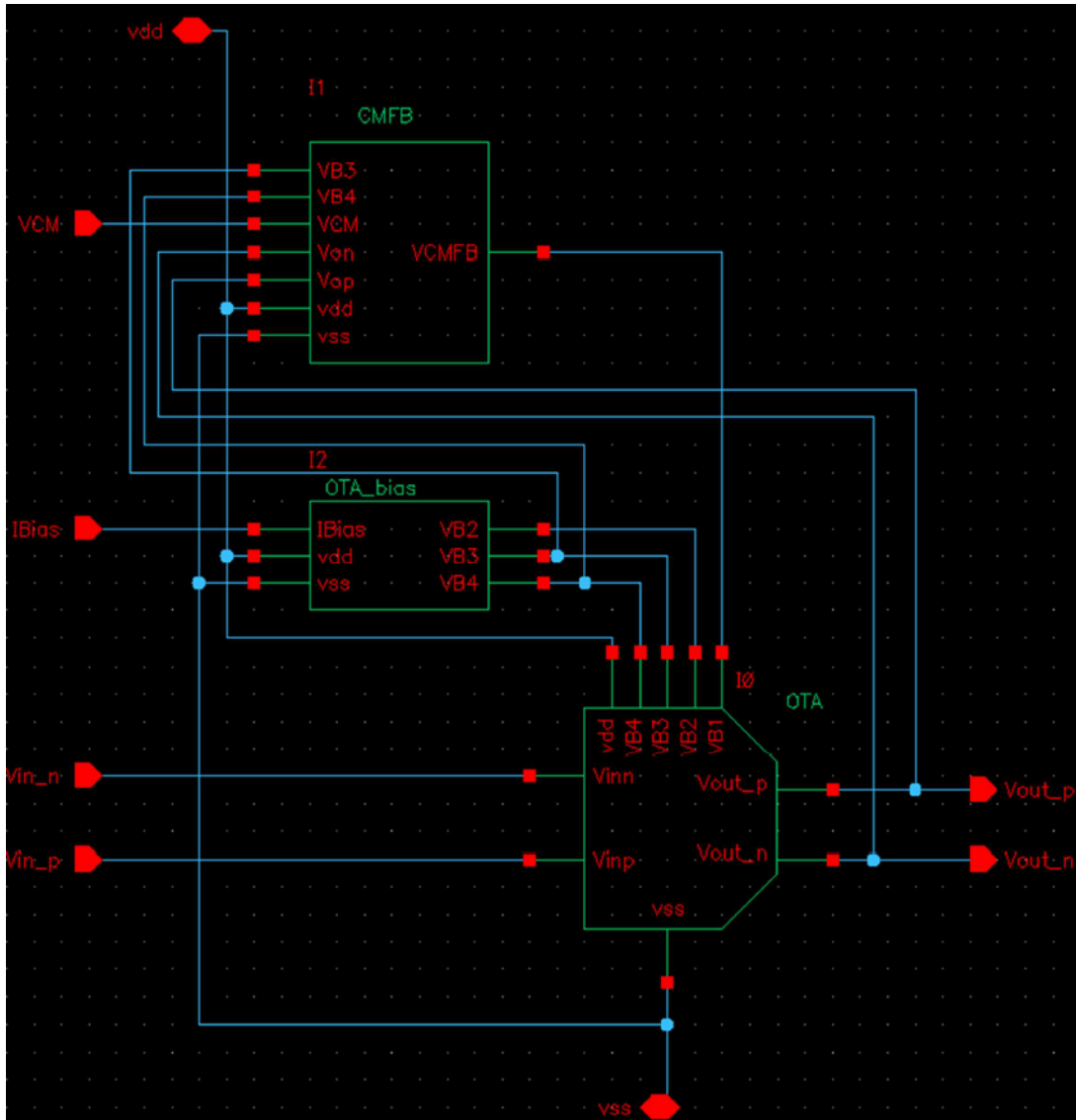


Fig. A-66 Circuito esquemático del amplificador diferencial 2X\_Gain. Se subdividió la circuitería y se colocaron en nuevos sub-circuitos para facilitar la tarea de integración en la vista layout.

El primero de ellos es el CMFB (*Common Mode Feed-Back*) (Fig.A-67), el layout de este circuito se muestra en la Fig.A-68 y las verificaciones efectuadas al mismo se observan en las Fig.A-69 y Fig.A-70.

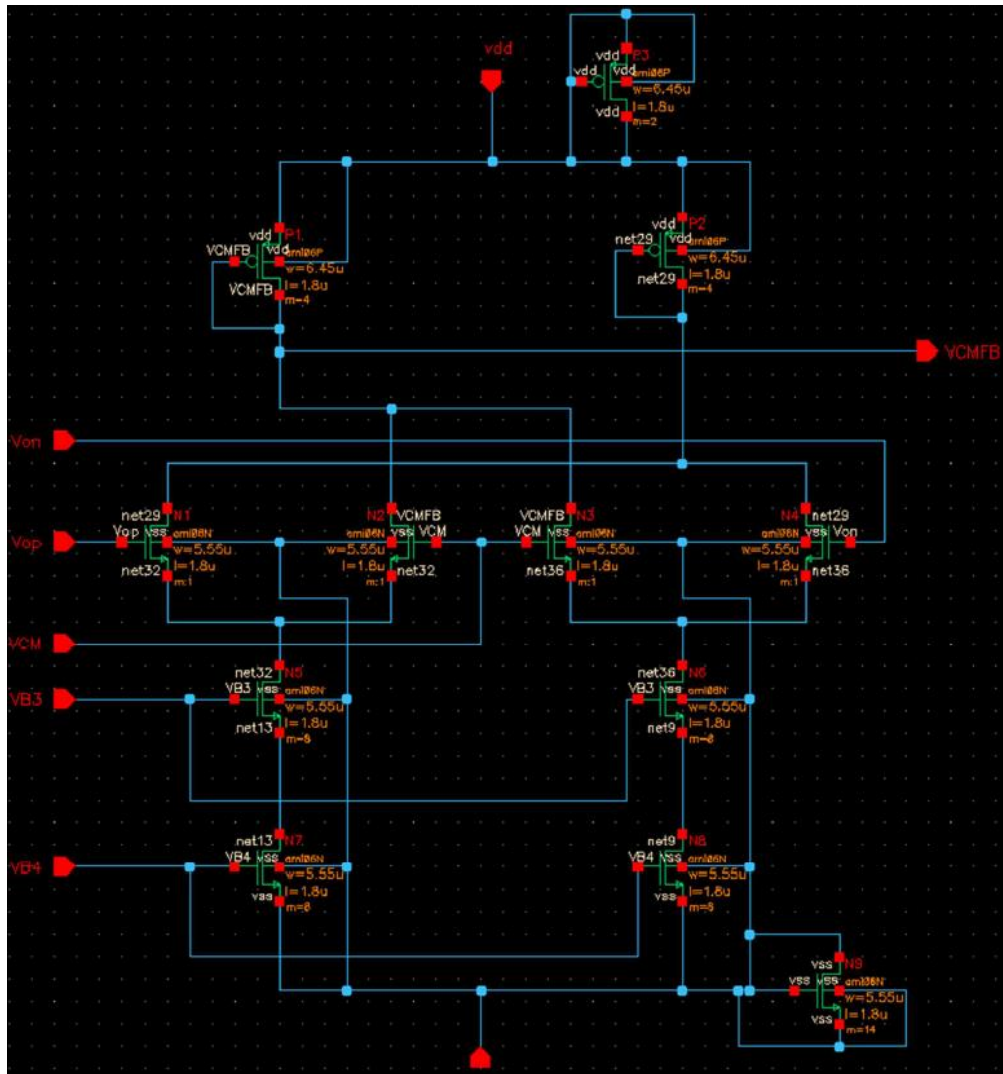


Fig. A-67 Circuito esquemático del CMBF (*Common Mode Feed-Back*)

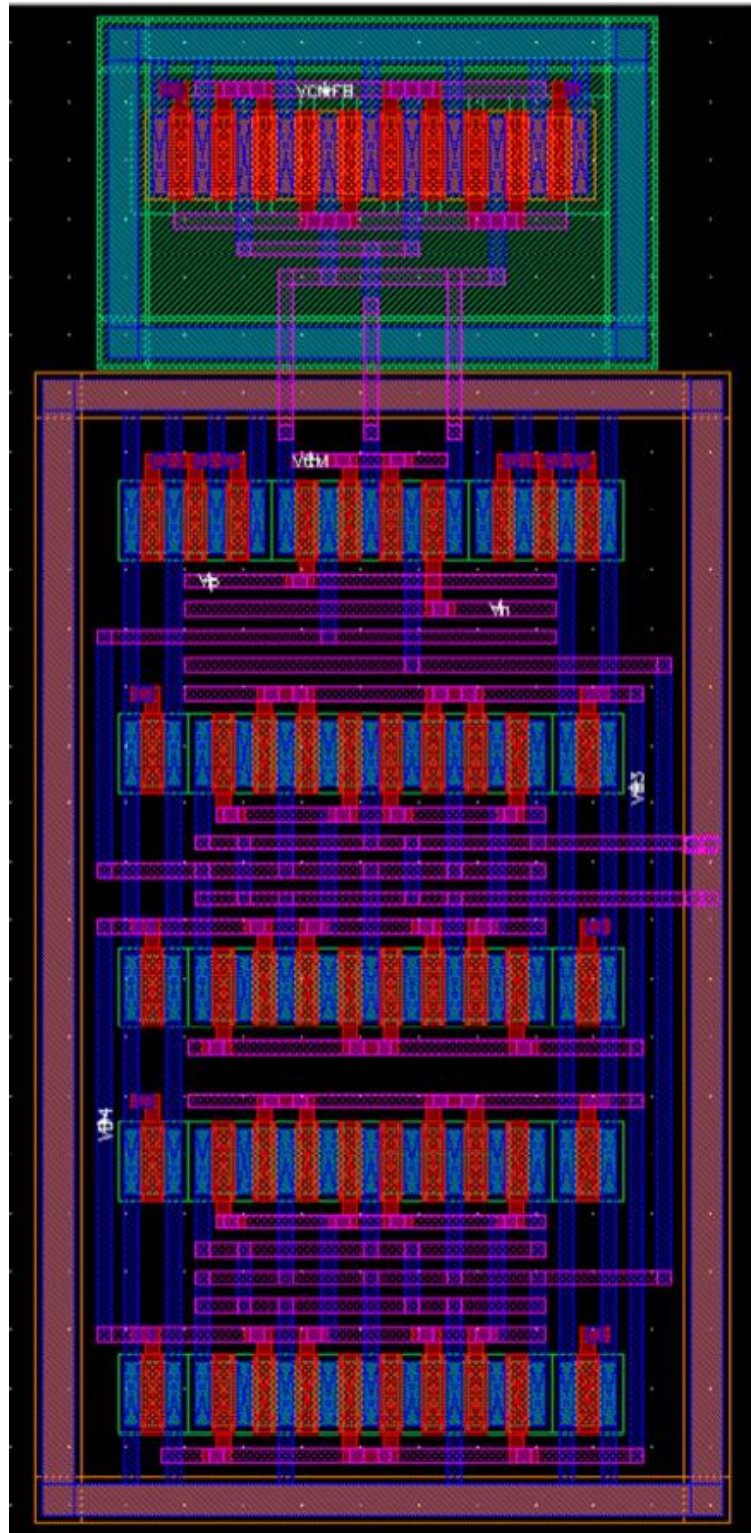


Fig. A-68 Vista layout del circuito CMBF que integrara el amplificador 2X\_Gain.

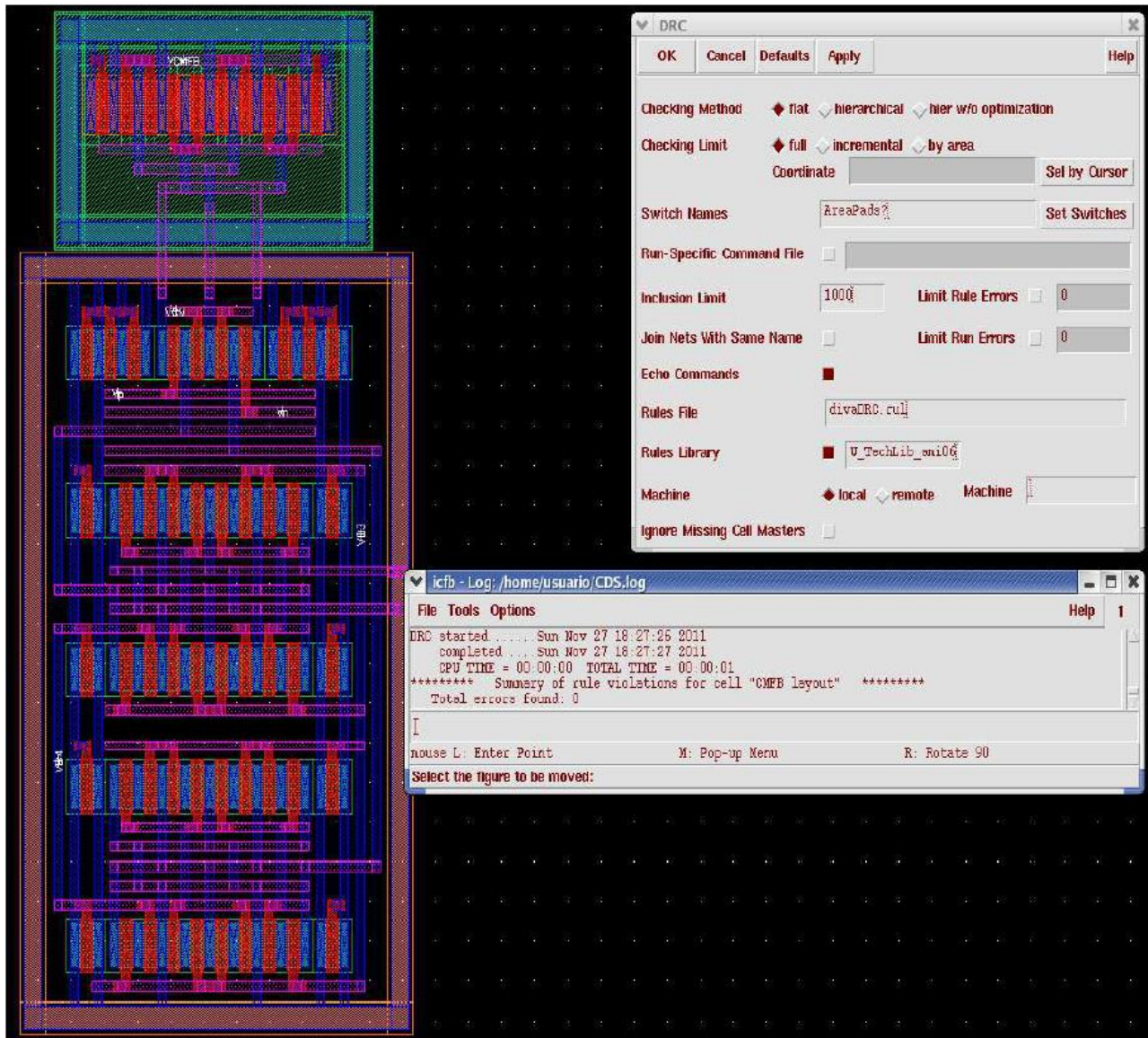


Fig. A-69 Verificación DRC para el circuito CMBF. Total de errores encontrados, cero.

El esquemático del sub-circuito OTA\_BIAS se muestra en la Fig.A-71, este circuito se encarga de generar los niveles de tensión de polarización que el amplificador OTA requiere para su correcto funcionamiento. El diseño layout de este circuito se encuentra en la Fig.A-72. La verificación DRC y LVS se observan en las Fig.A-73 y Fig.A-74. Ambas pruebas se concluyeron de manera satisfactoria. Para el circuito OTA fue necesario agregar transistores *dummy* que protegieran a los elementos eléctricamente sensibles, a los cuales los defectos de fabricación afectan de manera considerable sus propiedades eléctricas. Estos transistores *dummy* (Bobos) no poseen funcionalidad alguna para el circuito, pero si cuando el circuito va a ser fabricado debido a las imperfecciones que los dispositivos padecen al momento de su fabricación sus propiedades eléctricas se ven afectadas, estas variaciones toman una relevancia considerable en diseño analógico, si las propiedades eléctricas del dispositivo cambia, cambiarán también a las de todo

## APÉNDICES

el sistema pudiendo comprometer su funcionalidad por completo. Es por esta razón que se agregan estos dispositivos para proteger a los dispositivos funcionales de una degeneración mayor y mantener sus propiedades eléctricas lo más próximo a los valores con los cuales se realizó el diseño inicial. El circuito esquemático del OTA\_Block con los dispositivos dummy se observa en la Fig.A-75, diseño de la vista layout Fig.A-76, verificación DRC Fig.A-77 y comparación circuito layout versus circuito esquemático Fig.A-78.

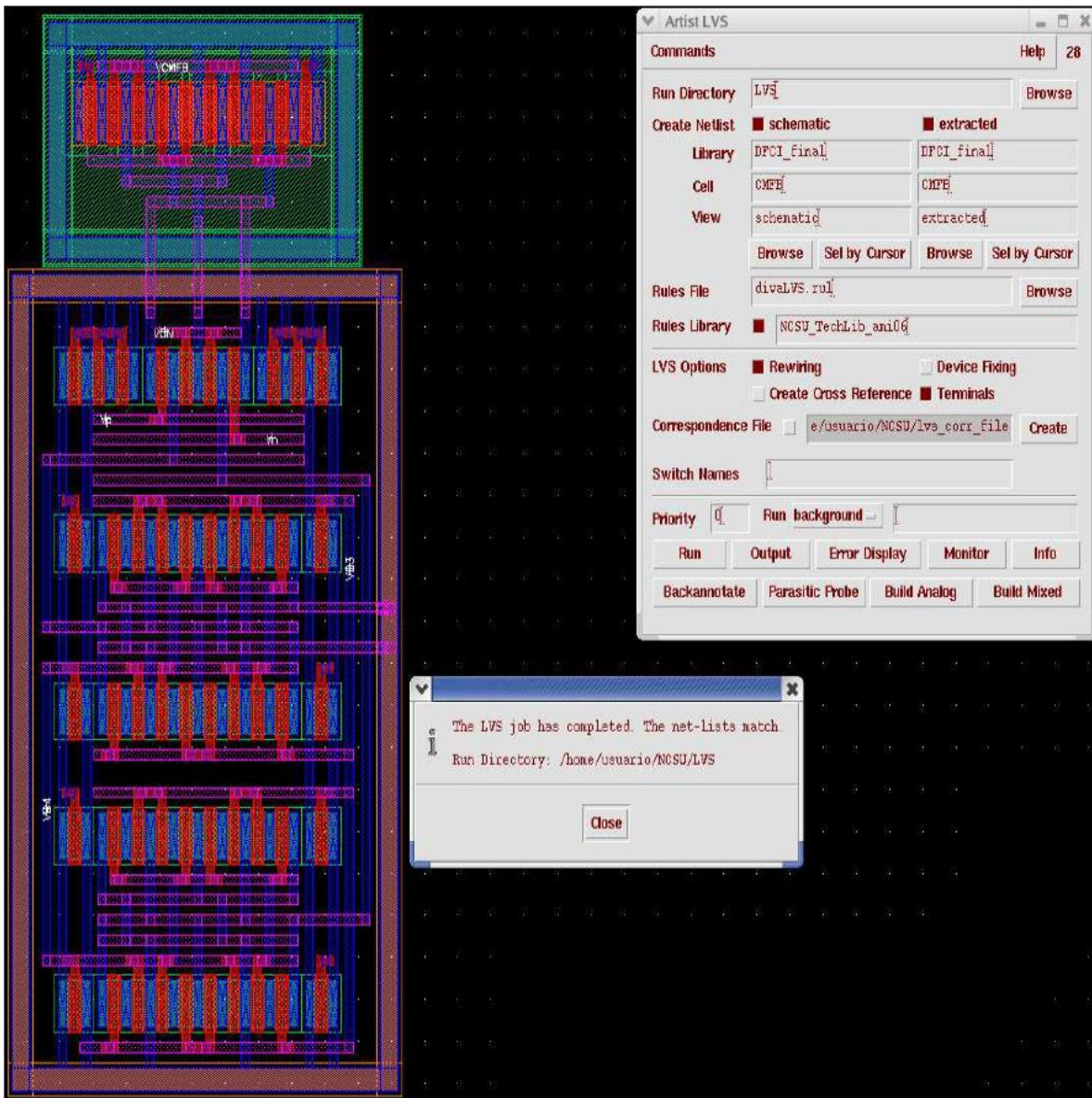


Fig. A-70 Verificación LVS para el circuito CMBF. El circuito layout coincide con el circuito esquemático.

Ahora se cuenta con todos los bloques que conforman el sub-circuito OTA, OTA\_Block, OTA\_BIAS y OTA\_CMBF (Fig.A-66), el siguiente paso es colocarlos a todos en una sola vista layout (Fig.A-78).

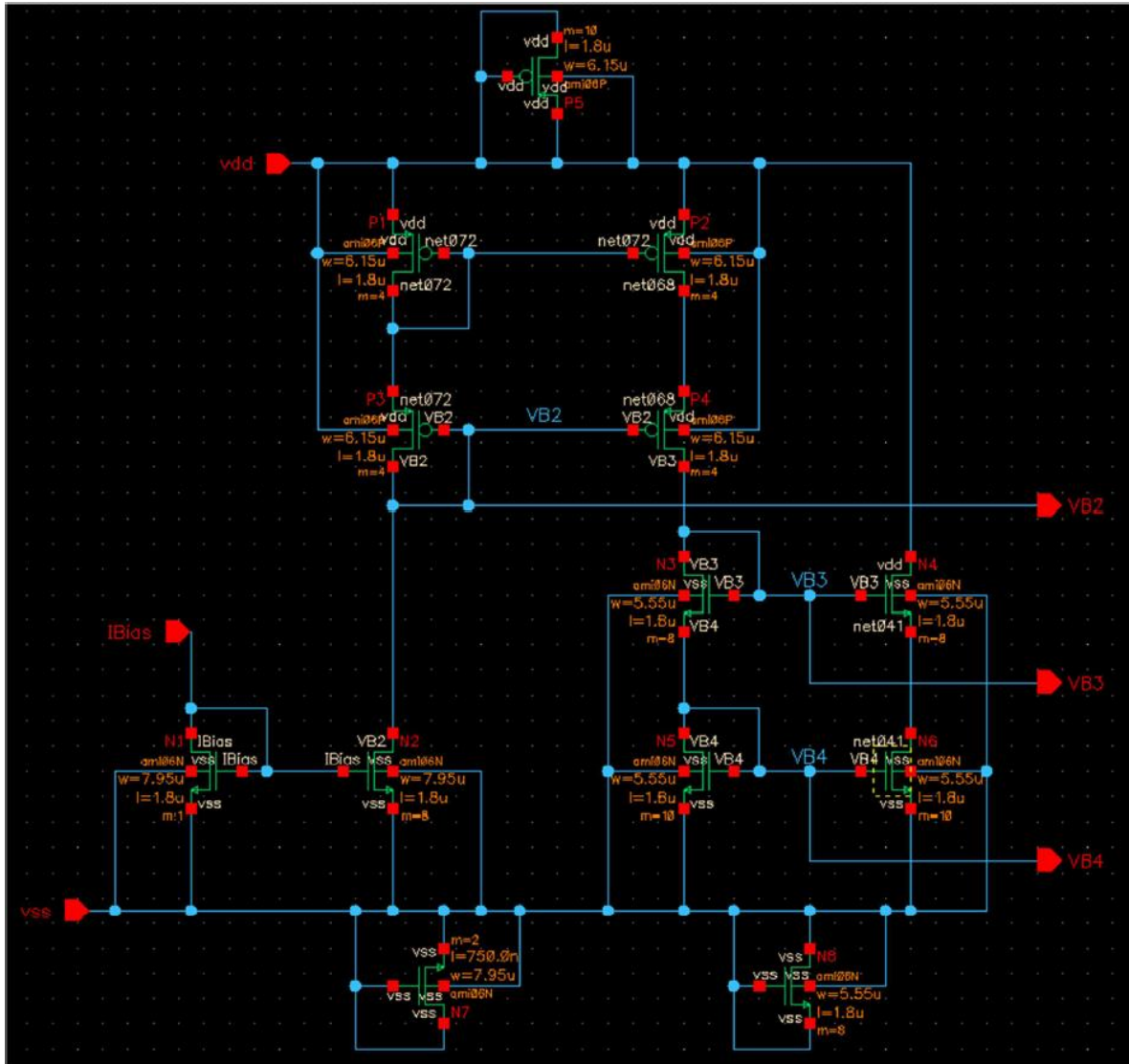


Fig. A-71 Circuito esquemático del sub-circuito OTA\_BIAS. Este circuito genera los voltajes de polarización que el amplificador OTA requiere.

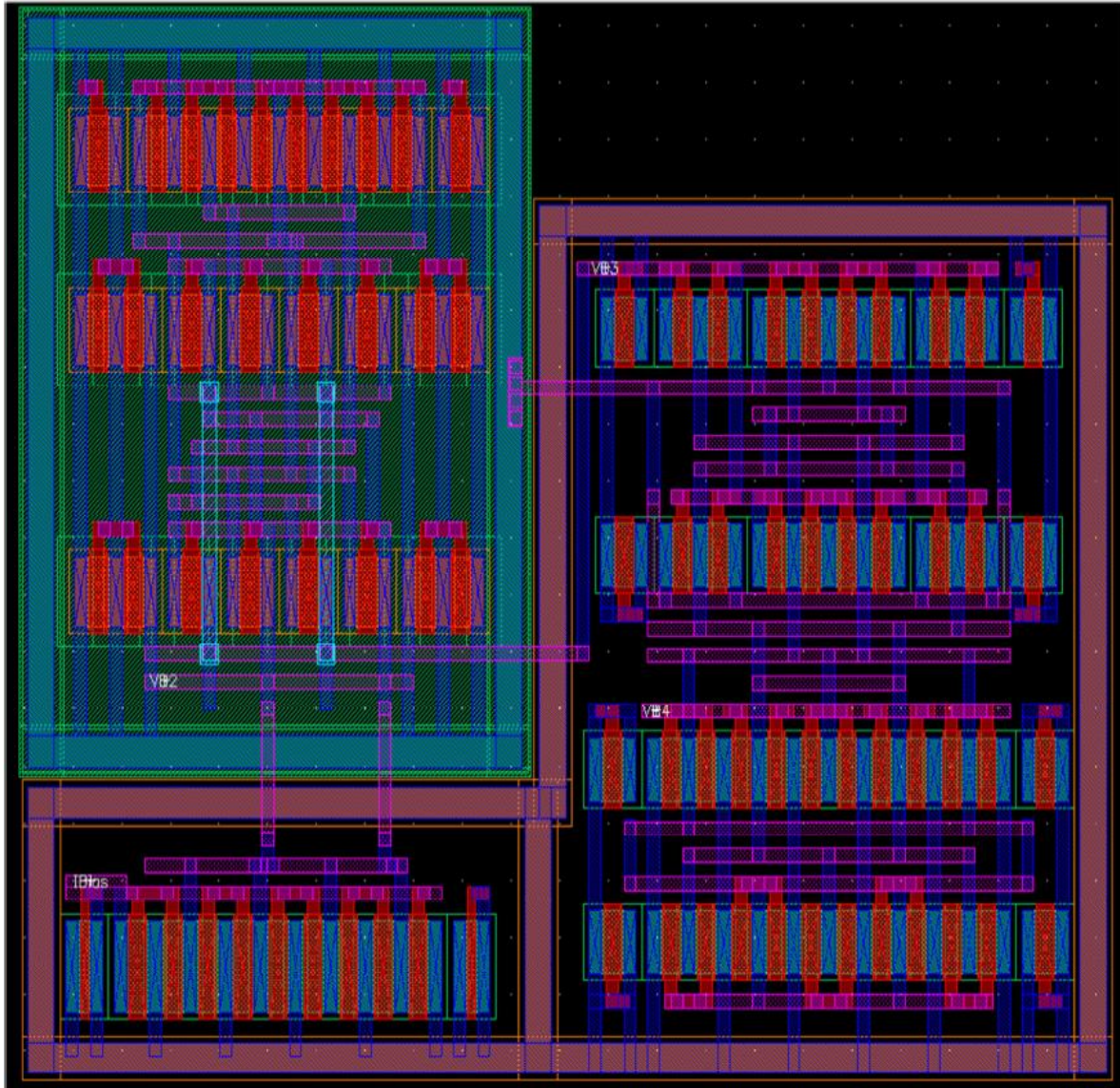


Fig. A-72 Diseño layout del sub-circuito OTA\_BIAS. Este circuito genera los voltajes de polarización que el amplificador OTA requiere.



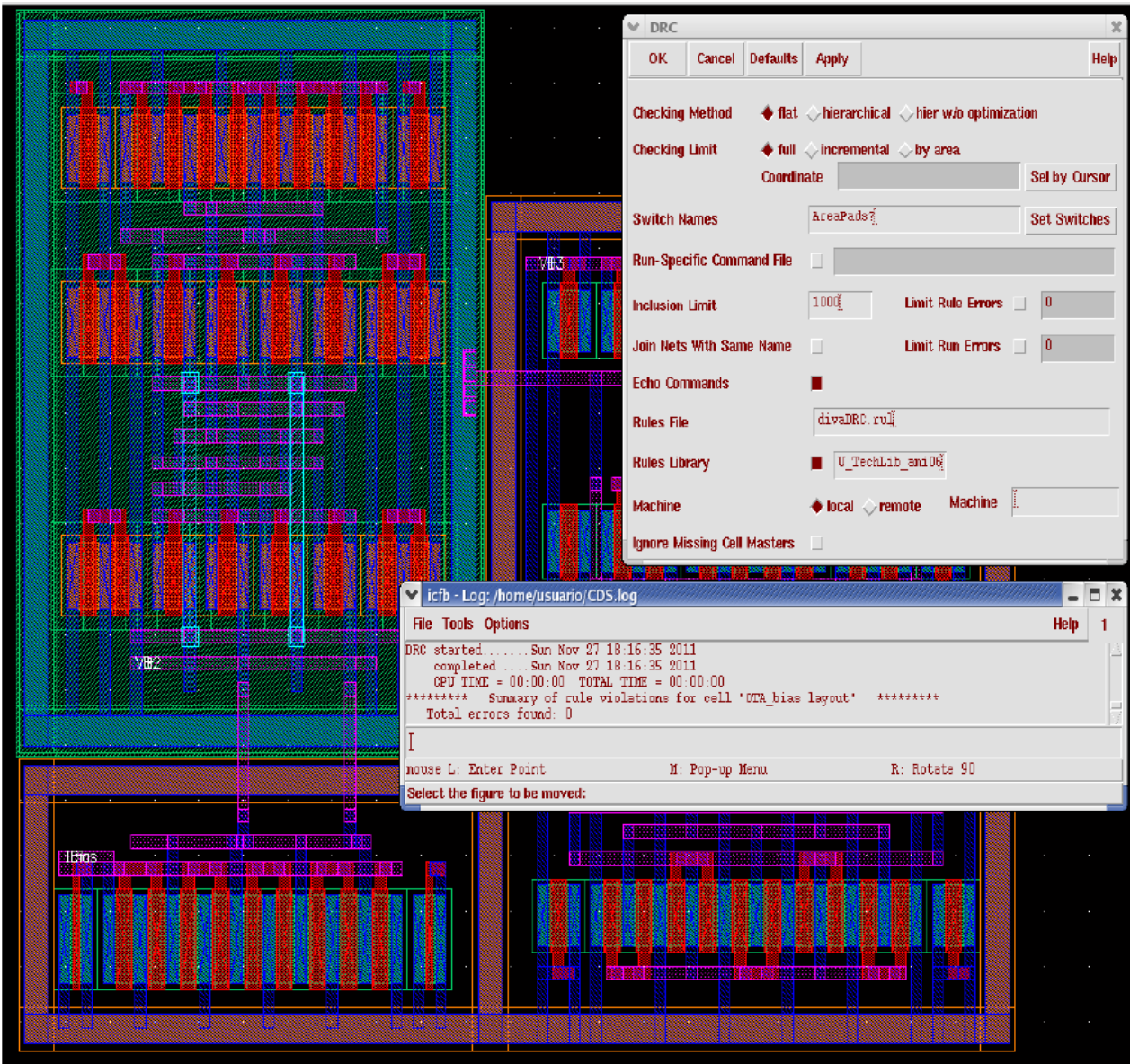


Fig. A-73 Resultados de la verificación DRC efectuada al sub-circuito OTA\_BIAS. Total de errores, cero.

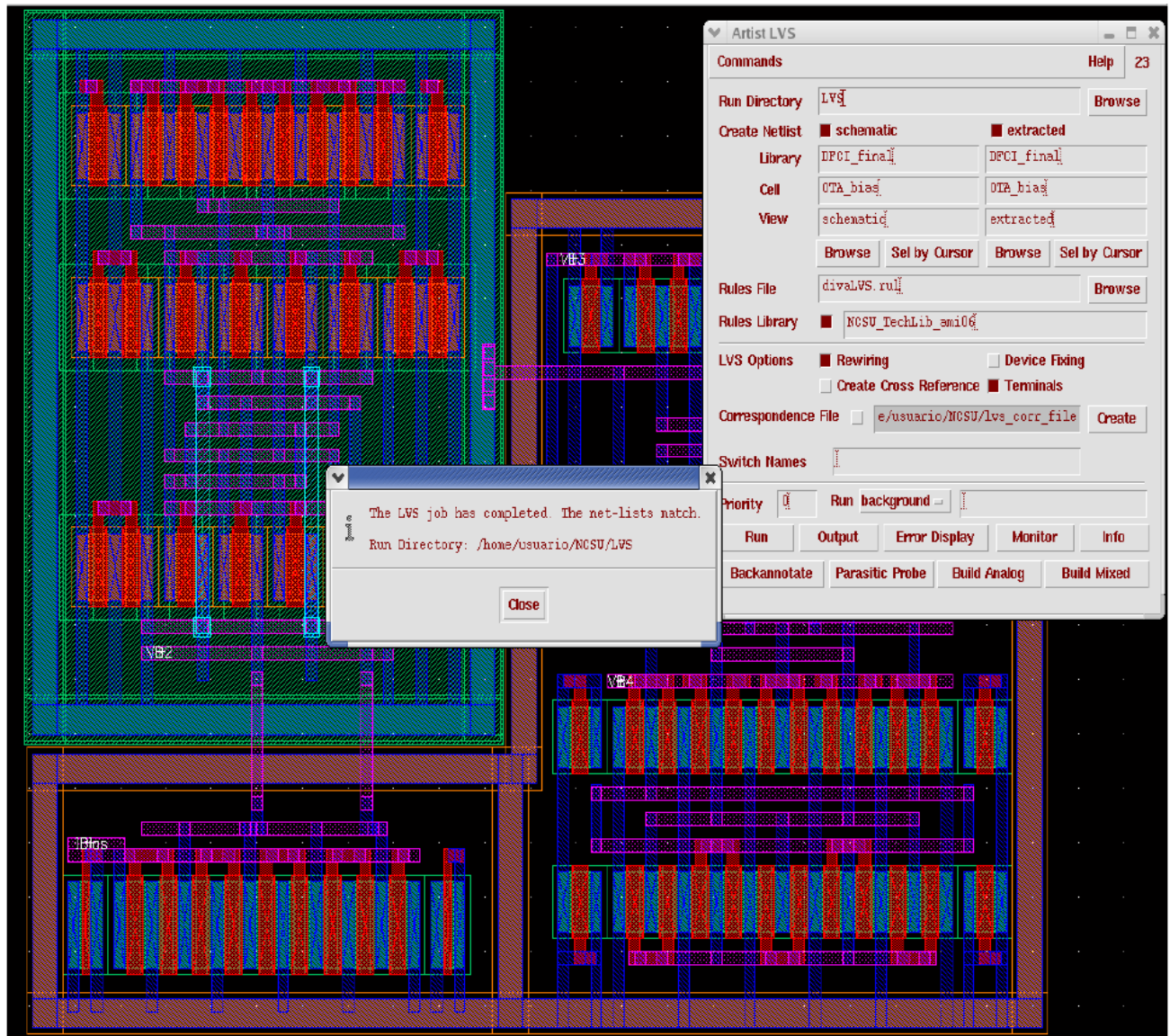


Fig. A-74 Resultados de la comparación del circuito layout versus el circuito esquemático para el OTA\_BIAS. El circuito layout coincide con el circuito esquemático.

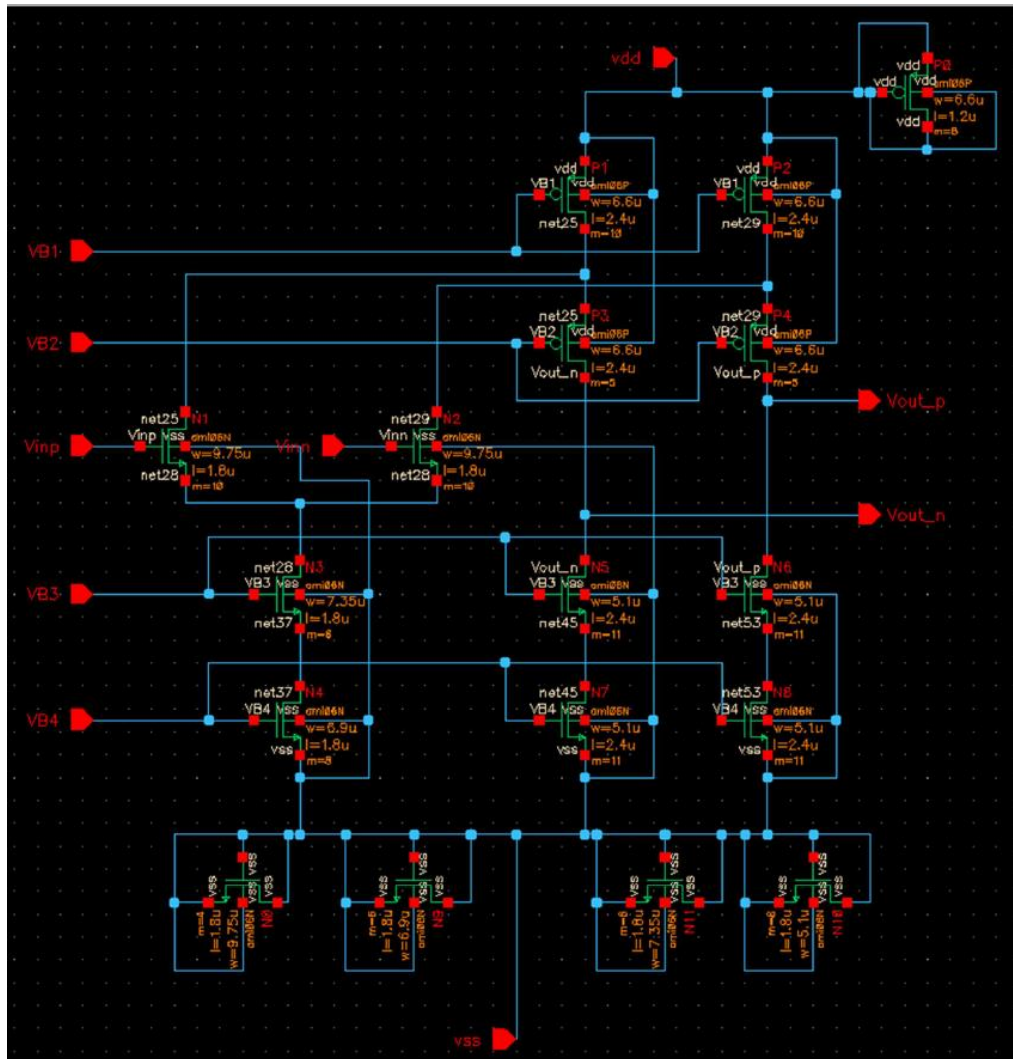


Fig. A-75 Circuito esquemático del sub-circuito OTA\_Block.

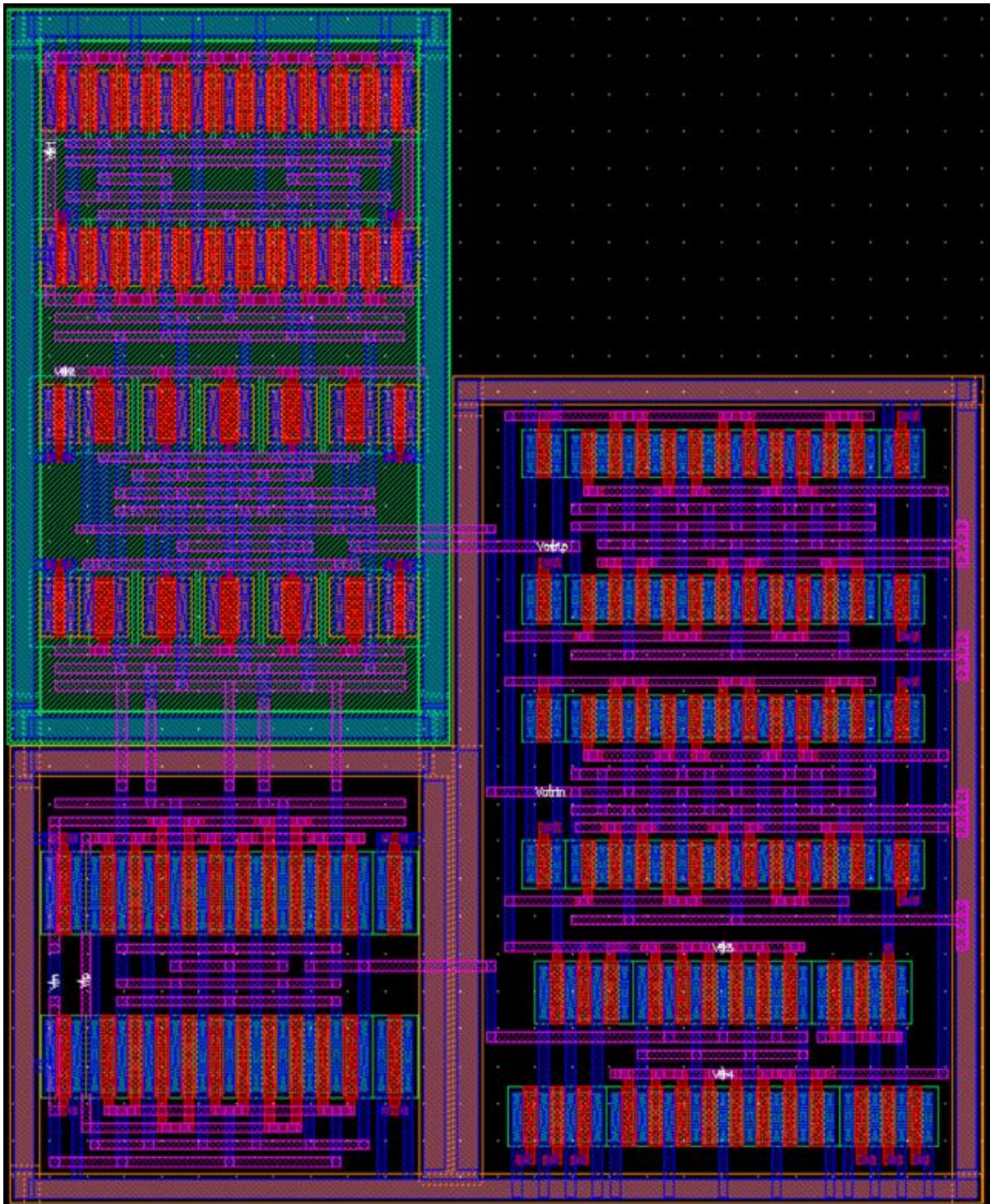


Fig. A-76 Diseño layout del sub-circuito amplificador diferencial OTA\_Block. Amplificador que se encarga de amplificar las señales de salida a la siguiente etapa del convertidor A/D Pipeline.

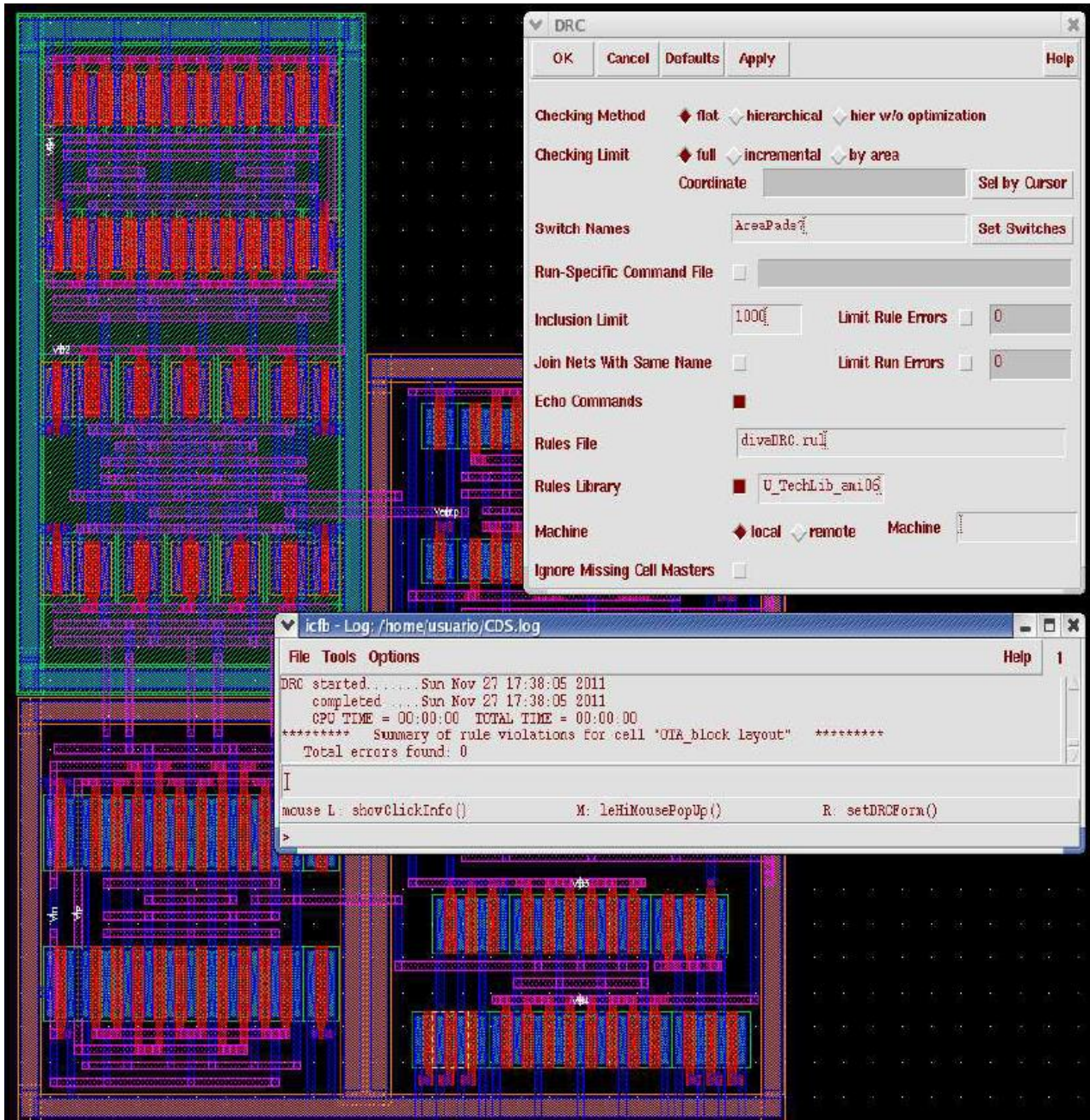


Fig. A-77 Resultados de la verificación DRC efectuada al sub-circuito OTA\_Block. Total de errores encontrados, cero.

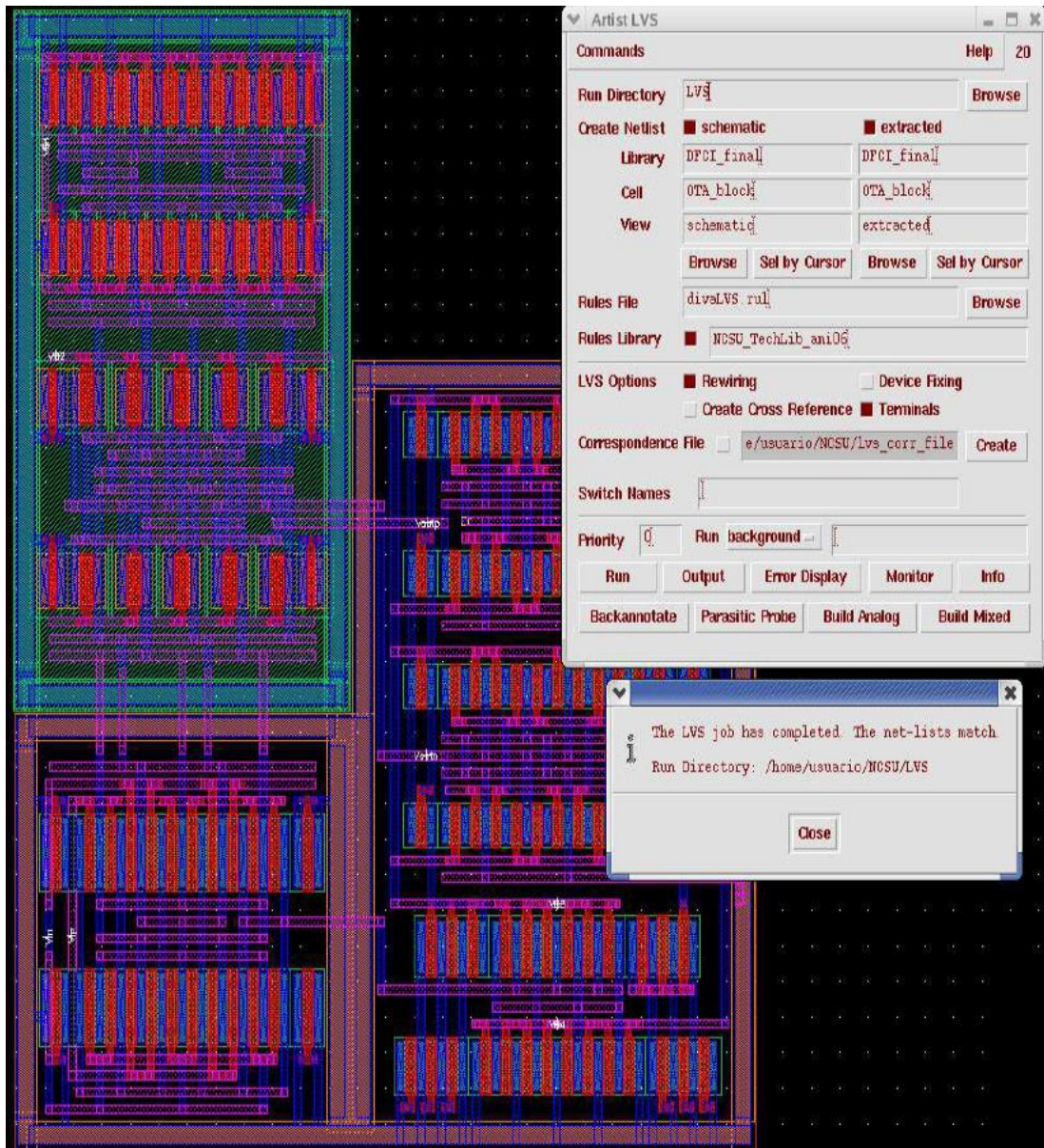


Fig. A-78 Resultados de la comparación del circuito layout versus el circuito esquemático para el amplificador diferencial OTA\_Block. El circuito layout coincide con el circuito esquemático.

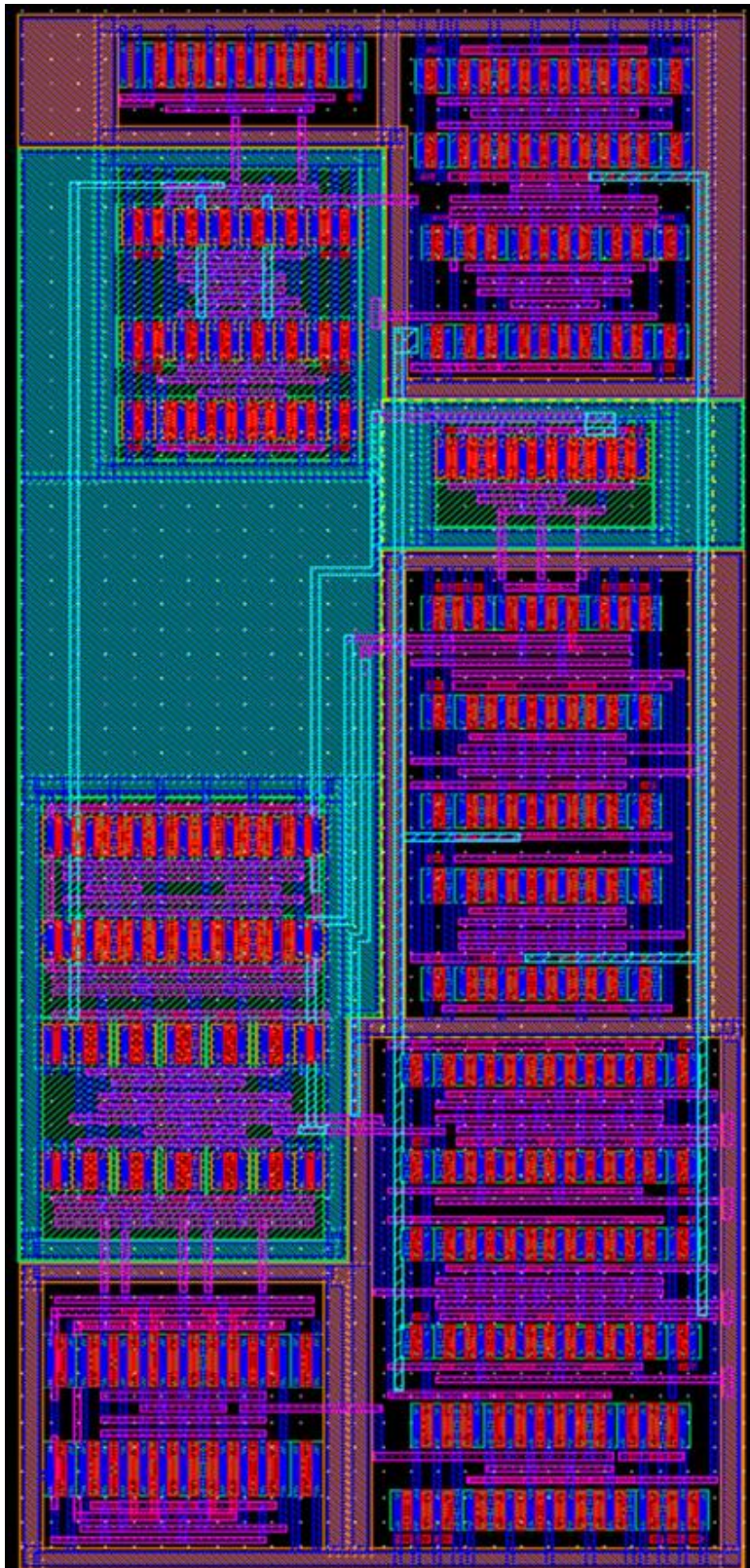


Fig. A-78 Layout del sub-circuito OTA que integra el bloque 2X\_Gain, esquemático del circuito Fig.A-66.

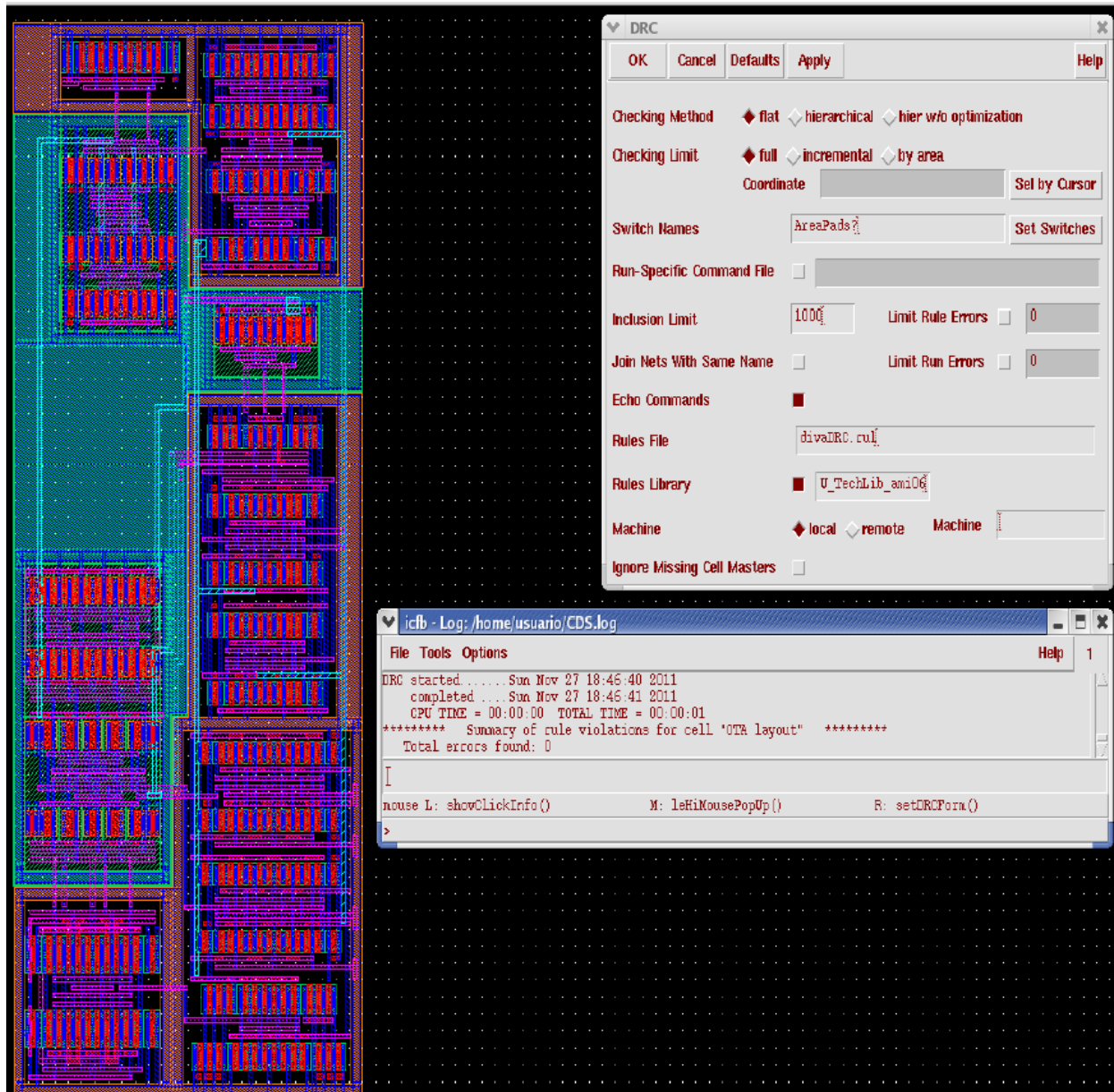


Fig. A-79 Resultado de la verificación DRC para sub-circuito OTA que integra el bloque 2X\_Gain. Total de errores encontrados, cero.



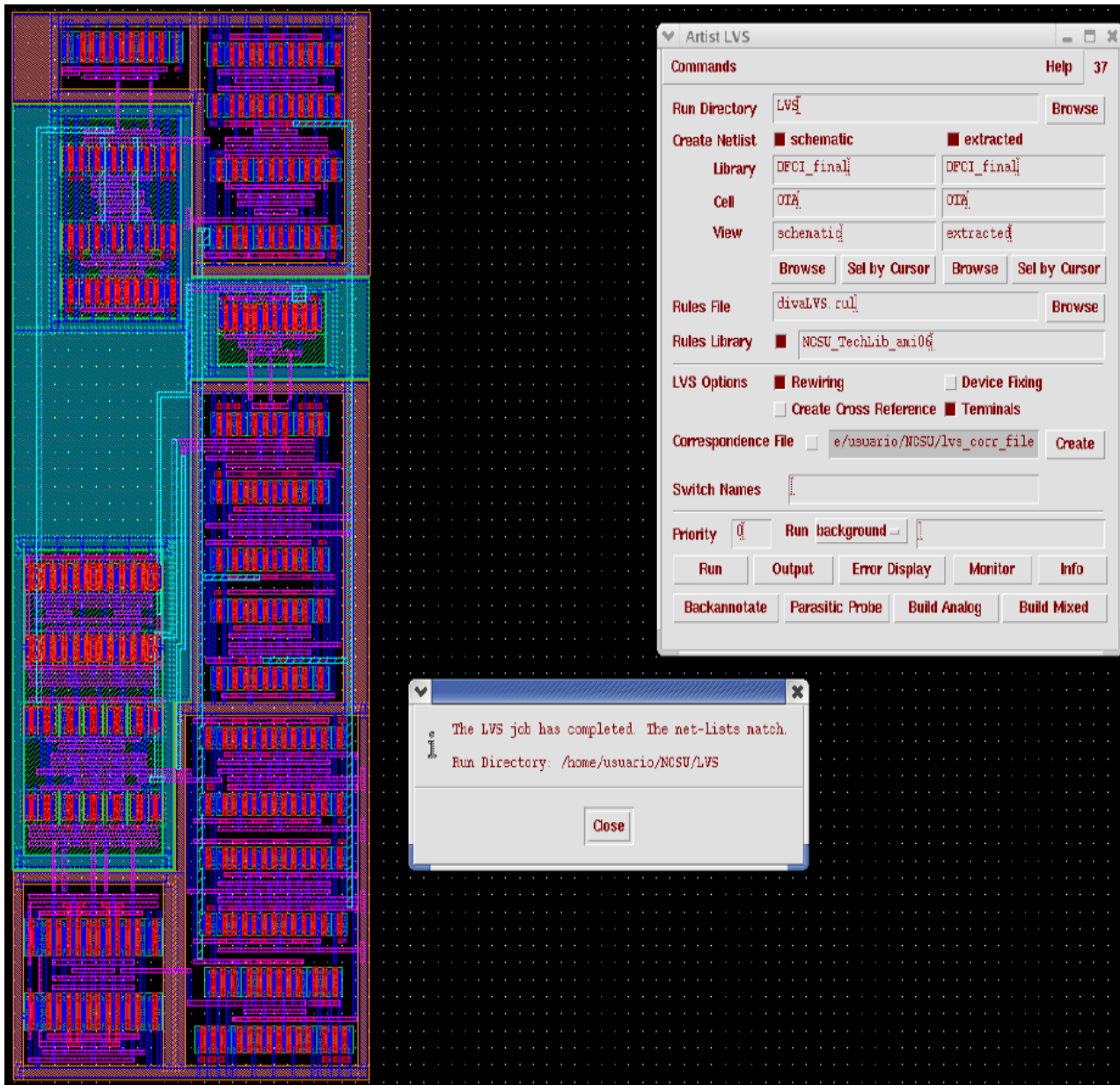


Fig. A-80 Resultado de la comparación circuito layout versus circuito esquemático del sub-circuito OTA. Circuito layout y circuito esquemático son coincidentes.

### Verificación Post-layout de una etapa de 1.5bits para un convertidor A/D pipeline

Diseños complejos como este circuito convertidor A/D, es necesario que se divida el trabajo y abordarlo por medio del diseño jerárquico. El circuito se dividió en 3 jerarquías (Fig.A-81). En la Fig.A-82 se muestra el layout de la etapa de 1.5 bits del convertidor A/D tipo pipeline y además se indica la ubicación de los 3 sub-circuitos principales, Sub\_DAC, Sub\_ADC y

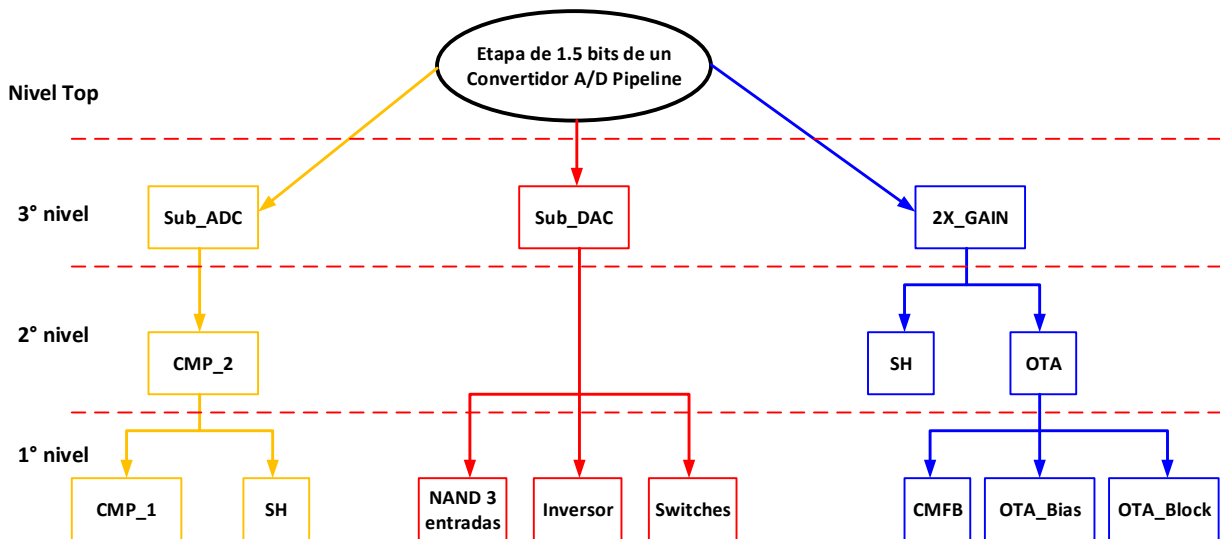


Fig. A-81 Diagrama de las jerarquías que integran el circuito convertidor A/D Pipeline de 1.5 bits.

2x\_Gain. En la Fig.A-83 el circuito esquemático correspondiente al layout (Fig.A-82), el esquemático (Fig.A-83) es un poco diferente al circuito de la Fig.A-38, pues en ese no se incluyeron los circuitos de polarización y generador de fases, esos se implementaron a partir de fuentes de voltajes ideales. Al igual que a todos los sub-circuitos el layout final debe ser verificado, se deben correr la prueba DRC y la comparación de circuito layout versus circuito esquemático (Fig.A-84). Para proseguir con la verificación Post-Layout es necesario validar la completa funcionalidad del circuito y para eso es necesario generar la vista extraída del circuito. La vista extraída del circuito se muestra en la Fig.A-85 y en la Fig.A-86 una ampliación de la vista extraída que muestra los capacitores que se generan entre los nodos del circuito, sino se tiene especial cuidado en el diseño layout estas capacitancias pueden llegar a tomar valores muy grandes y comprometer la funcionalidad del circuito. De la información generada del archivo extraído se obtiene el valor máximo y mínimo de las capacitancias parasitas y el nodo en el cual se encuentran, los datos son los siguientes:

- Max capacitance = 2.987710e-13
- Min capacitance = 1.234800e-16

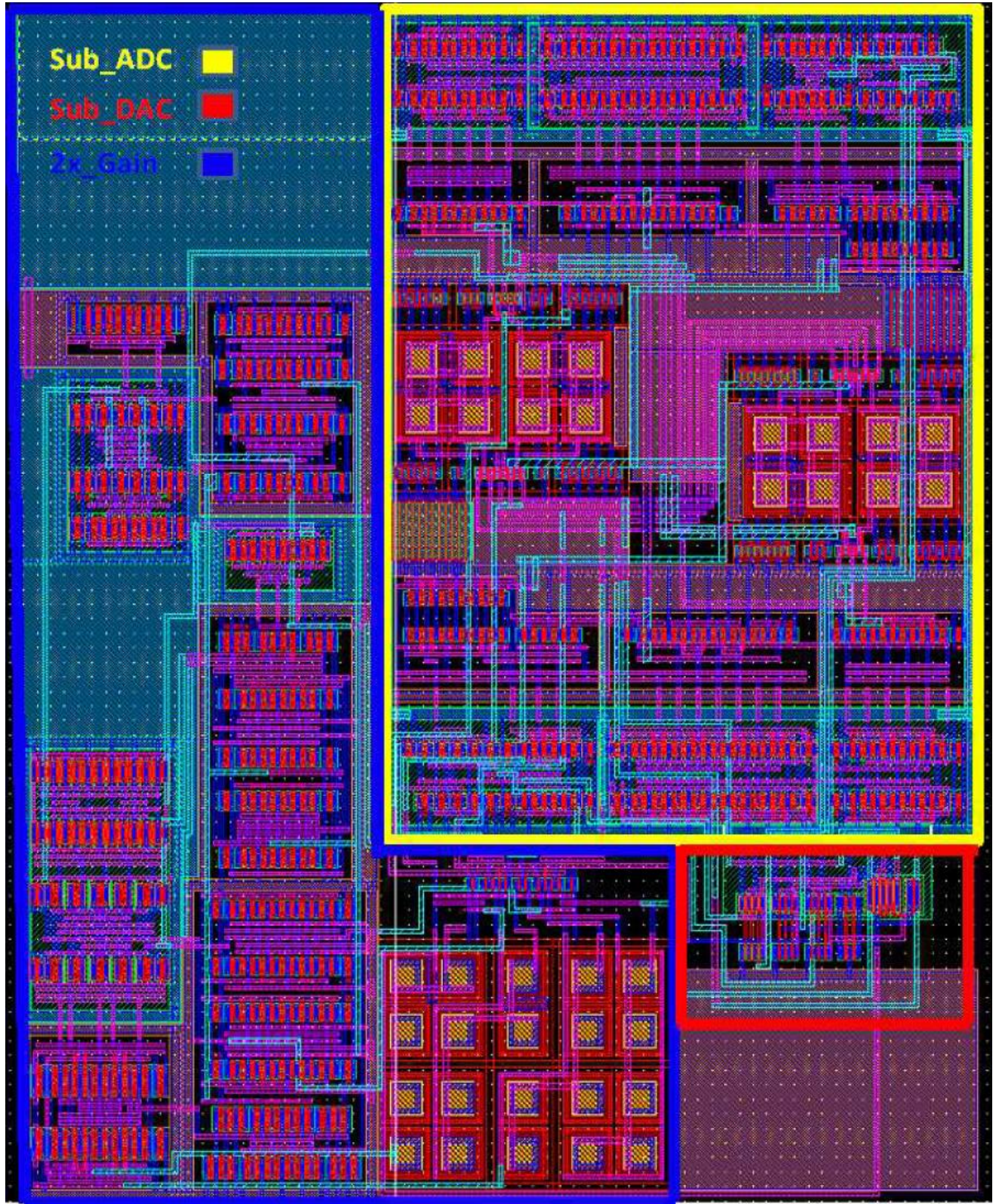


Fig. A-82 Diseño layout de una etapa de 1.5 bits del convertidor A/D tipo Pipeline. En la imagen se muestran encerrados en rectángulos de distintos colores los 3 sub-circuitos que integran el convertidor a nivel top, Sub\_ADC (amarillo), Sub\_DAC (rojo) y 2X\_Gain (azul).

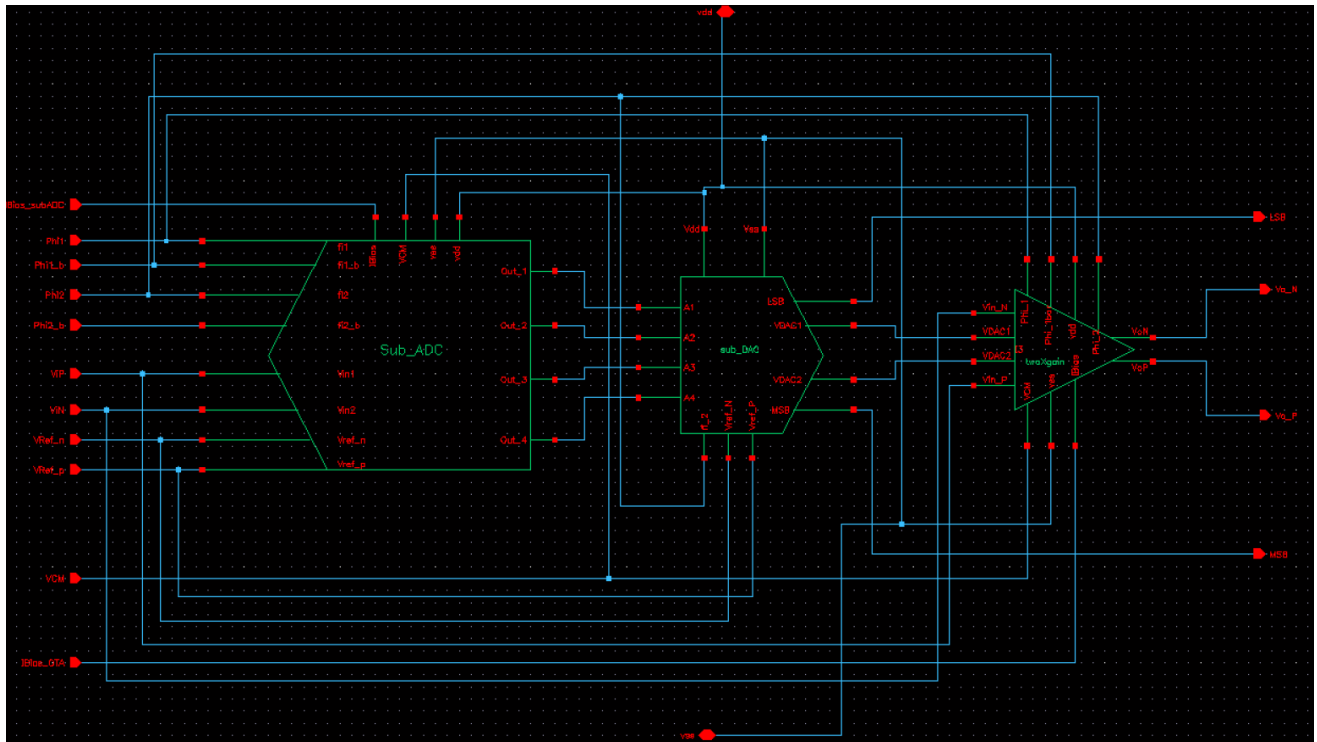


Fig. A-83 Circuito esquemático de la etapa de 1.5 bits de un convertidor A/D Pipeline. El esquemático de esta figura es el correspondiente al layout de la Fig.A-82.

Nodos:

- \+1569 (vss \_87) capacitor c=2.98771e-13 m=1
- \+1067 (\_90 \_100) capacitor c=1.2348e-16 m=1
- \+1066 (\_90 \_96) capacitor c=1.2348e-16 m=1
- \+999 (Vo\_P \_87) capacitor c=1.2348e-16 m=1

El valor de mayor capacitancia parasita es 298.771fF ubicado en el nodo vss al nodo \_87 y el valor de menor capacitancia parasita menor es 123.48aF que se encuentra en los nodos \_90 al \_100, \_90 al \_96 y Vo\_P al \_87 y la ubicación de ninguno afecta el desempeño del circuito, pero esto se corrobora con la verificación funcional Post-Layout. Para verificar Post-Layout se utilizó una señal rampa complementaria como las utilizadas en la verificación Pre-Layout (Fig.A-22), los resultados de esta simulación se encuentran en la Fig.A-87. Se observa que el circuito está realizando la operación de conversión, pero en la Fig.A-88 se encuentra una comparación entre las formas de onda Pre-Layout y Post-Layout. Se puede apreciar un error en la conversión, probablemente debido a que los voltajes de umbral del Sub\_ADC (CMP\_2 y CMP\_1) no se mantuvieron en los valores esperados. Esto se puede corregir redimensionando los tamaños del par-diferencial en el CMP\_1 o reajustando los capacitores en el sub-circuito SH que almacena la carga que posteriormente CMP\_1 compara.

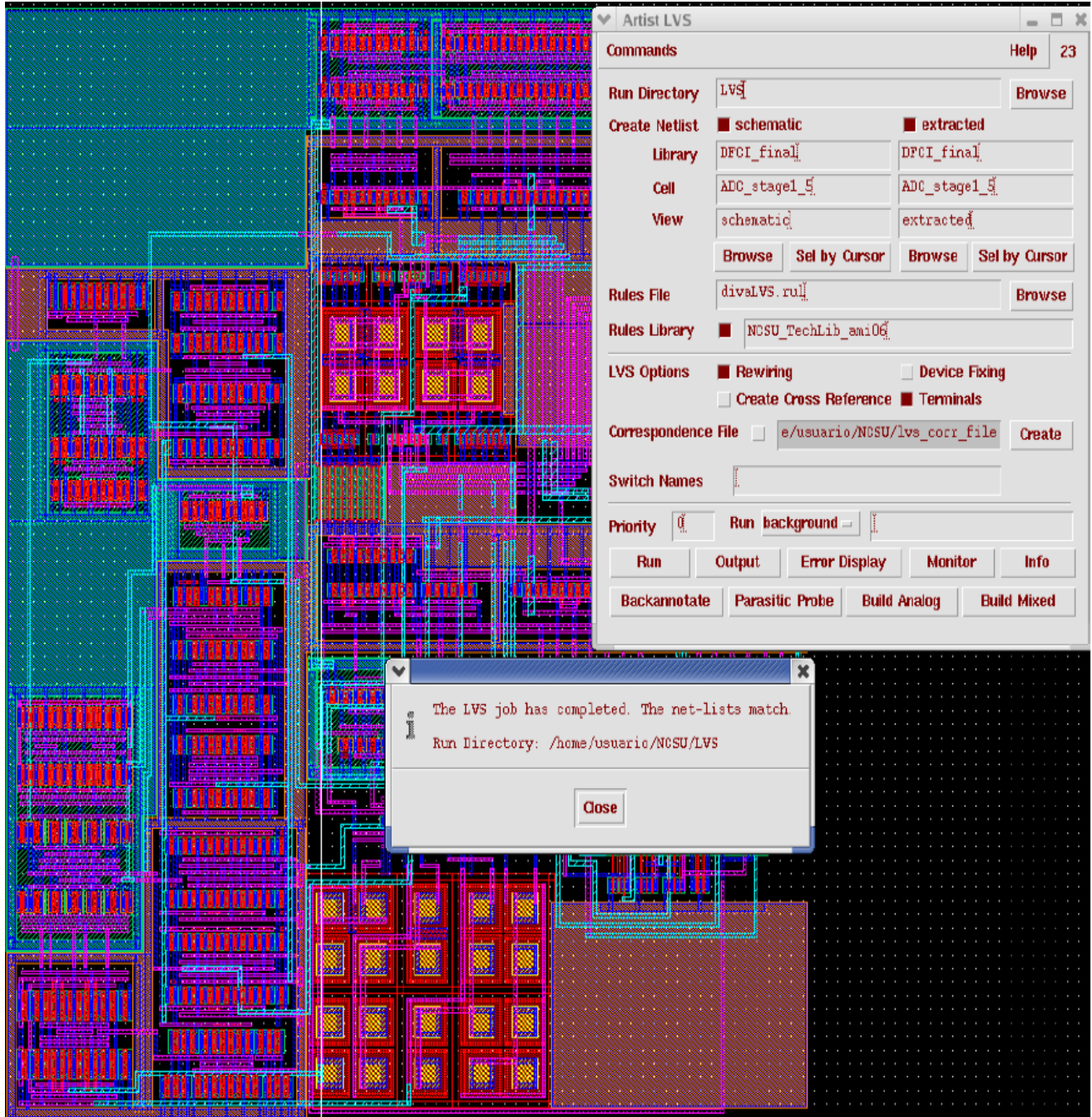


Fig. A-84 Resultados de la verificación LVS de la etapa completa de 1.5 bits de un convertidor A/D tipo pipeline. El circuito layout coincide con el circuito esquemático.

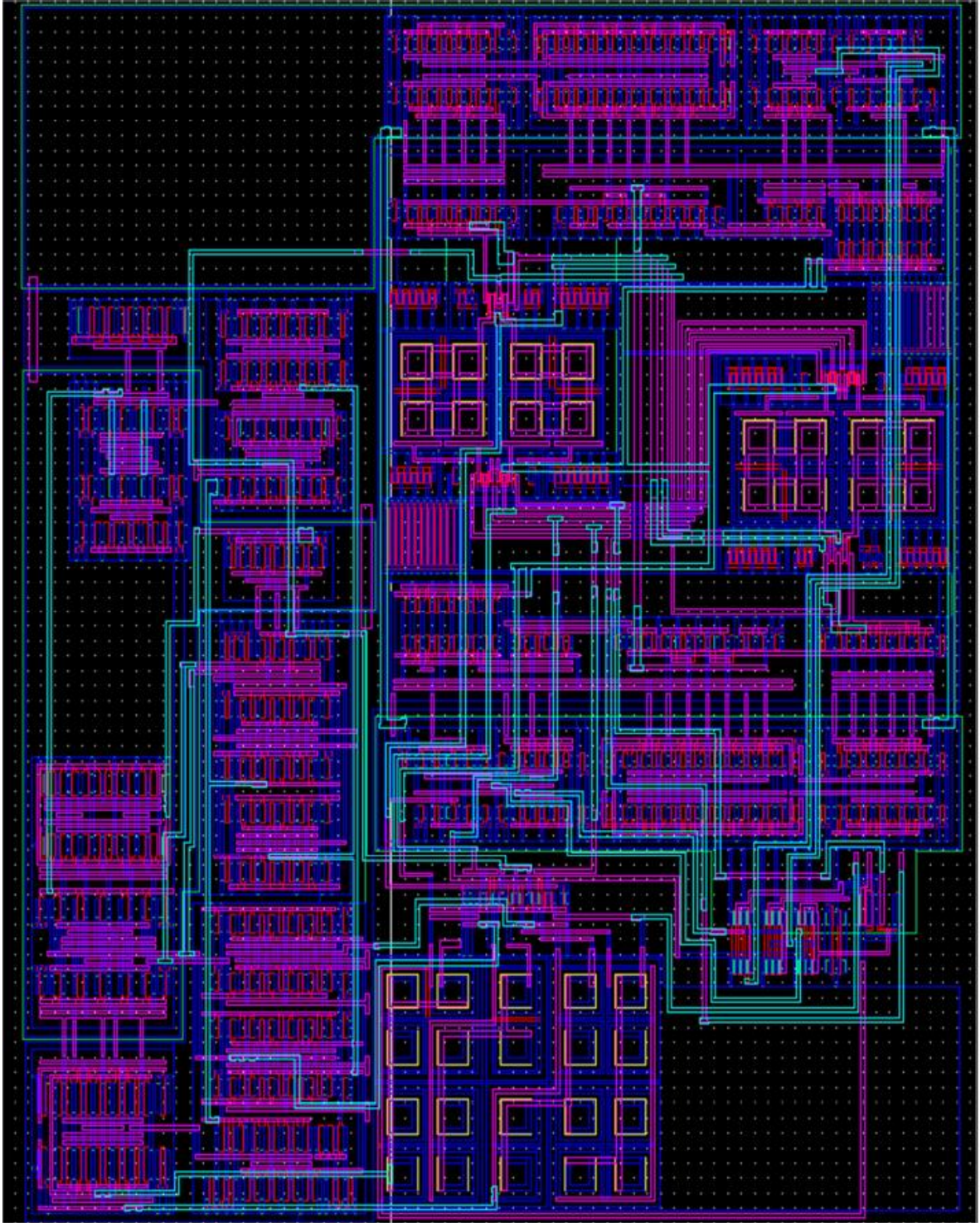


Fig. A-85 Vista extraída de una etapa de 1.5 bits del convertidor A/D pipeline. Esta vista contiene la información de las capacitancias existentes entre todos los nodos del circuito y en el caso de no tener cuidado en el diseño layout estas capacitancias “parasitas” pueden llegar a ser muy grandes y comprometer la funcionalidad del circuito.

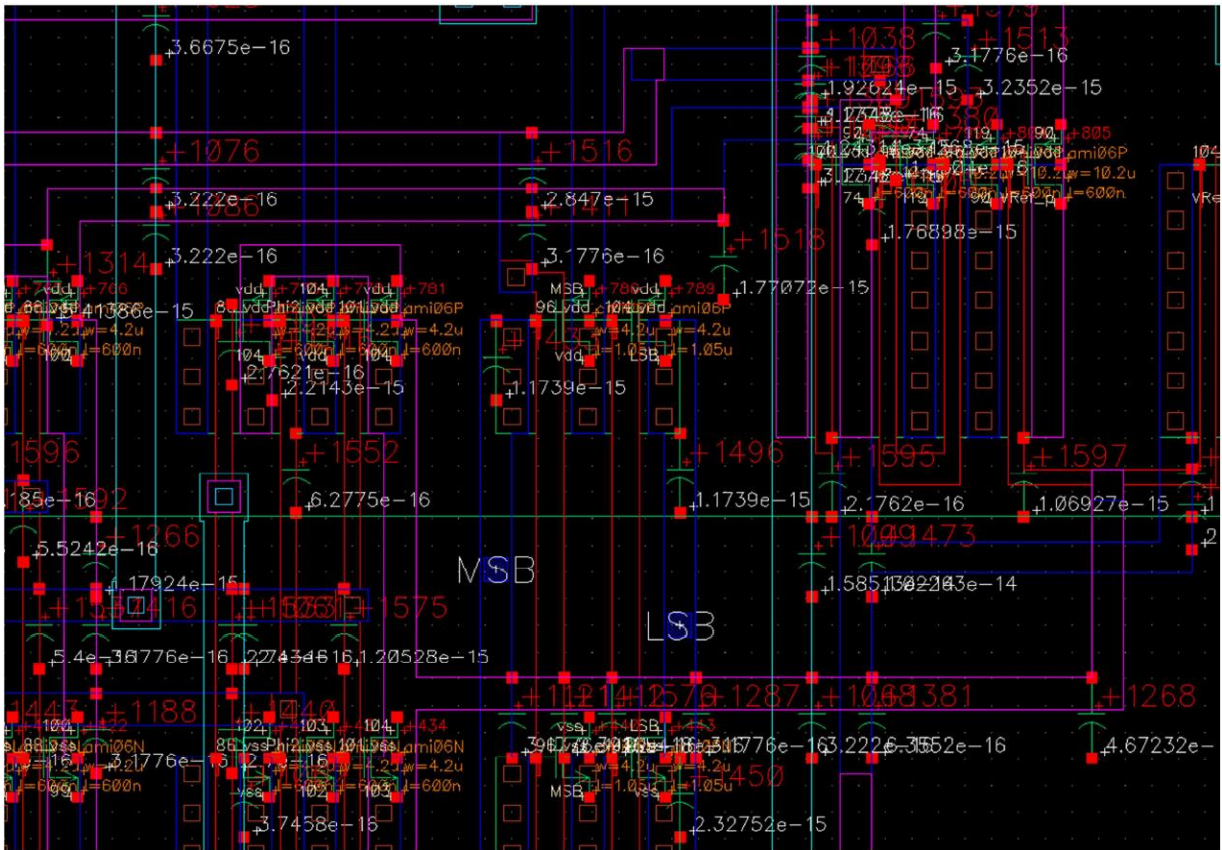


Fig. A-86 Ampliación de la vista extraída que muestra los capacitores que se generan entre los nodos del circuito, sino se tiene especial cuidado en el diseño layout estas capacitancias pueden llegar a tomar valores muy grandes y comprometer la funcionalidad del circuito.

## APÉNDICES

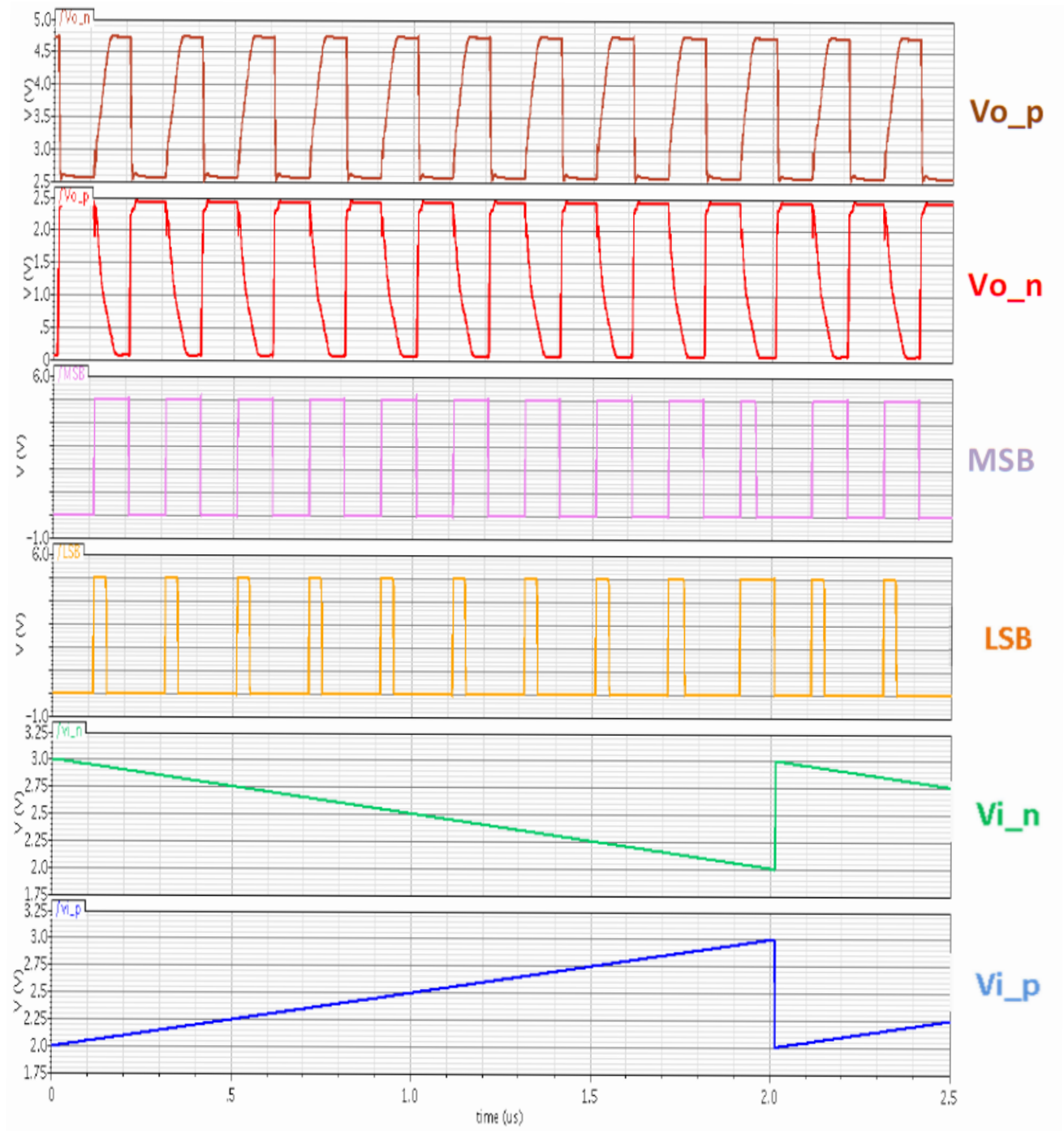


Fig. A-87 Resultados del análisis transitorio de la verificación Post-Layout para validar la funcionalidad del circuito etapa de 1.5 bits de un convertidor A/D Pipeline. El circuito es funcional. Proceso: tt, Temperatura = 27°C, Voltaje nominal.



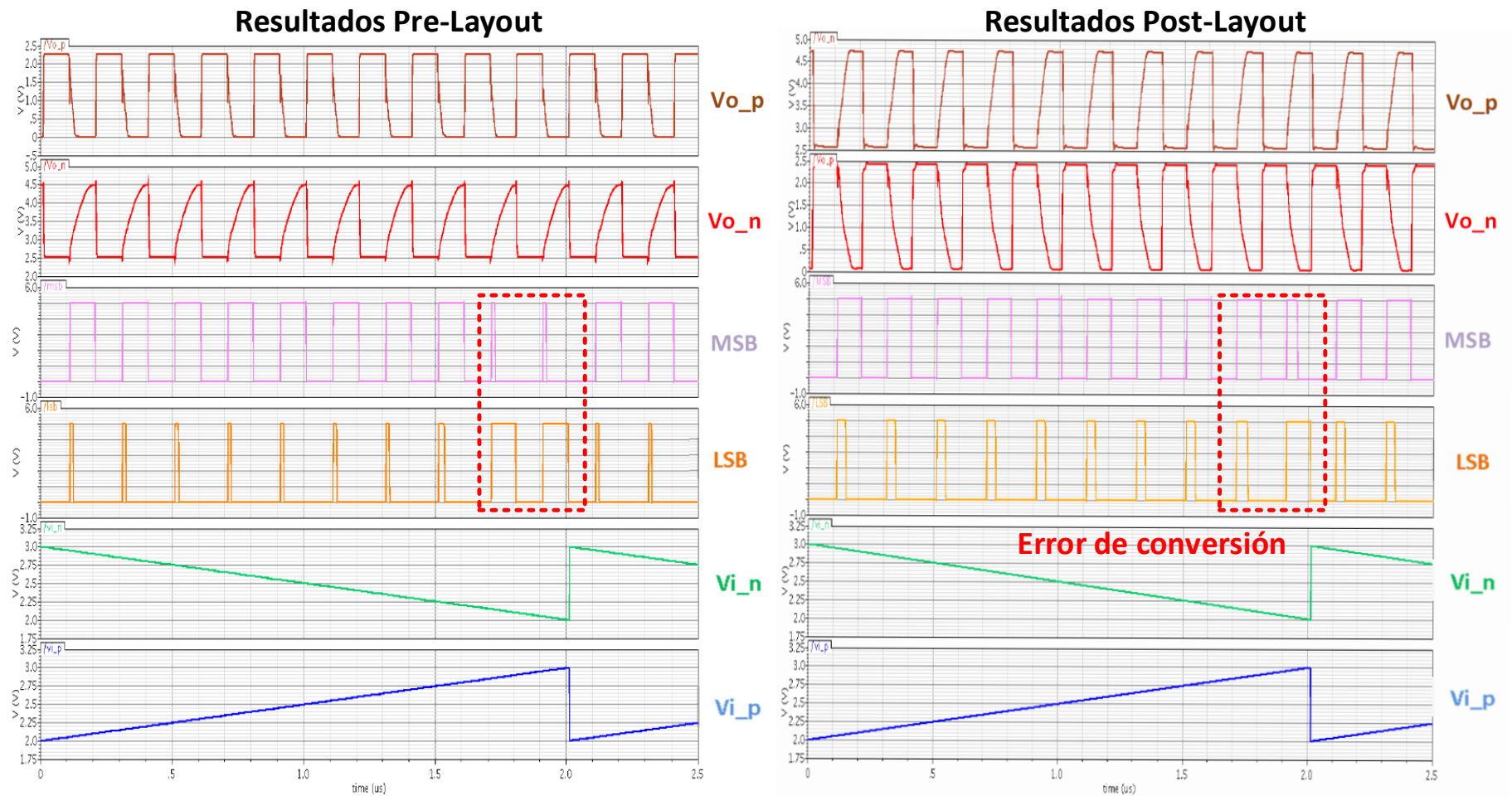


Fig. A-88 Comparación entre los resultados Pre-Layout y Post-Layout del circuito completo. Se encuentra un error de conversión, que probablemente es debido a la diferencia de los voltajes de umbral del CMP\_1. Estos parámetros de los transistores no mantuvieron su valor como era esperado.

## APÉNDICES

### Verificación Post-Layout y PVT

Las simulaciones PVT (*Process Voltage Temperature*) son pruebas que se llevan a cabo variando los parámetros de proceso, voltaje y temperatura con la finalidad de validar el desempeño del circuito a los cambios de estas variables. Estas son verificaciones típicas que se deben hacer a todo circuito sin excepción. Las esquinas (o *corners*, así también se les llama a estas pruebas de PVT) que fueron simuladas y sus combinaciones son:

- typ (Típica).
- wcp (*worst case speed, slow-n/slow-p*), peor caso de velocidad, los transistores tipo N lentos y los transistores tipo P lentos.
- wcp (*worst case power, fast-n/slow-p*), peor caso de potencia, los transistores N rápidos y los transistores P lentos.
- wco (*worst case one, fast-n/slow-p*), peor caso uno, los transistores N rápidos y los transistores P lentos.
- wc0 (*worst case zero, slow-n/fast-p*), peor caso cero, los transistores N lentos y los transistores P rápidos.
- Variación de voltaje  $\pm 5\%$ .
- Temperaturas:  $-40^{\circ}\text{C}$ ,  $27^{\circ}\text{C}$  y  $120^{\circ}\text{C}$ .

Por ejemplo en la Fig.A-89 se observa que la velocidad de conversión se ve afectada únicamente por el proceso, manteniendo el voltaje de alimentación al valor típico y una temperatura de  $27^{\circ}\text{C}$ .

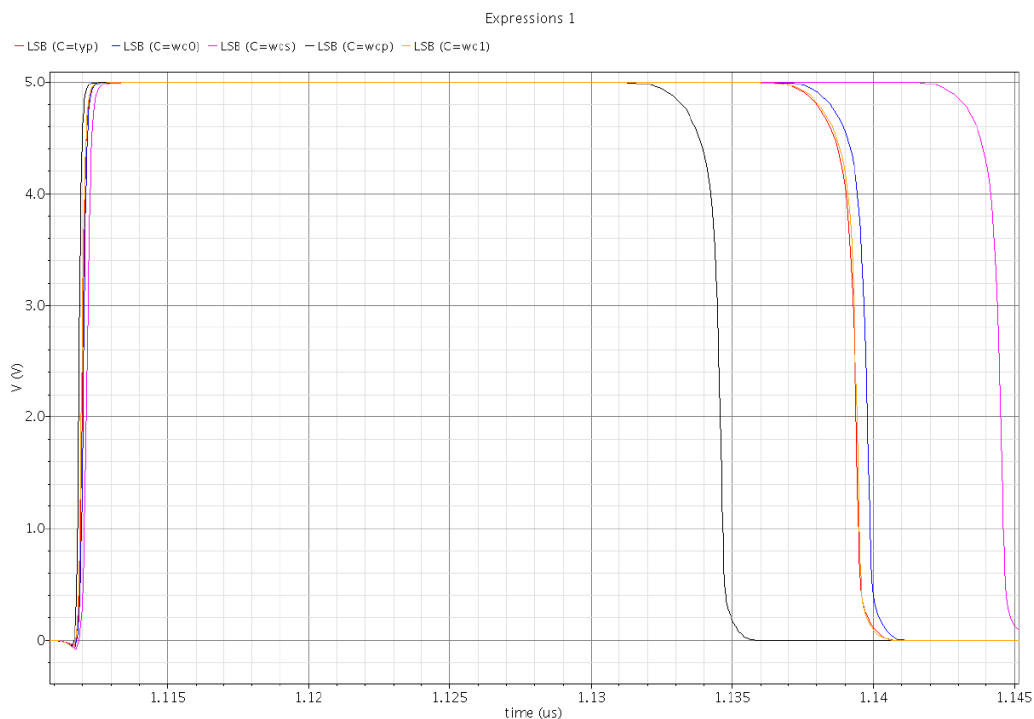


Fig. A-50 Respuesta de la señal LSB a las variaciones de proceso, voltaje nominal y temperatura =  $27^{\circ}\text{C}$ .

TABLA A-VII  
REFERENCIAS BIBLIOGRÁFICAS

Referencia Bibliográfica	Autor
A PipeLine 5-Msample/s 9-bit Analog to Digital Converter	Stephen H. Lewis & Paul R. Gray
A 1.5-V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter	Andrew M. Abo and Paul R. Gray
Análisis y Diseño de un conversos analógico digital de arquitectura Pipeline	Andrés E. Sampaulo

## B. REPORTE - PROGRAMMABLE CHARGE-PUMP WAVEFORM GENERATOR

- **Introduction**

A PLL (Phase-Locked Loop) is a feedback system which produces an output signal that is in phase with input waveform and the frequency of the output signal is a multiple of (or equal to) the input signal. It finds wide application in the field of communication, wireless systems, digital circuits and disk drive electronics. Typical uses are in tasks like jitter reduction, skew suppression and frequency synthesis. The two inputs can be or not in phase, so what PLL does is detect and eliminate the difference of phase between the input signals, one of them generally is a clock signal. A simple PLL is shown in the Fig.B-1.

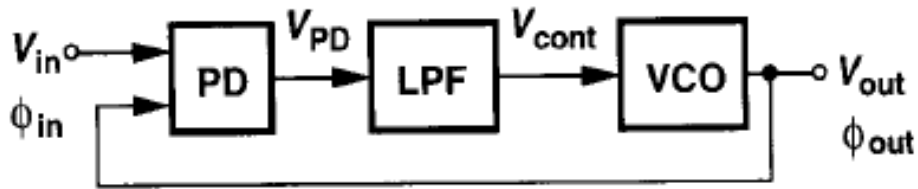


Fig. B-1 Simple PLL system, the three basics blocks that conform the PLL system are: Phase detector (PD), Low-Pass Filter (LPF) and Voltage controller oscillator (VCO).

When a PLL is made in integrated circuit technology, a problem arises. This problem is regarding the Lock Acquisition because the transition of the loop from unlocked to locked condition is a very nonlinear phenomenon because the phase detector senses unequal frequencies when the loop is unlocked. A modern PLL system is shown in Fig.B-2. We see the following stages

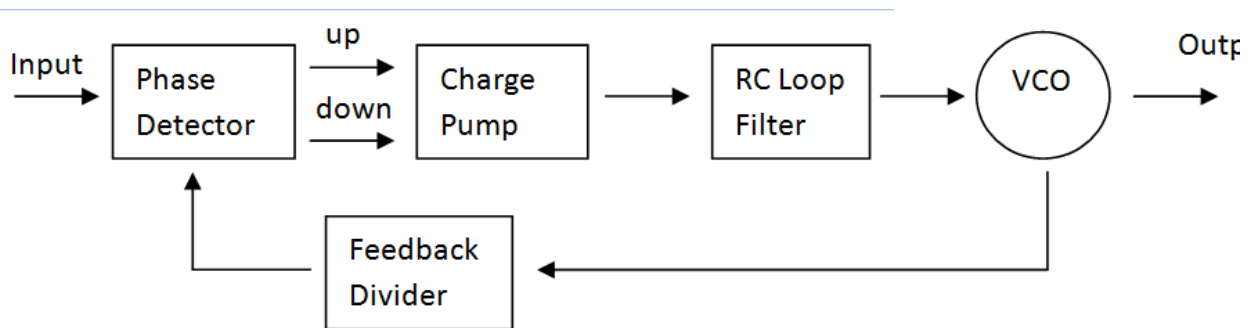


Fig. B-2 The modern PLL system, include a charge pump in the system. The purpose is getting a better control of all system.

A charge pump consists of two switched current sources that pump charge into or out of the loop filter according to two logical inputs. Fig.B-3 illustrates a charge pump driven by a Phase/Frequency Detector (PFD) and driving a capacitor. The circuit has three states. If  $Q_A = Q_B = 0$ , then  $S_1$  and  $S_2$  are off and  $V_{out}$  remains constant. If  $Q_A$  is high and  $Q_B$  is low, then  $I_1$  charges  $C_P$ . Conversely, if  $Q_A$  is low and  $Q_B$  is high, then  $I_2$  discharges  $C_P$ . Thus, for example, A leads B, then  $Q_A$  continues to produce pulses and  $V_{out}$  rises steadily. Called UP and DOWN currents, respectively,  $I_1$  and  $I_2$  are nominally equal.

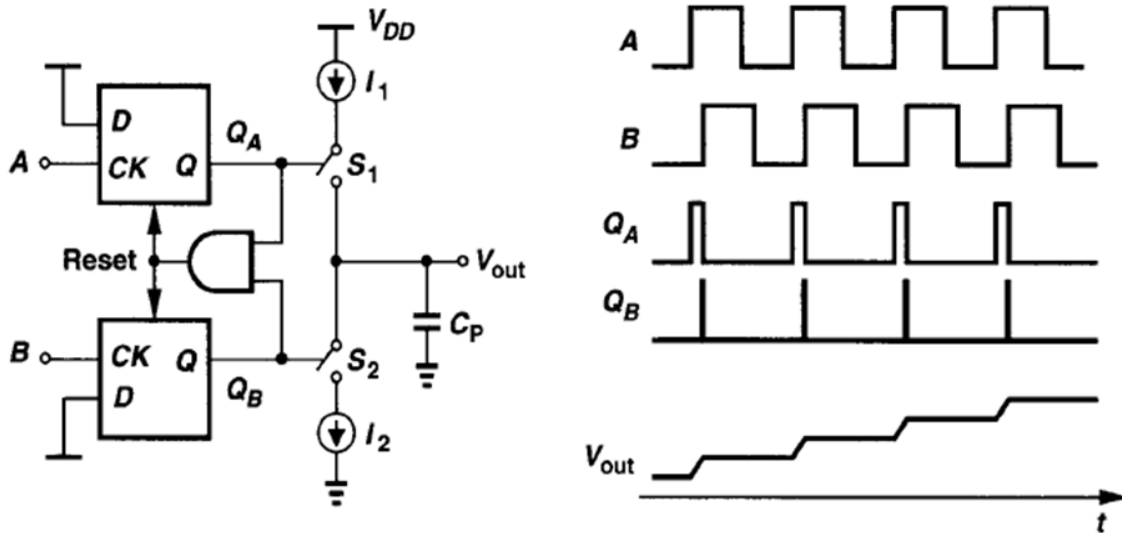


Fig. B-3 The Charge-Pump circuit. Purpose of the circuit is converting a time variable in a voltage variable.

- **Requirements**

Once we know the context of the charge pump, we need and implement the following charge pump circuit. The implementation requirements are:

- Source voltage: 3V with respect to ground ( $V_{DD} = 3V$ ,  $V_{SS} = 0$ ).
- Bias current ( $I_B$ ): 10  $\mu A$ .
- Charge capacitance ( $C_L$ ): 5pF.
- N part Bias voltage ( $V_{BIASN}$ ): 1 V with respect to ground.
- P part Bias voltage ( $V_{BIASP}$ ): 2 V with respect to ground.
- On- resistance of N-switches in transmission gates: 1K $\Omega$ .
- Operation frequency: 10MHz.
- Charge injection into  $C_L$  should be minimized.
- Functionality:
  - o enable=0 -> Normal Operation.
  - o enable=1 -> High-Current Operation.

The proposed circuit is show in Fig.B-4.

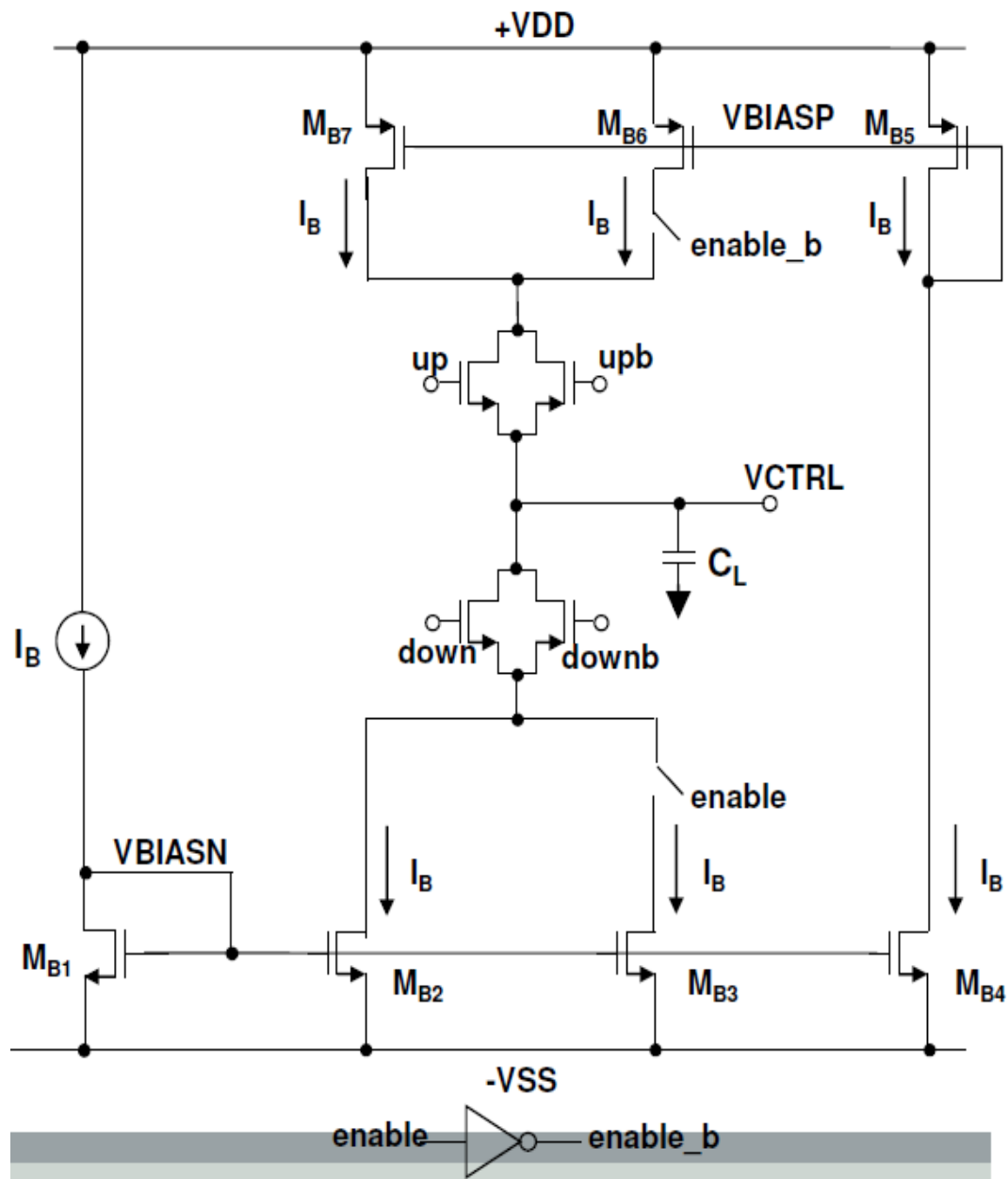


Fig. B-4 Proposed circuit.

- **Description of the circuit**

The current source fixes the bias current through the transistor  $M_{B1}$ , which is part of a current (double) mirror. The opposite part of this mirror is  $M_{B2}$ ,  $M_{B3}$  and  $M_{B4}$ , this last copies the current to  $M_{B5}$ . This transistor generates a bias voltage that produces the same current  $I_B$  in  $M_{B6}$ ,  $M_{B7}$ . The charge-pumping function (described in the introduction) is developed by the ‘**up**’ and ‘**down**’ transmission gates.

We can see in the fig 4 that the circuit has two switches indicated, one for the N part and other for the P part. When the signal *enable* is on, it activates the second branch of transistors to give the double of the current when *up* is on, and demand the double of it when *down* is on.

This arrangement consists in two transistors to turn on or off  $M_{B3}$ . One interrupts the bias voltage on the gate, and the other makes zero the  $V_{gs}$ . The control voltages at their gates are complementary respect the other. When **ctrl** is 1 (**ctrl\_b** is 0) the first transistor turns on connecting the **VBIASN** to the  $M_{B3}$  gate, and the second turns off allowing a  $M_{B3}$   $V_{GS}$  is different to zero, consequently,  $M_{B3}$  is on. When **ctrl** is 0 (**ctrl\_b** is 1), the first transistor turns off, disconnecting the  $M_{B3}$  gate, and the second transistor turns on making  $M_{B3}$   $V_{GS}$  equal to zero, now  $M_{B3}$  is off. An equivalent configuration was implemented for the P part, using pmos transistors (Fig.B-5).

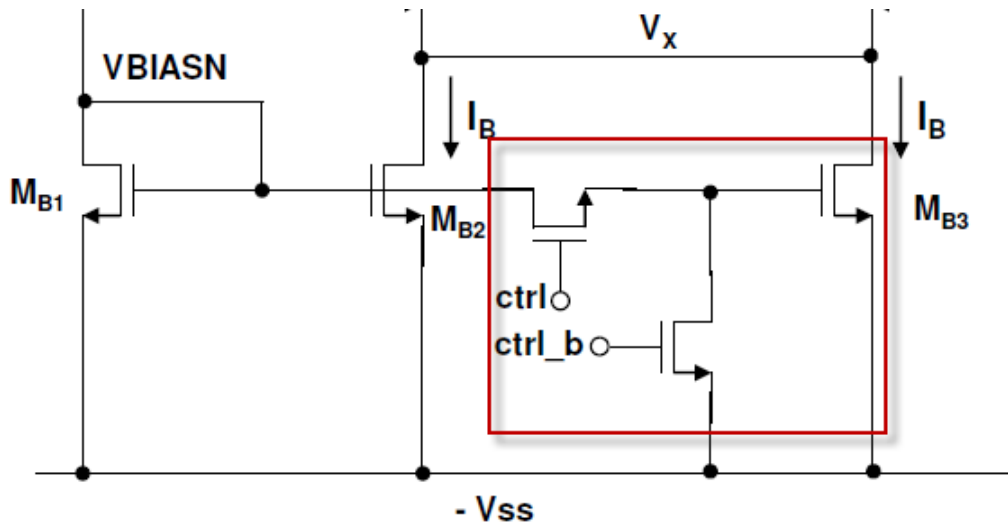


Fig. B-5 Circuit Switches implemented.

Analyzing the behavior of  $V_{out}$  we have that the increase in the output voltage should follow the (B-1) expression. The expected behavior (Fig.B-6)

$$V_{OUT}(t) = \frac{I_p}{C_p} t \quad (B-1)$$

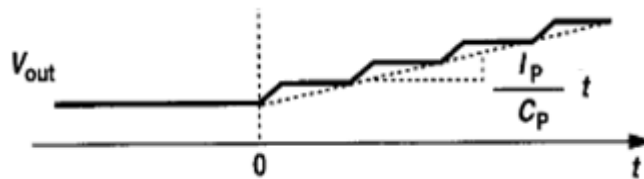


Fig. B-6 Expected output voltage waveform.

## APÉNDICES

Where

- $I_P$  is the current to input charge (i.e.  $I_B = 10\mu A$ ,  $2 I_B = 20\mu A$ )
- $C_P$  charge capacitor
- $t$  is the time that signals *up* or *down* are on (in this case half of the period of 10MHz frequency).

Therefore the result for a simple  $I_B$  current is:

$$V_{OUT\_IB}(t) = \frac{10 \times 10^{-6} \text{ Amp}}{5 \times 10^{-12} \text{ F}} (50 \times 10^{-9} \text{ sec}) = 100 \text{ mV} \quad (\text{B-2})$$

For a high current mode the current is  $2 I_B$ :

$$V_{OUT\_IB}(t) = \frac{20 \times 10^{-6} \text{ Amp}}{5 \times 10^{-12} \text{ F}} (50 \times 10^{-9} \text{ sec}) = 200 \text{ mV} \quad (\text{B-3})$$

This means that for each 50 ns that *up/down* is on, the capacitor voltage will increase/decrease in 200 mV.

### • Design

By the specifications of this design we can obtain the dimension for the transistor, such as channel length and width; the equations for the transistor to work in the saturation region for NMOS transistor (B-4) and PMOS transistor (B-5).

$$I_B = \frac{1}{2} \mu_N C_{OX} \left( \frac{W}{L} \right) (V_{GS} - V_{TH})^2 = \frac{1}{2} K_N \left( \frac{W}{L} \right) (V_{GS} - V_{TH})^2 \quad (\text{B-4})$$

$$I_B = \frac{1}{2} \mu_P C_{OX} \left( \frac{W}{L} \right) (V_{GS} - V_{TH})^2 = \frac{1}{2} K_P \left( \frac{W}{L} \right) (V_{GS} - V_{TH})^2 \quad (\text{B-5})$$

Where

- $\mu_N$  Is the mobility of carriers to negative electric charge or electrons.
- $\mu_P$  is the mobility of carriers to positive electric charge or voids.
- $C_{OX}$  electric capacitance of the oxide silicon.
- $\frac{W}{L}$  is the variable that represents the transistor size, where  $W$  is the width and  $L$  is the length of the channel.
- $V_{GS}$  is the gate to source voltage.
- $V_{TH}$  is the threshold voltage.

The value used on the calculation for the transistors are the next:



$\mu_N = 553.695 \frac{\text{cm}^2}{\text{V}\cdot\text{s}} = 53.3965 \times 10^{-3} \frac{\text{m}^2}{\text{V}\cdot\text{s}}$ . This parameter was taken from the parameter technology list AMI05 NSCU.

$\mu_P = 202.454 \frac{\text{cm}^2}{\text{V}\cdot\text{s}} = 20.2454 \times 10^{-3} \frac{\text{m}^2}{\text{V}\cdot\text{s}}$ . This parameter was taken from the parameter technology list AMI05 NSCU.

$V_{TH0N} = 0.7086\text{v}$ . This parameter was also taken from the parameter technology list AMI05 NSCU.

$V_{TH0P} = -0.9179952\text{v}$ . This parameter was also taken from the parameter technology list AMI05 NSCU.

The value of the parameter  $C_{OX}$  is obtained of the next equation:

$$C_{OX} = \frac{\varepsilon_{OX}}{t_{OX}} \quad (\text{B-6})$$

Where

$$\varepsilon_{OX} = \varepsilon_0 \varepsilon_r \quad (\text{B-7})$$

$\varepsilon_r$  is the electric relative permittivity of the oxide silicon, it's dimensionless value is:

$$\varepsilon_r = 3.9 \quad (\text{B-8})$$

$\varepsilon_0$  is the vacuum permittivity and it's an universal constant, it's value is:

$$\varepsilon_0 = 8.854 \times 10^{-12} \frac{\text{F}}{\text{m}} \quad (\text{B-9})$$

And  $t_{OX}$  is a technology parameter AMI05 NSCU, it's value is:

$$t_{OX} = 1.41 \times 10^{-8} \text{m} \quad (\text{B-10})$$

Therefore:

$$\varepsilon_{OX} = (3.9) \left( 8.854 \times 10^{-12} \frac{\text{F}}{\text{m}} \right) = 34.5306 \times 10^{-12} \frac{\text{F}}{\text{m}} \quad (\text{B-11})$$

$$C_{OX} = \frac{34.5306 \times 10^{-12} \frac{\text{F}}{\text{m}}}{1.41 \times 10^{-8} \text{m}} = 2.448978 \times 10^{-3} \frac{\text{F}}{\text{m}} \quad (\text{B-12})$$

With the last calculus we can obtain  $K_N$  and  $K_P$ :

$$K_N = \mu_N C_{OX} = \left( 53.3695 \times 10^{-3} \frac{\text{m}^2}{\text{V}\cdot\text{s}} \right) \left( 2.448978 \times 10^{-3} \frac{\text{F}}{\text{m}^2} \right) = 130.70077 \times 10^{-6} \frac{\text{Amp}}{\text{V}^2} \quad (\text{B-13})$$

## APÉNDICES

$$K_p = \mu_p C_{OX} = \left( 20.2454 \times 10^{-3} \frac{m^2}{V \cdot s} \right) \left( 2.448978 \times 10^{-3} \frac{F}{m^2} \right) = 49.58053 \times 10^{-6} \frac{Amp}{V^2} \quad (B-14)$$

- **Bias Transistors**

With this data, we can get the dimensions of the channel length and width for the transistors that conforms the current mirrors. To get the dimensions for NMOS transistors, we make the next calculations:

$$\left( \frac{W}{L} \right)_N = \frac{2I_B}{K_N (V_{GS} - V_{TH})^2} = \frac{2(10 \times 10^6 Amp)}{\left( 130.7007 \times 10^{-6} \frac{Amp}{V^2} \right) (1V - 0.7086V)^2} = 1.8020755 \quad (B-15)$$

The design rule recommends to use two times the length permitted by the technology, this is:

$$L = 2L_{min} = 2(0.6 \mu m) = 1.2 \mu m \quad (B-16)$$

Therefore the channel width is:

$$W_N = (1.8020755)(1.2 \mu m) = 2.16249 \mu m \quad (B-17)$$

For series arrangement of nmos and pmos, the pmos' width should be between two and three times nmos' width in order to pass the same current. Therefore:

$$W_p = 6.3 \mu m \quad (B-18)$$

- **Transistors in the transmission gates**

The resistance of the switch transistors is expressed using (B-19):

$$R_{ON} = \frac{1}{g_{ds}} = \frac{1}{\mu_N C_{OX} \left( \frac{W}{L} \right) (V_{GS} - V_{TH})} = \frac{1}{K_N \left( \frac{W}{L} \right) (V_{GS} - V_{TH})} \quad (B-19)$$

The design specifications indicate that the resistance must be  $R_{ON} = 1K\Omega$ . Now the biasing voltages that we need on the circuit (Fig.B-7) are:

$$V_{DSM_{B2}} > V_{DSSATM_{B2}} = V_{GSM_{B2}} - V_{TH} \quad (B-20)$$

$$V_{DSSATM_{B2}} = 1V - 0.7086V = 0.2914V \approx 0.3V \quad (B-21)$$

Therefore:

$$V_{GSdown} = V_G - V_{DSSATM_{B2}} \quad (B-22)$$

$$V_{GS_{down}} = 3V - 0.2914V = 2.7086V \quad (B-23)$$

Now:

$$V_{GS_{up}} = V_{G_{up}} - V_{CTRL} \quad (B-24)$$

$$V_{GS_{up}} = 3V - 1.5V = 1.5V \quad (B-25)$$

Whit this data, we can calculate dimension for switch transistors. For *down transmission gate* NMOS transistor, solving (B-19) by W/L and rewriting:

$$\left(\frac{W}{L}\right)_N = \frac{1}{K_N R_{ON} (V_{GS} - V_{TH})} \quad (B-26)$$

$$\left(\frac{W}{L}\right)_N = \frac{1}{\left(130.7007 \times 10^{-6} \frac{A}{V^2}\right) (1 \times 10^3 \Omega) (2.7086V)} = 2.8247317 \quad (B-27)$$

If the length is the minimum allowed by the technology:

$$W_N = (2.847317)(0.6 \mu m) = 1.6 \mu m \quad (B-28)$$

Now for the *up switch*:

$$\left(\frac{W}{L}\right)_N = \frac{1}{\left(130.7007 \times 10^{-6} \frac{A}{V^2}\right) (1 \times 10^3 \Omega) (1.5V)} = 5.10071 \quad (B-29)$$

The length is the minimum allowed by the technology:

$$W_N = (5.10071)(0.6 \mu m) = 3.15 \mu m \quad (B-30)$$

We want to minimize the charge injection, for that reason the channel width of the NMOS transistor are the same as for the PMOS transistor.

$$W_{PDOWN} = 1.6 \mu m \quad (B-31)$$

$$W_{PUP} = 3.15 \mu m \quad (B-32)$$

## APÉNDICES

Rewriting results for the transmission gates:

- Transmission gate – UP:
  - Transistor N-type:
    - Width (W) =  $3.15\mu\text{m}$
    - Length(L) =  $0.6\mu\text{m}$
  - Transistor P-type:
    - Width (W) =  $3.15\mu\text{m}$
    - Length (L) =  $0.6\mu\text{m}$
- Transmission gate – DOWN:
  - Transistor N-type:
    - Width (W) =  $1.6\mu\text{m}$
    - Length (L) =  $0.6\mu\text{m}$
  - Transistor P-type:
    - Width (W) =  $1.6\mu\text{m}$
    - Length (L) =  $0.6\mu\text{m}$

### • Switches for high current mode

In order to model the behavior of the switches, we will use the configuration in (Fig.B-5). Transistors applied as switches only connect the transistors gates, i.e. there is no current flowing through them, that is why it is used the minimum dimension allowed by AMI06 technology.

- Switch enable (N-part):
  - Transistor N-type, Gate switch:
    - Width (W) =  $1.5\mu\text{m}$
    - Length (L) =  $0.6\mu\text{m}$
  - Transistor N-type, G-S switch:
    - Width (W) =  $1.5\mu\text{m}$
    - Length (L) =  $0.6\mu\text{m}$
- Switch enable (P-part):
  - Transistor N-type, Gate switch:
    - Width (W) =  $1.5\mu\text{m}$
    - Length (L) =  $0.6\mu\text{m}$
  - Transistor N-type, G-S switch:
    - Width (W) =  $1.5\mu\text{m}$
    - Length (L) =  $0.6\mu\text{m}$

### • Development

#### 1. Charge Injection in a MOSFET switch

One of the main problems a designer would face when using CMOS switches is the charge injection. As shown in Fig.B-5, when the MOSFET switch is on and  $V_{DS}$  is small, the charge under the gate oxide resulting from the inverted channel stays until the MOSFET is turned off,

then this charge is injected onto the capacitor and into  $V_{in}$ . The charge injected into the capacitor results in a change in voltage across it.

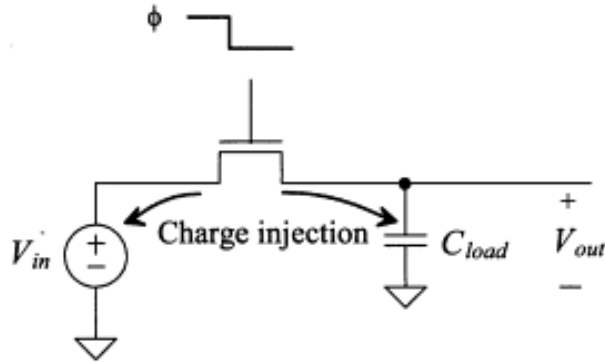


Fig. B-7 CMOS switch charge injections

Charge injection is expressed as:

$$q_{inj, ch} = (V_{GS} - V_{TH})C_{OX}WL \quad (B-33)$$

To minimize the charge injection effects it was used a *Transmission Gate* configuration which is intended to void this effect. As shown in (Fig.B-7), this is considered a complementary switch but it has the advantage that the parallel MOSFET (Fig.B-8) absorbs the electrons remaining under the oxide gate (undesired charge injection) that could go to the capacitor.

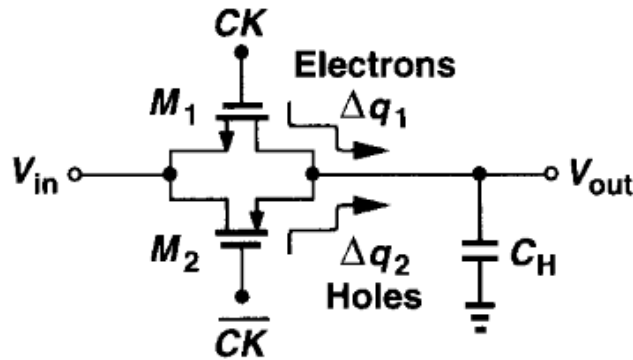


Fig. B-8 Switch complementary CMOS transistor (Transmission gate array).

Now we can proceed to build the circuit (Fig.B-9). Based on the calculations, the summarized transistors sizes are shown TABLE B-I. The simulation results are on the next section.

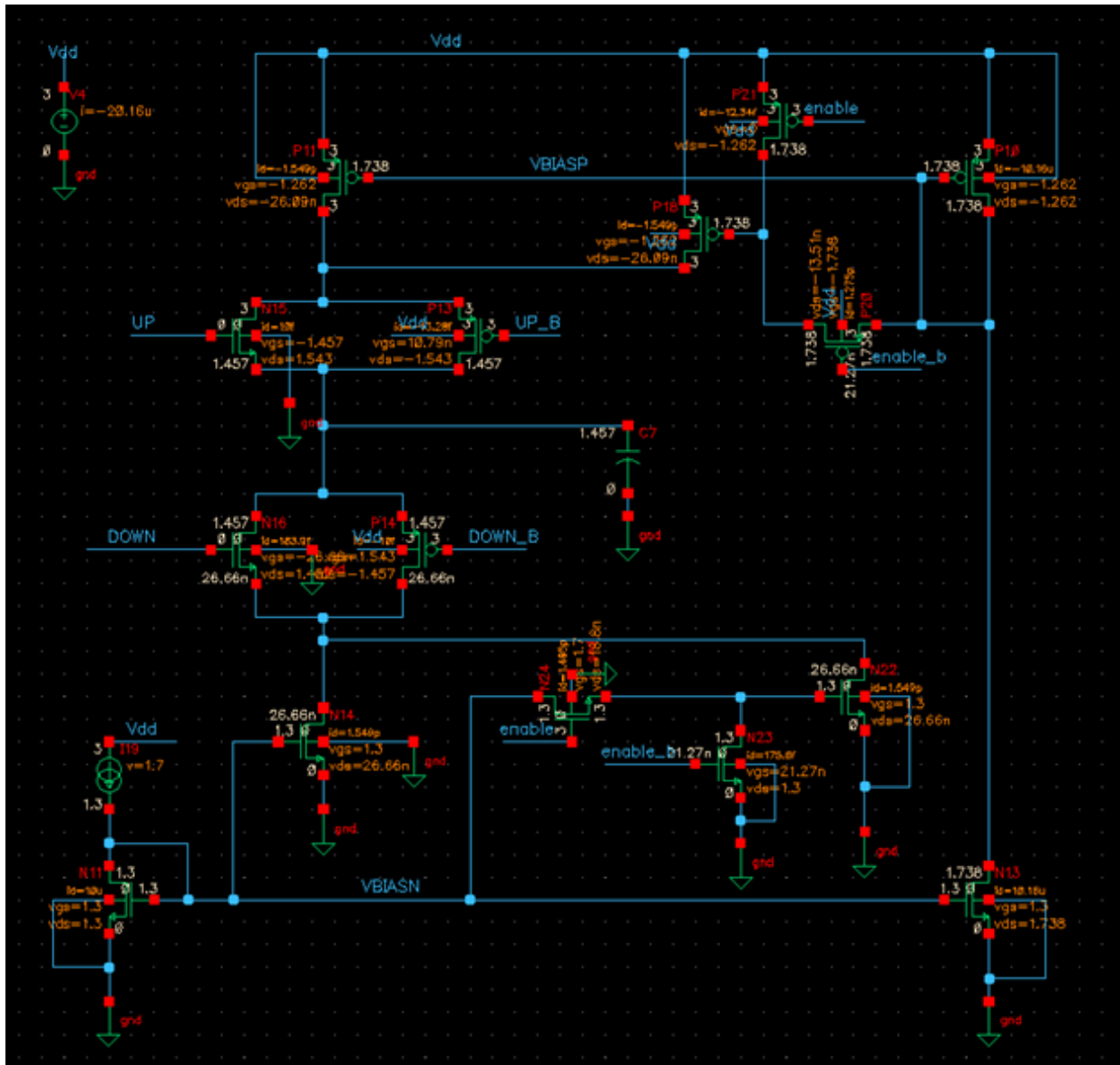


Fig. B-9 Charge Pump schematic implemented in Virtuoso Cadence®.

TABLE B-I  
SUMMARY TRANSISTOR SIZES FOR CHARGE-PUMP CIRCUIT

Module	ID	Transistor type	Length	Width
Transmission Gate UP	N15	N	600 nm	3.15 μm
Transmission Gate UP	P13	P	600 nm	3.15 μm
Transmission Gate DOWN	N16	N	600 nm	1.6 μm
Transmission Gate DOWN	P14	P	600 nm	1.6 μm
High current switch N (gate)	N23	N	600 nm	1.5 μm
High current switch N (G-S)	N24	N	600 nm	1.5 μm
High current switch P (gate)	P20	P	600 nm	1.5 μm
High current switch P (G-S)	P21	P	600 nm	1.5 μm
N Bias (CM)	N11	N	1.2 μm	2.1 μm
N Bias (CM)	N14	N	1.2 μm	2.1 μm
N Bias (CM)	N22	N	1.2 μm	2.1 μm
N Bias (CM)	N13	N	1.2 μm	2.1 μm
P Bias (CM)	P10	P	1.2 μm	6.3 μm
P Bias (CM)	P11	P	1.2 μm	6.3 μm
P Bias (CM)	P18	P	1.2 μm	6.3 μm

# APÉNDICES

- Results

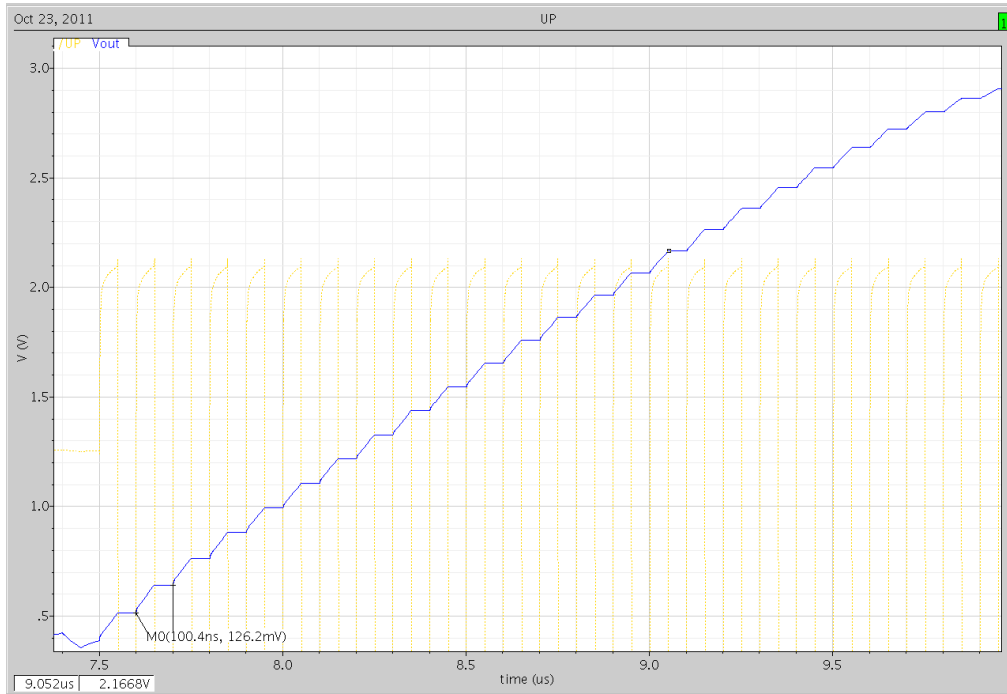


Fig. B-10 Capacitor  $C_L$  charging with  $I_B$

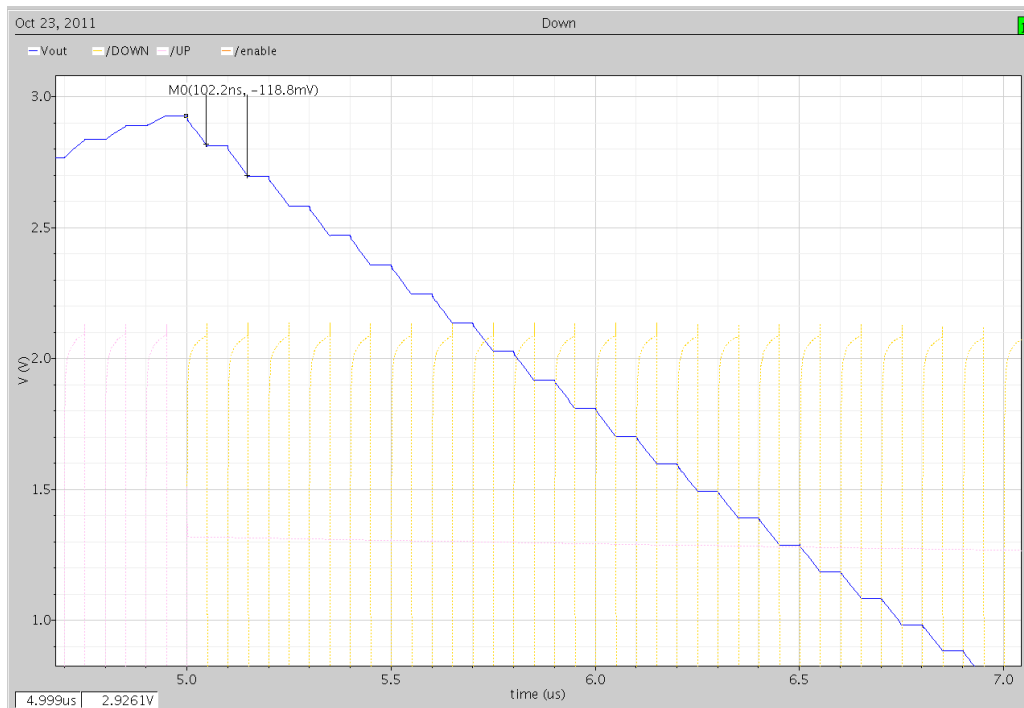


Fig. B-11 Capacitor  $C_L$  discharging with  $I_B$



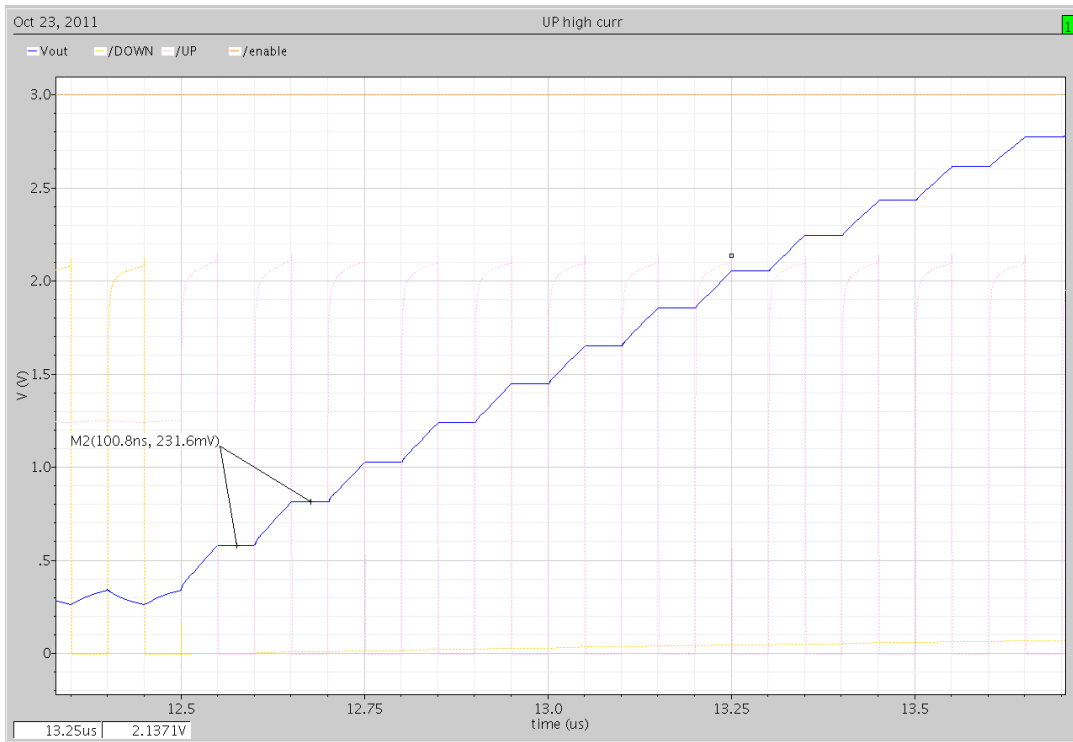


Fig. B-12 Capacitor  $C_L$  charging with  $2I_B$

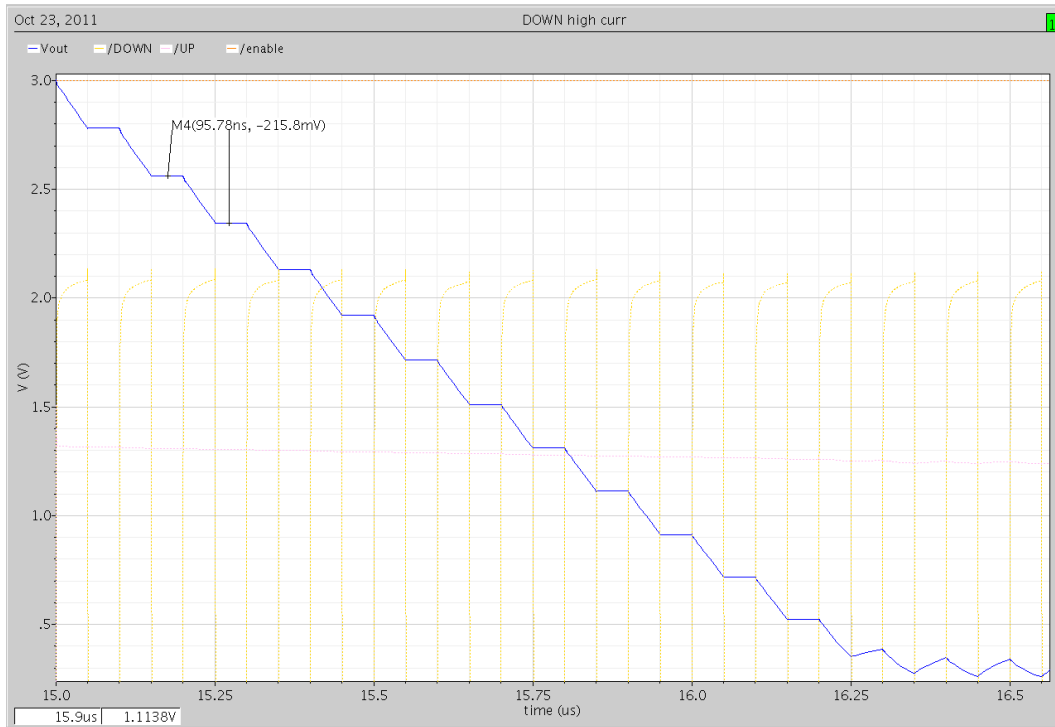


Fig. B-13 Capacitor  $C_L$  discharging with  $2I_B$

## APÉNDICES

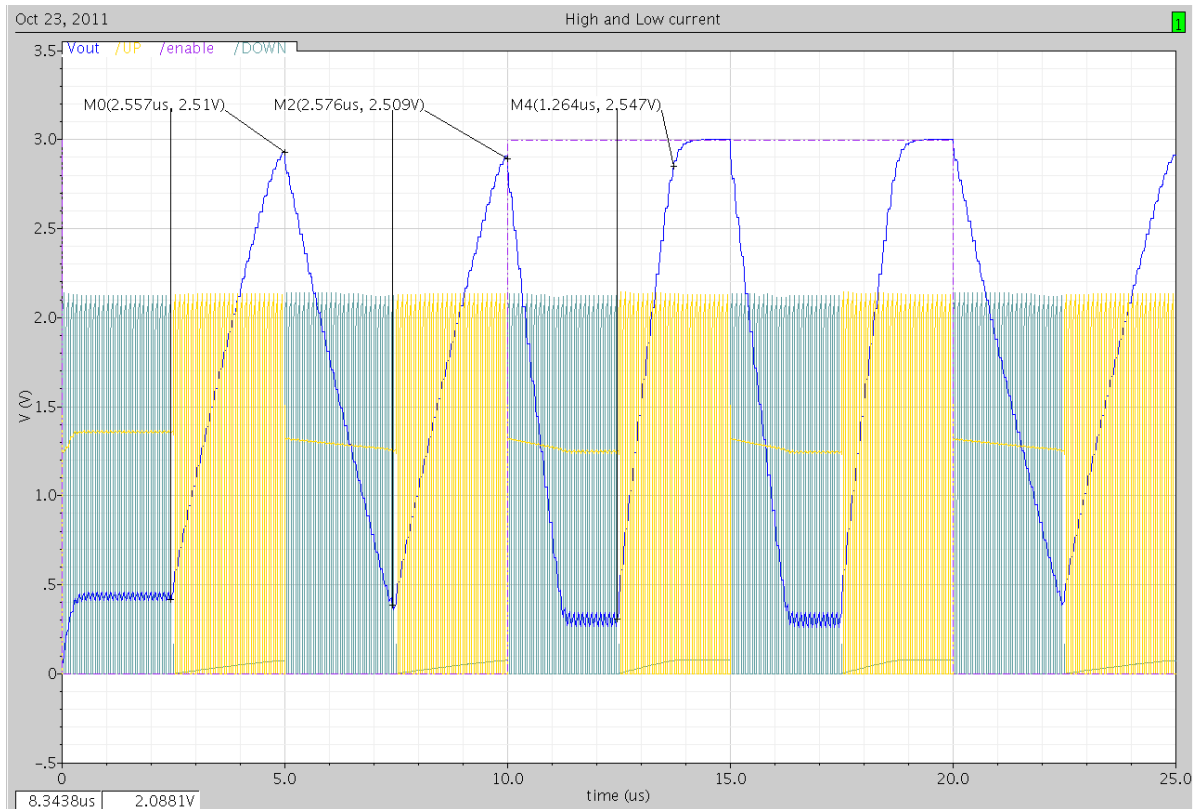


Fig. B-14 Capacitor  $C_L$  charging and discharging with  $2I_B$ .

The result of the circuit when it's charging is shown in the Fig.B-10, in the first step we measure a voltage increase of 126.2 mV which is close to the expected value of 100mV. The wave shows a little of charge injection, but the ramp-up is mostly flat, that means charge injection was minimized. In the Fig.B-11 the capacitor  $C_L$  is discharging and it describes a wave as it was expected, 118mV per step. A little of charge injection effect is in the wave, though 231 mV and 215 mV are the step increment and decrement, respectively, for the case of charging/discharging with the high current mode on. These waves are shown in the Fig.B-12 and Fig.B-13. In the last graph, i.e. Fig.B-14, we can see 2 cycles of charge/discharge with  $I_B$  and two more with  $2I_B$ . Marker M4 shows that the difference in the time that the voltage reaches 2.5V is approximately the half on respect to the previous cycles case with  $I_B$ .

### • Conclusions

With the development of this work, we performed the design methodology seen during the classes. At the beginning we calculated different sizes for the P current mirror, 73 um approx. Which is a very high value; this would make a voltage increase of approx. 250 mV per step that is a very different result than the expected. We change that P sizes under the assumption of  $W_P \approx 3W_N$  and the error was fixed. We noticed that the approach must be carried on very carefully, because there are several step of the process prone to errors. Building and testing each one of the modules that conforms the circuits, and integrating those modules later we are ensuring partial

results, and minimizing the error possibilities. Divide and conquer is a better approach to calculate all sizes and parameters, build the entire circuit hoping it works at the first attempt and otherwise debug the circuit.

- **Bibliographic references**

TABLE B-II  
BIBLIOGRAPHIC REFERNECES

Bibliographic references	Author
Design of analog integrated circuit	Behzad Razavi

### C. REPORTE - DISEÑO DE UN CONVERTIDOR A/D DE 5 BITS CON ARQUITECTURA DE REGISTRO DE APROXIMACIONES SUCESIVAS

- **Especificaciones**

Realice el diseño de un convertidor A/D de **5 bits** basado en la estructura de registro de aproximaciones sucesivas (SAR) (Fig.C-1). El opamp debe ser aquel que se diseñó en clase. Considere el diseño del sistema para los parámetros  $V_{dd} = -V_{ss} = 2V$ , y  $V_{ref} = 1V$ ,  $I_B = 50\mu A$ , y  $V_{ref} = -1V$ , conociendo los parámetros de la tecnología  $\mu C_{ox|N,P} = 110\mu$ ,  $38\mu A/V^2$ ,  $\lambda \approx 0.05$ .

- Utilice el mismo convertidor DAC que realizó en la práctica anterior.
- Utilice un barrido en dc de 0 a  $V_{ref}$  como señal de entrada para el convertidor y grafique los bits del resultado en lógica digital (0's y 1's). pines de salida del microcontrolador para mostrar los bits de la conversión digital para una señal analógica ascendente y grafíquela en el osciloscopio (es decir, los 0's y 1's como resultado de la conversión, para un barrido en DC con señal triangular de 0- $V_{ref}$  a (1/32)kHz). Obtenga los datos de las gráficas y en Excel obtenga las gráficas de los errores de INL y DNL, como se realizó para la práctica anterior.
- Utilice el S&H visto en clase (Fig.C-2),  $C_{hld}=50pF$ .
- Desarrolle la lógica del SAR utilizando programación en Verilog-A implementando el diagrama a bloques de la Fig.C-1.
- Obtenga el INL y DNL, (C-1) y (C-2).

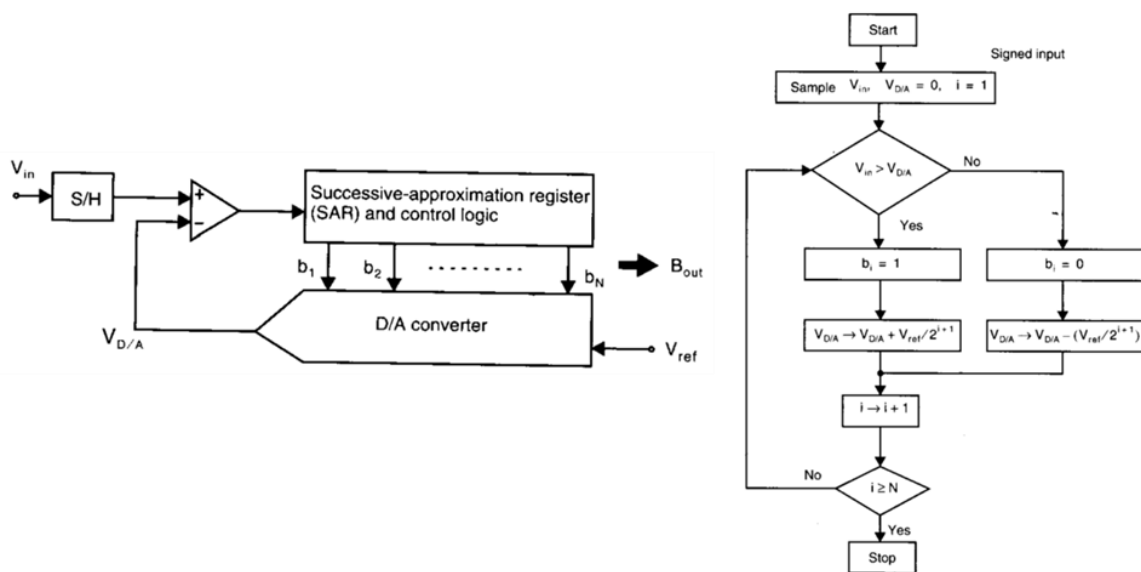


Fig. C-1 Diagrama de un convertidor ADC con arquitectura SAR. Diagrama de flujo que indica la lógica de control SAR.

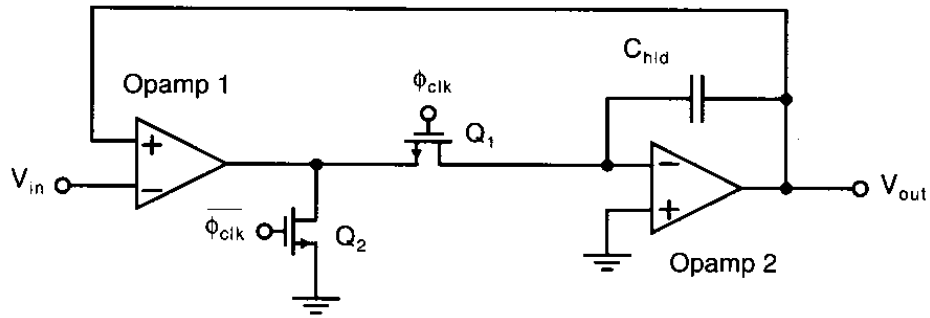


Fig. C-2 Diagrama esquemático de un circuito de muestreo y retención (*Sample & Hold*) o SH.

$$INL_x = \frac{V_{i|x} - xV_{LSB}}{V_{LSB}} \quad (C-1)$$

$$DNL_x = \frac{V_{i|x} - (V_{i|x} + V_{LSB})}{V_{LSB}} \quad (C-2)$$

• Solución

La parte más importante y crítica para este convertidor es la lógica del registro de aproximaciones sucesivas (SAR). Para dar solución a esto se modelara la lógica de control con un lenguaje de descripción de hardware. El primer paso es modificar el DAC R-2R de 4 a 5 bits (Fig.C-3) y su respectiva verificación funciona (Fig.C-4) y (Fig.C-5).

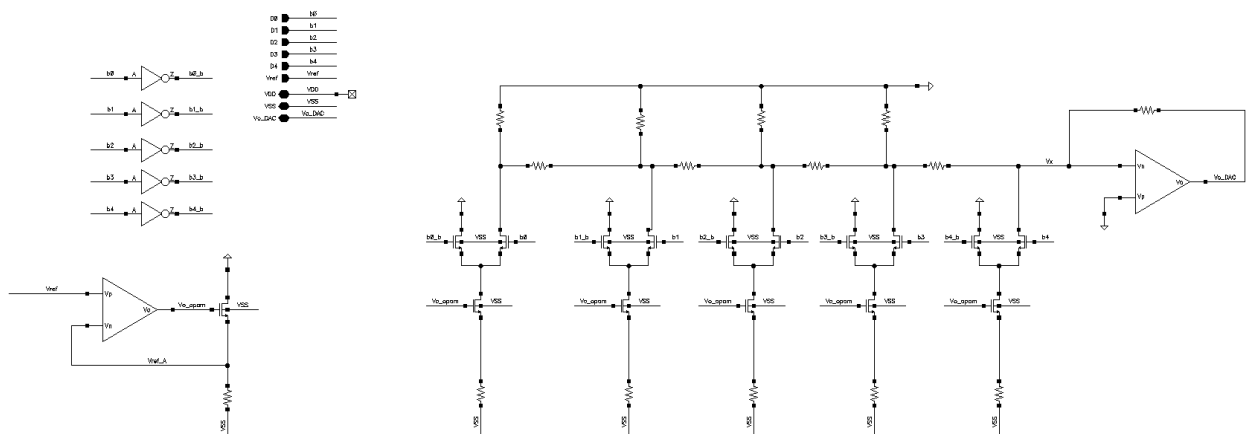


Fig. C-3 Diagrama esquemático del convertidor DAC R-2R de 5 bits.

## APÉNDICES

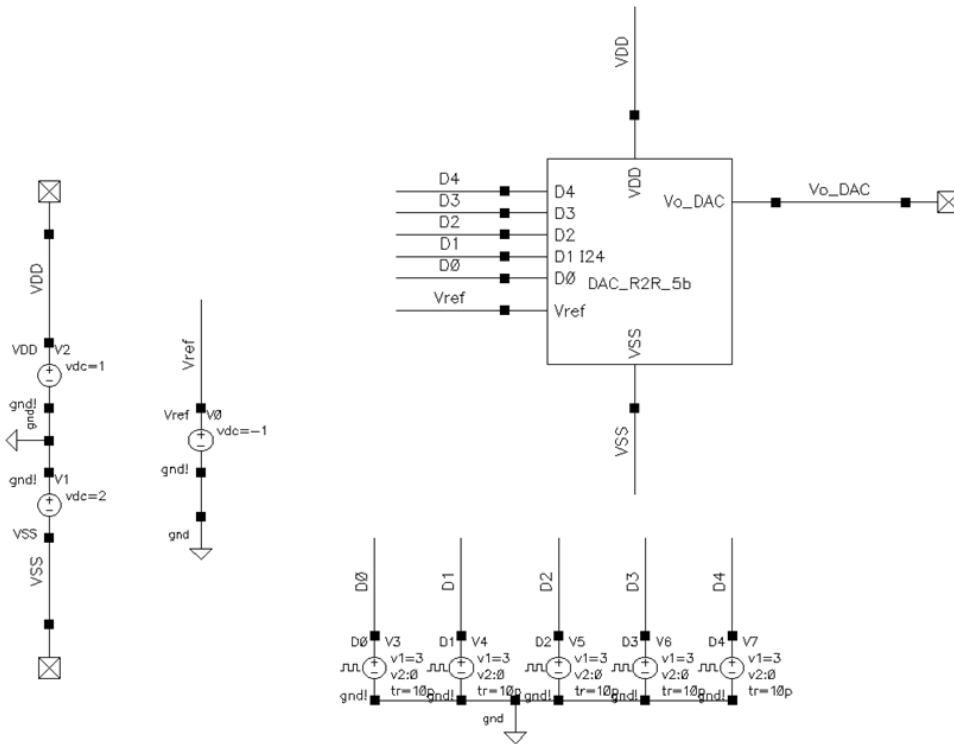


Fig. C-4 Diagrama esquemático del banco de pruebas para validar la correcta funcionalidad del DAC de 5 bits.

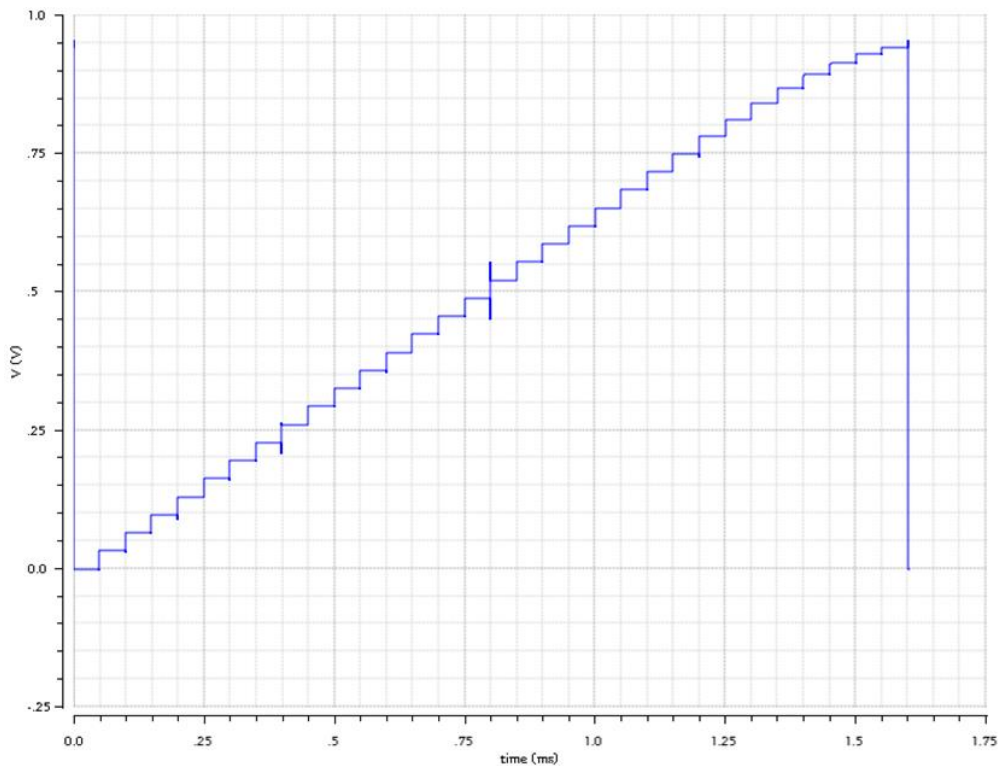


Fig. C-5 Forma de onda de la respuesta del convertidor DAC de 5 bits.

El modelado de la lógica SAR implementado en Verilog-A es el siguiente:

```
// VerilogA for Fernando_work, SAR_va, veriloga
// VerilogA for ITESO, SAR_Logic_va, veriloga
// Fernando Sanchez Hernandez MD685074
// Topicos Avanzados de Circuitos Integrados Analogicos
// Logica SAR

`include "constants.vams"
`include "disciplines.vams"

module SAR_va(clk, vin, vdac, D0, D1, D2, D3, D4, A0, A1, A2, A3, A4);

input clk, vin, vdac;
output D0, D1, D2, D3, D4;
output A0, A1, A2, A3, A4;

voltage clk, vin, vdac;
voltage D0, D1, D2, D3, D4;
voltage A0, A1, A2, A3, A4;

parameter real vth = 0.7;
parameter real vdd = 3.0;
parameter real vss = 0.0;
parameter real delta_vth = 100e-3;
parameter real td = 0 from [0:inf);
parameter real tt = 0 from [0:inf);

parameter integer dir = +1 from [-1:+1] exclude 0;
parameter integer n = 5;

integer count;
integer B0,B1,B2,B3,B4;
integer C0,C1,C2,C3,C4;
//real E4,E3,E2,E1,E0, Dato_dec;
//real vin_temp, vdac_temp;

analog
begin

    @(initial_step)
    begin
        count = 0;
        B0 = 0;B1 = 0;B2 = 0;B3 = 0; B4 = 0;
        C0 = 0; C1 = 0; C2 = 0; C3 = 0; C4 = 0;
        // E0 = 0; E1 = 0;E2 = 0;E3 = 0; E4 = 0;
    end
end
```

## APÉNDICES

```
begin @(cross(V(clk) - vth, dir))
  if(V(clk) > vth && V(clk) < vth+delta_vth && count <= n)
    count = count + 1;
  else
    count = 0;
end
```

```
begin
  case (count)
```

```
  1:
    begin
      if(V(vin) >= V(vdac))
        B4 = 1;
      else
        B4 = 0;
      end
```

```
  2:
    begin
      if(V(vin) >= V(vdac))
        B3 = 1;
      else
        B3 = 0;
      end
```

```
  3:
    begin
      if(V(vin) >= V(vdac))
        B2 = 1;
      else
        B2 = 0;
      end
```

```
  4:
    begin
      if(V(vin) >= V(vdac))
        B1 = 1;
      else
        B1 = 0;
      end
```

```
  5:
    begin
      if(V(vin) >= V(vdac))
        B0 = 1;
      else
        B0 = 0;
      end
```

```
  6:
    begin
      C0 = B0;
      C1 = B1;
      C2 = B2;
```



```

    C3 = B3;
    C4 = B4;
    // vin_temp = V(vin);
    // vdac_temp = V(vdac);
    end

endcase
end

V(D0) <+ transition(B0*vdd,td,tt);
V(D1) <+ transition(B1*vdd,td,tt);
V(D2) <+ transition(B2*vdd,td,tt);
V(D3) <+ transition(B3*vdd,td,tt);
V(D4) <+ transition(B4*vdd,td,tt);

V(A0) <+ transition(C0*vdd,td,tt);
V(A1) <+ transition(C1*vdd,td,tt);
V(A2) <+ transition(C2*vdd,td,tt);
V(A3) <+ transition(C3*vdd,td,tt);
V(A4) <+ transition(C4*vdd,td,tt);

//E4 = C4/32; E3 = C3/32; E2 = C2/32; E1 = C1/32; E0 = C0/32;
//Dato_dec = E4+E3+E2+E1+E0;

$display ("Count = %d",count);
$display ("Dato_ADC(bin) = %d%d%d%d%d",C4, C3, C2, C1, C0);
//$display ("Dato_ADC(dec) = %g",Dato_dec);
//$display ("Voltaje input = %g",vin_temp);
//$display ("Voltage DAC = %g",vdac_temp);
end

endmodule

```

El circuito SH se implementó a nivel transistor (Fig.C-6) y fue modelado a nivel comportamental (Fig.C-7). La verificación se muestra en la Fig.C-8. Con todos los elementos que integran el convertidor ADC SAR, se procede con la integración y simulación (Fig.C-9) y (Fig.C-10).



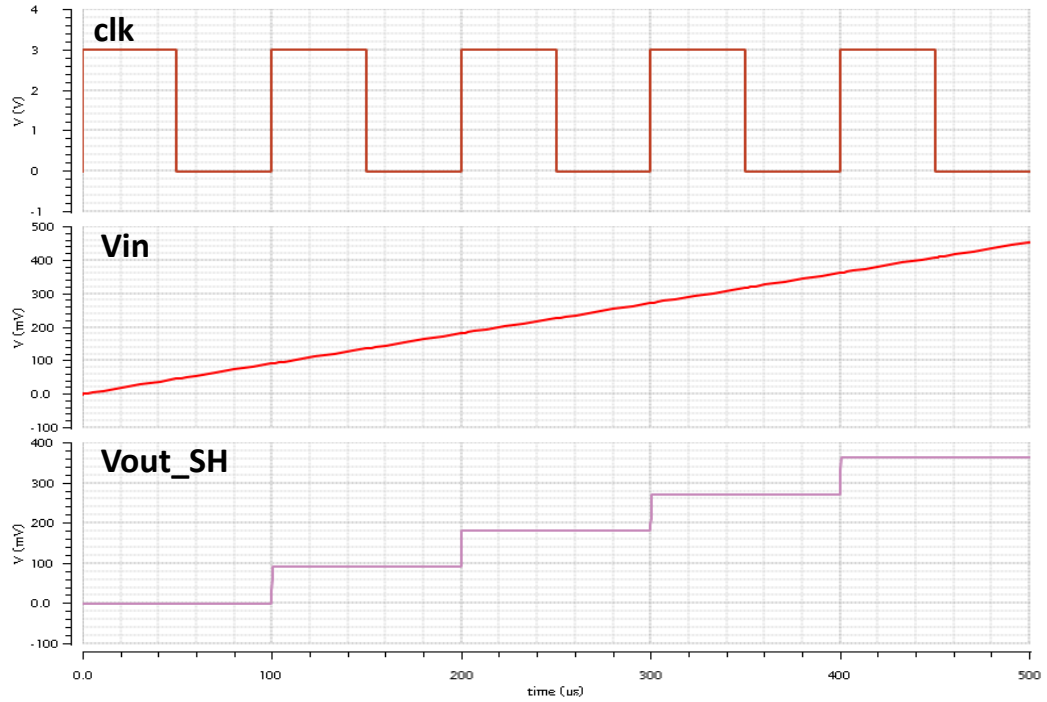


Fig. C-8 Verificación funcional del circuito de muestreo y retención (SH), (Fig.C-7) a nivel comportamental.

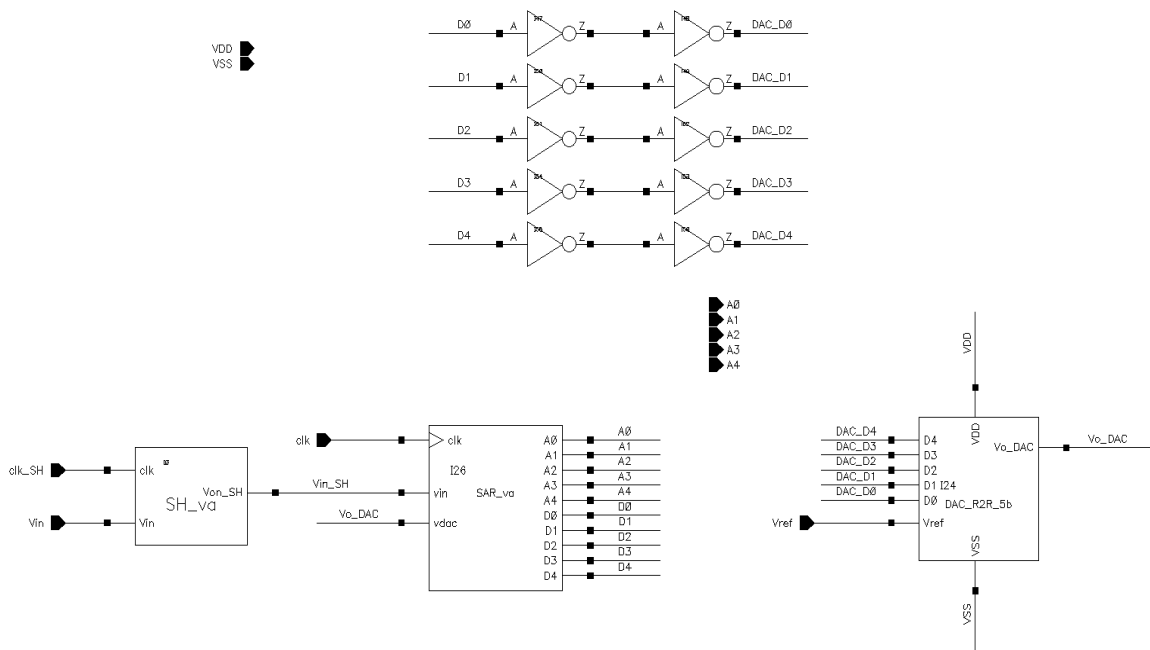


Fig. C-9 Circuito esquemático del convertidor ADC SAR. Lo integran el circuito SH, la lógica de control SAR y un DAC R-2R de 5 bits.

## APÉNDICES

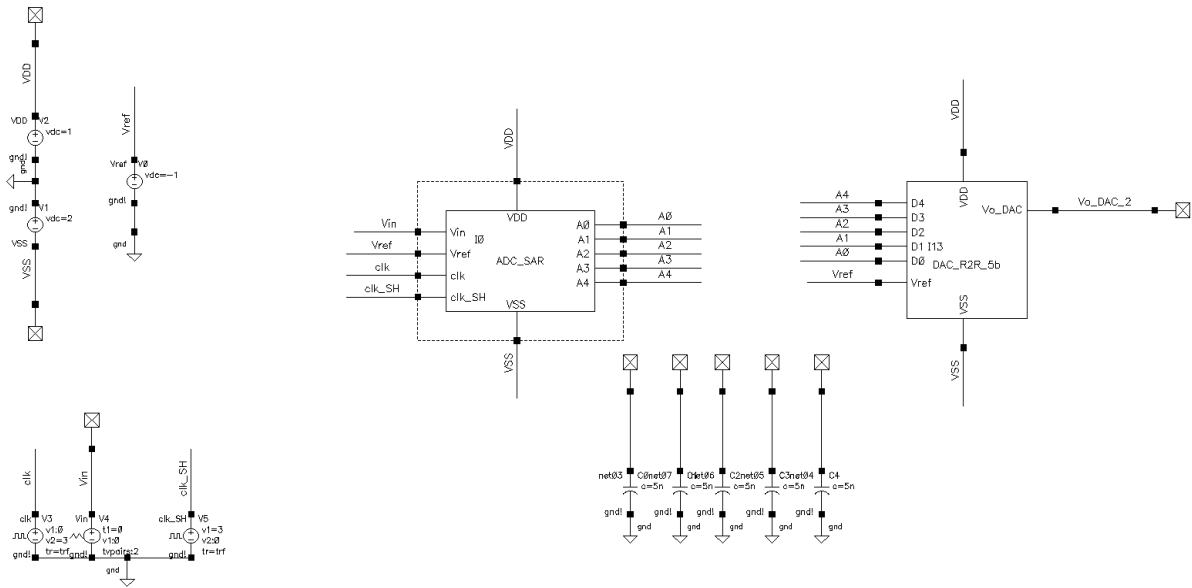


Fig. C-10 Diagrama esquemático del banco de pruebas para la verificación funcional del convertidor ADC-SAR. A su salida se conecta un DAC R-2R para validar la conversión analógica-digital.

El resultado de la simulación del circuito (Fig.C-10) se muestra en la Fig.C-11. Un resumen con los valores numéricos se encuentra en la TABLA C-1. Para obtener los errores INL (*Integral Non Linearity*) y DNL (*Differential Non Linearity*) se requiere calcular primero el valor de 1LSB (C-3), Error de offset ( $E_{offset}$ ) (C-4), Error de ganancia ( $E_{gain}$ ) (C-5). Una vez obtenidos estos valores, se le debe eliminar el error de offset y el error de ganancia de los datos obtenidos del ADC y aplicar (C-1) y (C-2), esto se hace rápido y eficiente mente colocando todos los datos en una hoja de cálculo. El DNL e INL se muestran en la TABLA C-II y en la Fig.C-12 y Fig.C-13 la respuesta del DNL e INL.

$$1LSB_{ADC} = \frac{FSR}{(2^n - 1)} \quad (C-3)$$

$$E_{offset} = \frac{D_{OUT}|_{V_{in}=0}}{1LSB} \quad (C-4)$$

$$E_{gain} = \frac{D_{OUT}|_{V_{in \max}} - D_{OUT}|_{V_{in}=0}}{1LSB} \quad (C-5)$$

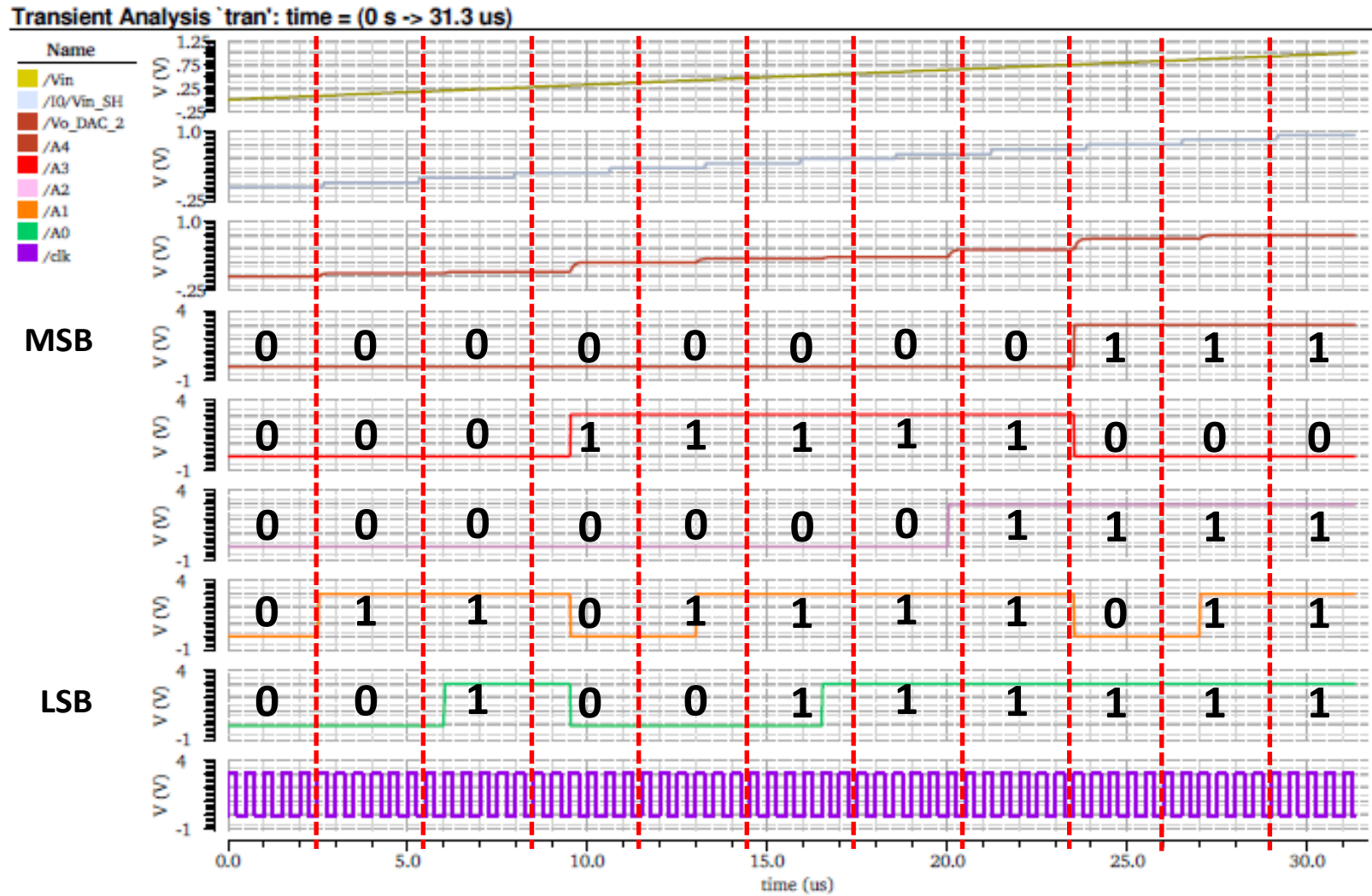


Fig. C-11 Formas de onda resultantes de la verificación funcional para el convertidor ADC con arquitectura SAR.

APÉNDICES

TABLE C-I  
SUMARIO DE RESULTADOS – CONVERTIDOR ADC-SAR 5BITS

Vout_SH	ADC_SAR_OUT (dec) ideal	ADC_SAR_OUT (dec) ideal.round()	ADC_SAR_OUT (bin) ideal	ADC_SAR_OUT (bin) real	ADC_SAR_OUT (dec) real	Vout_DAC
0	0	0	00000	00000	0	-0.001221
0.08466502	2.709280514	3	00011	00001	1	0.0638441
0.16933019	5.418566137	5	00101	00011	3	0.096373
0.25399537	8.12785176	8	01000	01000	8	0.2591789
0.33866054	10.83713738	11	01011	01010	10	0.3243006
0.42332572	13.54642301	13	01101	01011	11	0.356854
0.50799089	16.25570863	16	10000	01011	11	0.4870933
0.59265607	18.96499425	19	10011	01111	15	0.4870933
0.67732125	21.67427987	21	10101	10101	21	0.6826404
0.76198642	24.3835655	24	11000	10111	23	0.7471832
0.8466516	27.09285112	27	11011	11101	29	0.9313168

TABLE C-II  
SUMARIO DE RESULTADOS, ERROR DNL E INL – CONVERTIDOR ADC-SAR 5BITS

Vout_SH	ADC_SAR_OUT (bin) real	ADC_SAR_OUT (dec)	Vout_DAC	ADC_SAR_OUT (bin) real without Eoff & Egain	ADC_SAR_OUT (dec) without Eoff & Egain	INL	DNL
0	00000	0	-0.001221	00000	0	0	0
0.08466502	00001	1	0.0638441	00001	1.068965517	-1.93103	-1.93103
0.16933019	00011	3	0.096373	00011	3.206896552	-1.79310	0.13793
0.25399537	01000	8	0.2591789	01000	8.551724138	0.55172	2.34483
0.33866054	01010	10	0.3243006	01010	10.68965517	-0.31034	-0.86207
0.42332572	01011	11	0.356854	01011	11.75862069	-1.24138	-0.93103
0.50799089	01011	11	0.4870933	01011	11.75862069	-4.24138	-3.00000
0.59265607	01111	15	0.4870933	10000	16.03448276	-2.96552	1.27586
0.67732125	10101	21	0.6826404	10110	22.44827586	1.44828	4.41379
0.76198642	10111	23	0.7471832	11000	24.5862069	0.58621	-0.86207
0.8466516	11101	29	0.9313168	11111	31	4.00000	3.41379

## APÉNDICES

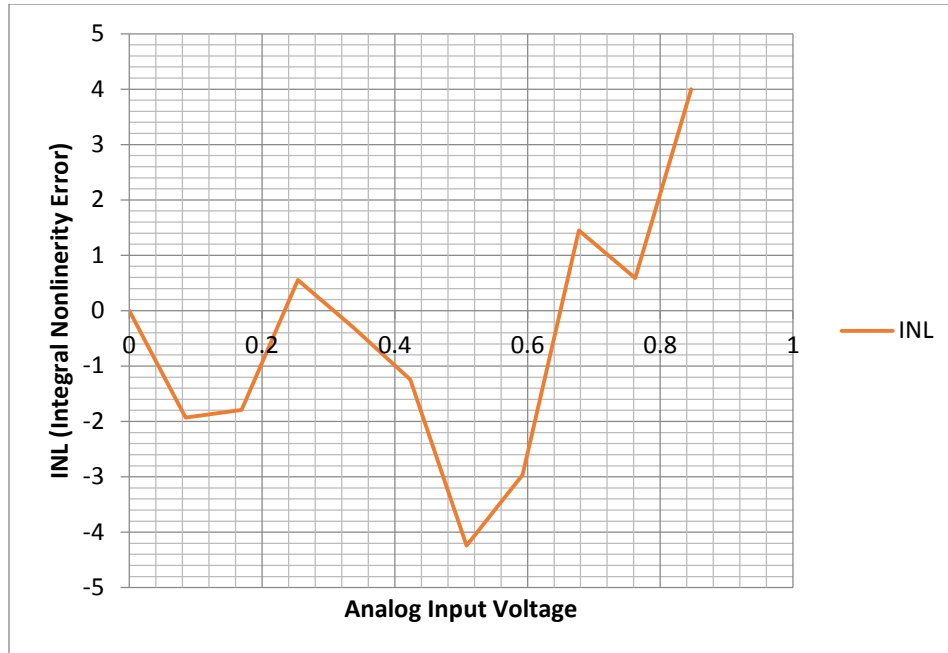


Fig. C-12 Grafica del error INL.

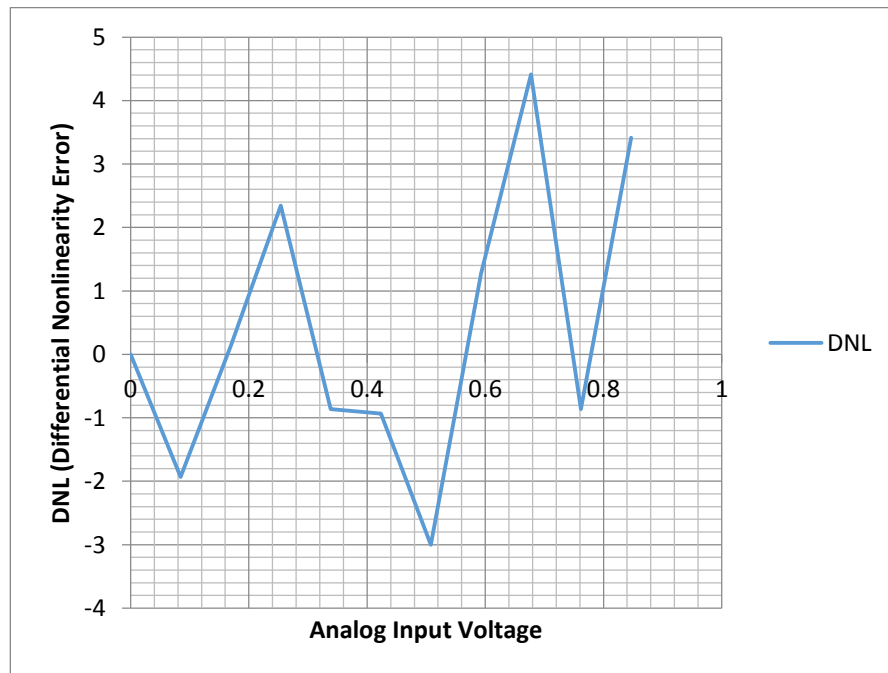


Fig. C-13 Grafica del error DNL.



TABLE C-III  
REFERENCIAS BIBLIOGRAFICAS

Referencias Bibliográficas	Autor
Analog Integrated Circuit Design	David A. Johns & Ken Martin