

# **INSTITUTO TECNOLÓGICO Y DE ESTUDIOS SUPERIORES DE OCCIDENTE**

Reconocimiento de validez oficial de estudios de nivel superior según acuerdo secretarial 15018, publicado en el Diario Oficial de la Federación el 29 de noviembre de 1976.

---

Departamento de Electrónica, Sistemas e Informática

MAESTRÍA EN DISEÑO ELECTRÓNICO



## **REPORTE DE FORMACIÓN COMPLEMENTARIA EN ÁREA DE CONCENTRACIÓN EN DISEÑO DE CIRCUITOS INTEGRADOS ANALÓGICOS**

Trabajo recepcional que para obtener el grado de

MAESTRO EN DISEÑO ELECTRÓNICO

Presenta: Cesar Tomás Gómez Cruz

Asesor: Dr. José Luis Chávez Hurtado

Asesor: Dr. Zabdiel Brito Brito

San Pedro Tlaquepaque, Jalisco. Octubre de 2018.



# Contenido

<b>Introducción .....</b>	<b>1</b>
<b>1. Resumen de los proyectos realizados .....</b>	<b>3</b>
1.1. METODOLOGÍA PARA EL DISEÑO DE AMPLIFICADORES <i>CMOS</i> QUE CUMPLAN CON LAS ESPECIFICACIONES DE UNA INTERFAZ PCI EXPRESS GEN II.....	5
1.1.1 Introducción .....	5
1.1.2 Antecedentes .....	7
1.1.3 Solución desarrollada.....	8
1.1.4 Análisis de resultados.....	10
1.1.5 Conclusiones .....	11
1.2. METODOLOGÍA PARA EL DISEÑO DE FILTROS PASA-BAJAS ACTIVOS TIPO BUTTERWORTH BASADOS EN ARREGLOS <i>OTA-C</i> .....	13
1.2.1 Introducción .....	13
1.2.2 Antecedentes .....	15
1.2.3 Solución desarrollada.....	18
1.2.4 Análisis de resultados.....	20
1.2.5 Conclusiones .....	21
1.3. DISEÑO DE CONVERTIDORES DIGITALES-ANALÓGICOS TOTALMENTE DIFERENCIALES DE BAJO Y ULTRA-BAJO VOLTAJE CON OPERACIÓN EN MODO DE CARGA.....	22
1.3.1 Introducción .....	22
1.3.2 Antecedentes .....	23
1.3.3 Solución desarrollada.....	27
1.3.4 Análisis de resultados.....	28
1.3.5 Conclusiones .....	34
<b>2. Conclusiones generales .....</b>	<b>36</b>
<b>3. Apéndices .....</b>	<b>39</b>
A. METODOLOGÍA PARA EL DISEÑO DE AMPLIFICADORES <i>CMOS</i> QUE CUMPLAN CON LAS ESPECIFICACIONES DE UNA INTERFAZ PCI EXPRESS GEN II.....	41
B. METODOLOGÍA PARA EL DISEÑO DE FILTROS PASA-BAJAS ACTIVOS TIPO BUTTERWORTH BASADOS EN ARREGLOS <i>OTA-C</i> (OPERATIONAL TRANSCONDUCTANCE AMPLIFIERS AND CAPACITORS) .....	59
C. DISEÑO DE CONVERTIDORES DIGITALES-ANALÓGICOS TOTALMENTE DIFERENCIALES DE BAJO Y ULTRA-BAJO VOLTAJE CON OPERACIÓN EN MODO DE CARGA.....	135
<b>4. Referencias.....</b>	<b>171</b>



# Introducción

En el presente reporte de formación complementaria se reúnen proyectos de tres asignaturas correspondientes al área de concentración de Diseño de Circuitos Integrales Analógicos de la **Maestría en Diseño Electrónico** del **ITESO, Universidad Jesuita de Guadalajara**. Las asignaturas mencionadas son: Diseño de Circuitos Integrados Analógicos, Diseño Avanzado de Circuitos Integrados Analógicos y Tópicos Avanzados en Diseño de Circuitos Integrados Analógicos. Los proyectos aquí reunidos son:

1. **Metodología para el diseño de amplificadores *CMOS* que cumplan con las especificaciones de una interfaz PCI Express Gen II**, correspondiente a la asignatura de Diseño de Circuitos Integrados Analógicos.
2. **Metodología para el diseño de filtros pasa-bajas activos tipo Butterworth basados en arreglos *OTA-C* (Operational Transconductance Amplifiers and Capacitors)**, correspondiente a la asignatura de Diseño Avanzado de Circuitos Integrados Analógicos.
3. **Diseño de convertidores digitales-analógicos totalmente diferenciales de bajo y ultra-bajo voltaje con operación en modo de carga**, correspondiente a la asignatura de Tópicos Avanzados de Diseño de Circuitos Integrados Analógicos.

Es importante señalar que para el desarrollo de los proyectos incluidos en el presente reporte se utilizó la suite de herramientas de diseño y simulación, *Virtuoso* de la empresa *Cadence*. Suite que es el estándar en la industria de los semiconductores en cuanto a herramientas de diseño de circuitos asistido por computadora se refiere. Su disponibilidad en el **Departamento de Electrónica, Sistemas e Informática** del **ITESO** es un logro destacable de profesores y directivos de la institución. **ITESO** es la única institución de educación superior e investigación en México que brinda a sus estudiantes y académicos acceso a estas herramientas gracias a que ha mostrado, a lo largo de los años, un escrupuloso profesionalismo en el cumplimiento de los términos y

condiciones de los convenios que mantiene con *Cadence* y el consorcio *MOSIS*, quienes son jugadores de talla e importancia mundial en la industria electrónica.

El primer proyecto es un buen resumen de la parte introductoria de la maestría en cuanto al diseño de circuitos integrados analógicos, durante este primer curso se adquirieron los conocimientos necesarios para pasar de un conjunto de especificaciones a un diseño a nivel transistor y posteriormente a nivel layout (plantilla física).

El segundo proyecto es un ejemplo del uso de los *Amplificadores Operacionales de Transconductancia* en aplicaciones de amplia utilidad, diseño e implantación de filtros activos, en el mundo del diseño electrónico. La metodología de diseño que se presenta es la empleada por el profesor **Mtro. Esdras Juárez Hernández** en sus cursos y se destaca por su rigor técnico y su simplicidad conceptual.

El tercer proyecto es otro ejemplo del uso de *Amplificadores Operacionales de Transconductancia* pero ahora para aplicaciones biomédicas, en particular para dispositivos biomédicos implantables. Este tipo de aplicaciones son parte de la línea de investigación que el profesor **Dr. Jaime Ramírez Angulo**, académico invitado del **ITESO**, desarrolla en la **Universidad Estatal de Nuevo México**.

Los conocimientos adquiridos en diseño de circuitos integrados analógicos a lo largo de las materias del área de concentración resultaron de gran interés para el alumno dada su formación profesional inicial como ingeniero en computación y han sido de enorme utilidad en su desarrollo profesional actual dadas sus actividades laborales en una empresa de diseño de microprocesadores como ingeniero de validación eléctrica.

# 1. Resumen de los proyectos realizados

La presentación de los proyectos sigue una estructura incremental, tal y como es el proceso formativo que la **Maestría en Diseño Electrónico** del ITESO brinda a sus alumnos. Se inicia con el diseño de la unidad básica, los *Amplificadores Operacionales de Transconductancia*, y luego se aborda su uso en diseños más elaborados como lo son los filtros pasa-bajas activos y los convertidores digitales-analógicos totalmente diferenciales (circuitos de señal mixta).

Los diseños se realizaron con apego a la tecnología de 130 nanómetros de IBM conocida comercialmente como CMOS8RF y cuyo *PDK (Process Design Kit)* tiene la denominación CMRF8SF. Algunas de las características destacables de la tecnología CMOS8RF de IBM son: el dopado inicial de la oblea es del tipo P, su resistividad de 1 a 2 Ohms por centímetro, el nodo litográfico de 130 nanómetros, la técnica de *Shallow Trench Isolation (STI)* de 350 nanómetros de profundidad para prevenir corrientes de fuga entre componentes adyacentes, el uso de 5 a 8 capas de metal (y de hecho sus variantes LM, AM, OL y DM se basan en las combinaciones elegidas para sus últimas 4 capas) y la disponibilidad de *Thin Oxide FETs* (con 22 Angströms de grosor en el óxido de compuerta) para voltajes de 1.2 a 1.5 [V] y de *Thick Oxide FETs* (con 52 Angströms de grosor en el óxido de compuerta) para voltajes de 2.5 y 3.3 [V].

Los *MOSFET (Metal-Oxide-Silicon Fiel-Effect Transistor)* fueron patentados por J.E. Lilienfeld en la década de los 30s del siglo pasado, mucho antes de la invención del transistor bipolar. Las limitaciones en los procesos de fabricación impidieron que la tecnología *MOS (Metal-Oxide-Silicon)* fuera viable hasta principio de la década de los 60s, con las primeras generaciones produciendo únicamente transistores tipo-n. Y sólo hasta mediados de la misma década los dispositivos *CMOS (Complementary Metal-Oxide-Silicon)*, es decir, con transistores tanto tipo-n como tipo-p, fueron desarrollados, lo que inició una revolución en la industria de los semiconductores.

La tecnología *CMOS* rápidamente se volvió popular debido a que las compuertas lógicas diseñadas empleándola disipan potencia sólo durante su cambio de estado y requieren de unos pocos componentes, dos características que contrastan con la tecnología bipolar o de transistores de Arseniuro de Galio. También se descubrió muy pronto que las dimensiones de los dispositivos

*MOS* podía hacerse más pequeña de forma más fácil que cualquier otra forma de transistor. El siguiente paso obvio fue la aplicación de esta tecnología al diseño analógico. El bajo costo de fabricación, la posibilidad de colocar en el mismo chip circuitos digitales y analógicos mejorando el desempeño general del sistema y la reducción de costos de empaquetado han hecho muy atractiva a la tecnología *CMOS*. Sin embargo, los *MOSFET* eran lentos y ruidosos comparados con los transistores bipolares, por lo que encontraron un número reducido de aplicaciones.

¿Cómo fue, entonces, que la tecnología *CMOS* logró dominar el mercado? La fuerza principal fue la miniaturización de los dispositivos, porque ello permitió mejorar la velocidad de los *MOSFET*. La velocidad intrínseca de los transistores *MOS* se ha incrementado por varios órdenes de magnitud durante los últimos 60 años, rebasando a los transistores bipolares, incluso cuando estos también han logrado miniaturizarse (pero no de manera tan rápida).

Otra ventaja crítica de los dispositivos *MOS* respecto de los transistores bipolares es que los primeros pueden trabajar con bajos voltajes de alimentación. En la tecnología de hoy, los circuitos *CMOS* corren con fuentes de alimentación de 1 [V], en tanto que los circuitos bipolares requieren de al menos 2 [V]. Los bajos voltajes han permitido disminuir el consumo de potencia, aún en los casos de complejos circuitos integrados.

La idea de colocar múltiples dispositivos electrónicos en el mismo sustrato fue concebida en los últimos años de la década de los 50 del siglo pasado. La tecnología de fabricación e integración de circuitos ha evolucionado desde la década de los 60s, cuando era posible producir simples chips conteniendo unas decenas de componentes, hasta nuestros días cuando una simple unidad USB de memoria contiene un trillón de transistores o un microprocesador abarca varios billones de dispositivos. Tal y como Gordon Moore (uno de los fundadores de Intel) predijo a principios de los 70s, el número de transistores por chip continuará duplicándose aproximadamente cada dieciocho meses. Al mismo tiempo, la dimensión mínima de los transistores ha disminuido desde los 25 [ $\mu\text{m}$ ] en 1960 a 10 [nm] en el año 2017, lo cual ha generado una tremenda mejora en la velocidad de los circuitos integrados.

Conducida principalmente por los mercados de memoria y microprocesadores, las tecnologías involucradas en el diseño y fabricación de los circuitos integrados han abarcado también al diseño analógico, permitiendo niveles de complejidad, velocidad y precisión que serían imposibles de alcanzar utilizando implantaciones discretas. No es posible construir un prototipo discreto para predecir el comportamiento y desempeño de los modernos circuitos analógicos.



## **1.1. Metodología para el diseño de amplificadores *CMOS* que cumplan con las especificaciones de una interfaz PCI Express Gen II.**

Este proyecto fue la entrega final del segundo módulo de la asignatura de Diseño de Circuitos Integrados Analógicos impartida en el otoño de 2016 por el profesor **Mtro. Esdras Juárez Hernández**, profesor del **Departamento de Electrónica, Sistemas e Informática de ITESO**, en el ciclo de posgrado e investigador de **Intel Labs** en Guadalajara.

### **1.1.1 Introducción**

El proyecto trata sobre como pasar de las especificaciones de un amplificador *CMOS* a su diseño, de una forma rápida, coherente y eficiente, a partir del uso de las ecuaciones básicas que aproximan el comportamiento de un transistor *MOSFET* en su punto de operación, algunas reglas empíricas y el aprovechamiento de las características del software de diseño y simulación.

La configuración de par diferencial o amplificador diferencial es el componente más utilizado en el diseño de circuitos integrados analógicos (véase [1, p. 595]).

La configuración básica de amplificador diferencial fue inventada en la década de los 40 del siglo pasado para su uso con tubos de vacío. Posteriormente se probó con transistores bipolares y se comprobó su gran utilidad. Y con la llegada de los circuitos integrados se hizo extremadamente popular en la tecnología *CMOS*.

Hay dos razones por las que los amplificadores diferenciales han aprovechado muy bien, históricamente, las características de los procesos de fabricación de circuitos integrados: en primer lugar, el rendimiento del par diferencial depende del emparejamiento entre los extremos del circuito, y los procesos de fabricación han ido mejorando con el objetivo de proporcionar la menor variabilidad posible entre dispositivos a fin de que sus parámetros se mantengan sin cambios significativos sobre rangos de variación de las condiciones ambientales (conforme la miniaturización progresa esto es más difícil de lograr); en segundo lugar, por su propia naturaleza, los amplificadores diferenciales utilizan más componentes que los amplificadores de una sola salida, y una ventaja significativa de la tecnología de fabricación de circuitos integrados es,

precisamente, la posibilidad de incorporar un gran número de transistores a un costo relativamente bajo.

Ahora bien, la siguiente pregunta es ¿por qué usar amplificadores diferenciales? Existen dos razones básicas para ello: la primera, los circuitos diferenciales son menos sensibles al ruido que los circuitos de una sola salida (el ruido captado afectará por igual a ambas salidas y al realizarse una suma algebraica de las señales se cancelará su efecto); la segunda, es que la polarización del amplificador y el acoplamiento entre etapas puede hacerse sin la necesidad de utilizar capacitores de derivación o acoplamiento, como ocurre en el diseño de amplificadores a partir de componentes discretos (véase [1, p. 596]).

Los diseñadores analógicos, hoy en día, deben lidiar con problemas igualmente difíciles e interesantes, entre ellos (véase [2, p. 4]):

**Imperfecciones en los transistores.** Como resultado de la miniaturización, los transistores *MOS* siguen incrementando su velocidad, pero a costa de sus propiedades analógicas. Por ejemplo, la ganancia máxima en voltaje que un transistor puede proveer declina con cada nueva generación de la tecnología *CMOS*. Más aún, las características del transistor pueden variar en función del tamaño, distancia y funcionamiento de las estructuras o circuitos que lo rodean.

**Disminución de los voltajes de alimentación.** Como resultado de la miniaturización de los dispositivos, el voltaje de alimentación de los circuitos *CMOS* ha disminuido inevitablemente, variando de 12 [V] en la década de los 70 del siglo pasado a 0.8 [V] en la actualidad. Muchas configuraciones de circuitos que no han sobrevivido a esta reducción han caído en desuso. Y la búsqueda de topologías que funcionen bien a bajos voltajes continúa.

**Consumo de potencia.** La industria de los semiconductores, hoy más que nunca, se esfuerza por hacer diseño de bajo consumo de potencia. Este esfuerzo aplica no sólo para dispositivos portátiles (y de este modo alargar el uso de la batería) sino para todo tipo de sistemas (de modo tal que reduce el costo de la disipación de calor y reduce su consumo de energía en general). La miniaturización de la tecnología *MOS* disminuye directamente el consumo de potencia de los circuitos digitales, pero su efecto en los circuitos analógicos es mucho más complicado.

**Complejidad de los circuitos.** Los circuitos analógicos de hoy pueden contener miles de transistores, lo que demanda largas y tediosas simulaciones. De hecho, los diseñadores analógicos modernos deben hacerse usuarios competentes de *SPICE* y de *MATLAB* como simuladores de circuitos de alto nivel.

**Variaciones *PVT*.** Muchos parámetros de los dispositivos y circuitos pueden variar de acuerdo con el proceso de fabricación, el voltaje de alimentación y la temperatura ambiente. Esto se conoce como variaciones *PVT* y el diseño de circuitos en tecnología *CMOS* debe realizarse de tal forma su comportamiento sea aceptable para un rango determinado de dichas variaciones. Por ejemplo, pueden presentarse variaciones en el voltaje de alimentación entre 0.95 y 1 [V] y en la temperatura del circuito entre 0 a 80 grados Celsius, pero a pesar de ello los dispositivos deben mantener un funcionamiento aceptable. Para ello, el diseño analógico en tecnología *CMOS* debe ser robusto y disminuir significativamente o eliminar por completo el efecto provocado en los dispositivos y circuitos por las variaciones *PVT*, dentro de un cierto rango de interés.

### 1.1.2 Antecedentes

La mayoría de los amplificadores integrados tienen una entrada diferencial. Para lograr manejar esta entrada, casi todos los amplificadores usan lo que comúnmente se conoce como un par diferencial. En la

*Fig. 1-1* se muestra un par diferencial junto con una fuente de corriente de bias.

Los transistores  $Q_1$  y  $Q_2$  tienen idénticas dimensiones y son polarizados con el mismo voltaje de DC en la terminal de compuerta.

Un modelo de baja frecuencia y señal pequeña del par diferencial se muestra en la *Fig. 1-2*. Este circuito equivalente de señal pequeña está basado en el modelo T de un transistor *MOS* tal y como es descrito en la sección 1.2 del primer capítulo del libro de Tony Carusone (véase [3, pp.

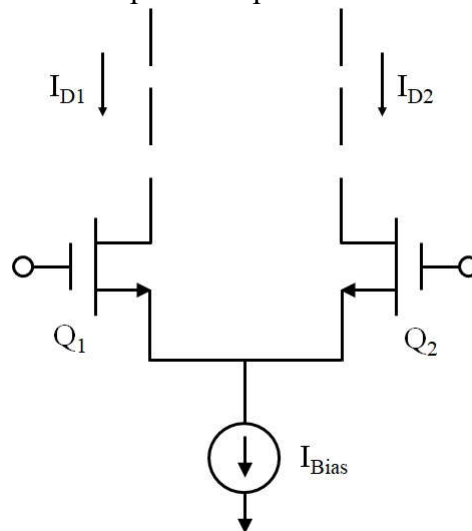


Fig. 1-1 Par diferencial *MOS*.

14-38]). Para simplificar el análisis, se ignora temporalmente la impedancia de salida de los transistores. Si se define el voltaje diferencial de entrada como  $V_{in} = V^+ - V^-$ , se tiene que:

$$i_{d1} = i_{s1} = \frac{V_{in}}{r_{s1} + r_{s2}} = \frac{V_{in}}{\frac{1}{g_{m1}} + \frac{1}{g_{m2}}} \quad (1-1)$$

Dado que  $Q_1$  y  $Q_2$  tienen la misma corriente de bias entonces  $g_{m1} = g_{m2}$ . Por lo tanto:

$$i_{d1} = \frac{g_{m1}}{2} V_{in} \quad (1-2)$$

Y dado que  $i_{d2} = i_{s2} = -i_{d1}$  entonces:

$$i_{d2} = -\frac{g_{m1}}{2} V_{in} \quad (1-3)$$

Finalmente, si se define la corriente diferencial de salida como  $i_{out} = i_{d1} - i_{d2}$ , se obtiene la siguiente relación:

$$i_{out} = g_{m1} V_{in} \quad (1-4)$$

Y si dos cargas resistivas  $R_L$  son conectadas entre las terminales de drenado de los transistores  $Q_1$  y  $Q_2$  y una fuente de alimentación positiva, el resultado es una salida diferencial de voltaje entre los dos nodos de drenado,  $V_{out} = (g_{m1} R_L) V_{in}$  y la etapa tendrá una ganancia diferencial de señal pequeña de  $g_{m1} R_L$  (véase [3, pp. 135-136]).

### 1.1.3 Solución desarrollada

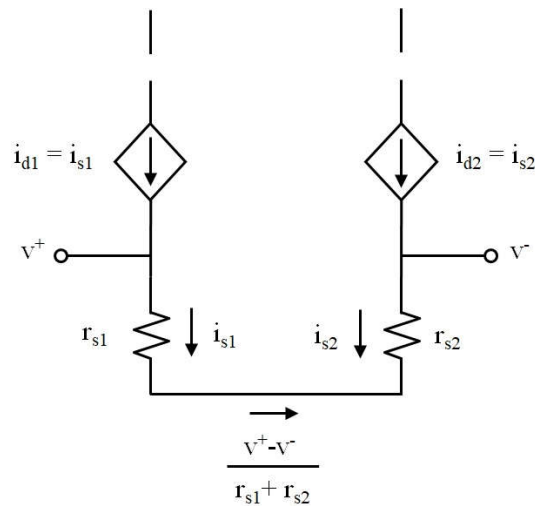


Fig. 1-2 Modelo de señal pequeña de un par diferencial MOS.

Se parte de un conjunto de especificaciones eléctricas sobre las características y el comportamiento del amplificador y algunos parámetros del proceso de fabricación, entre ellas: voltaje de alimentación, ganancia, ancho de banda, carga capacitiva, potencia máxima disipada, voltajes de entrada y salida de modo común, voltaje de umbral y coeficiente de transconductancia (parámetros de proceso, éstos últimos, que deben verificarse y corregirse en caso necesario, luego de realizar una serie de simulaciones con el *Process Design Kit* instalado y cargado).

A partir de estas especificaciones se derivan los parámetros útiles para el dimensionamiento de los transistores *NFET* que son la base del amplificador operacional de transconductancia:

1. Se calcula la corriente máxima de Bias a partir de la potencia disipada máxima y el voltaje de alimentación.
2. Se calcula el valor de la resistencia de carga que proporciona la corriente  $I_D$  a los transistores *NFET* del par diferencial a partir del valor del ancho de banda y su definición en función de las cargas capacitiva y resistiva.
3. Se obtiene el valor numérico de los voltajes de entrada y salida de modo común.
4. Se calcula el valor de la corriente de Bias a partir el voltaje de alimentación, el voltaje de salida de modo común y el valor de la carga resistiva.
5. Se calcula el valor de la transconductancia a partir de la especificación de ganancia.
6. Se obtienen los valores reales del coeficiente de transconductancia y del voltaje de umbral a partir de la extracción de parámetros internos de la tecnología *CMOS* empleada (se aprovecha el simulador y el *PDK* instalado y cargado).
7. Se calcula el valor de la relación ancho contra largo ( $W/L$ ) del canal del transistor *NFET* a partir de los valores de la transconductancia, la corriente de Bias y el coeficiente de transconductancia previamente obtenidos.
8. Se obtienen los valores iniciales del ancho y largo del canal,  $W$  y  $L$ , a partir del valor sugerido del largo y la relación  $W/L$ .
9. Se captura el diseño inicial del amplificador en el módulo *Schematic Editor* de *Virtuoso* empleando la tecnología de  $0.13\ [\mu\text{m}]$  de IBM y se simula su respuesta en frecuencia para obtener la ganancia y el ancho de banda.
10. Se inicia el proceso iterativo de incremento del valor de  $W$  para mejorar el valor de la transconductancia y con ello mejorar la ganancia y el ancho de banda del

amplificador. Con cada nuevo valor de  $W$  se hace un nuevo cálculo de  $g_m$ ,  $A_v$  y  $BW$  empleando las ecuaciones que las relaciona y se hace una nueva simulación para comparar lo esperado en el circuito real.

11. Luego de algunas iteraciones, incrementando el valor de  $W$  con un paso determinado ( $0.5 \text{ } [\mu\text{m}]$  en este caso), se alcanzan las especificaciones y en ese momento se detienen las iteraciones y se cuenta ya con un *OTA* que cumple con las características deseadas.

12. Para alcanzar más rápidamente el valor adecuado de las dimensiones del transistor *NFET*, se puede establecer un paso suficientemente grande para incrementar el valor de  $W$  y al aproximarse a los valores marcados por la especificación se puede disminuir el tamaño del paso del incremento de  $W$  y aproximarse de forma más fina al resultado final.

Un resumen gráfico de la metodología se presenta en la *Fig. 1-3*.

### 1.1.4 Análisis de resultados

Luego de nueve iteraciones se alcanzaron las especificaciones de ganancia, ancho de banda y potencia máxima disipada que el diseño del *CMOS OTA* compatible con PCI gen II marcaba. Se lograron  $6.07 \text{ [dB]}$  de ganancia, un ancho de banda de  $5.2 \text{ [Ghz]}$  y  $543 \text{ } [\mu\text{W}]$  de potencia disipada.

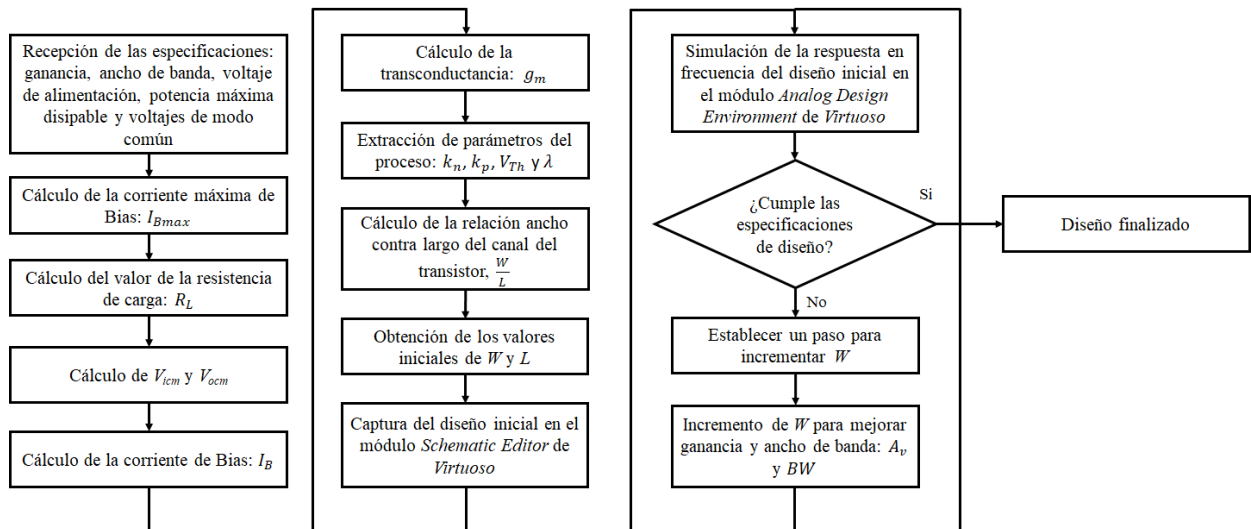


Fig. 1-3 Metodología de diseño para amplificadores diferenciales en tecnología *CMOS*.

También se ajustaron las resistencias de carga de 1.6 [k $\Omega$ ] a 1.3 [k $\Omega$ ] de acuerdo con los valores de transconductancia y ganancia obtenidos en los cálculos iterativos.

Las dimensiones finales del par de transistores *NFET* fueron para  $L = 0.24$  [ $\mu\text{m}$ ] (restricción marcada por las especificaciones) y para  $W = 5.5$  [ $\mu\text{m}$ ].

Un elemento importante de los resultados fue la extracción de los parámetros del proceso de fabricación de 130 nanómetros, en particular el coeficiente de transconductancia  $k_n$  y el voltaje de umbral  $V_{Th}$ ; los valores iniciales, proporcionados como parte de las especificaciones fueron:  $k_n = 200$  [ $\mu\text{A}/\text{V}^2$ ] y  $V_{Th} = 0.35$  [V], pero se indicaba que fueran sustituidos por parámetros extraídos del proceso. Para realizar la extracción se siguió la metodología propuesta por el **Dr. Esteban Martínez Guerrero**, profesor-investigador del **Departamento de Electrónica, Sistemas e Informática** del **ITESO**. Los valores encontrados para el proceso CMOS8RF de IBM (0.13 [ $\mu\text{m}$ ]) fueron:  $k_n = 328.71$  [ $\mu\text{A}/\text{V}^2$ ] y  $V_{Th} = 0.1572$  [V].

### 1.1.5 Conclusiones

La metodología de diseño resulta ser convenientemente simple, accesible y comprensible para quienes desean adquirir experiencia a partir de la máxima de aprender haciendo. Y dada su simplicidad es posible semi-automatizarla con el uso de una hoja de cálculo y el simulador (*ADE*) de *Virtuoso*.

Para este proyecto, todas las expresiones matemáticas requeridas en el proceso de diseño se colocaron en una hoja de cálculo, se definieron celdas que recibían algunos de los valores de las especificaciones que se emplearían en los cálculos (voltaje de alimentación, voltajes de entrada y salida de modo común, potencia máxima disipada y ganancia, ancho de banda) y se obtuvo la primera aproximación a las dimensiones de los transistores *NFET*.

Luego con el uso del simulador se corroboró el cumplimiento de las especificaciones de ganancia, ancho de banda y potencia disipada y se decidió establecer un paso de 0.5 [ $\mu\text{m}$ ] para aumentar la dimensión  $W$  del canal de los transistores en cada iteración. Nuevamente, con la ayuda de una hoja de cálculo se obtuvieron para todos los nuevos valores de  $W$  los nuevos valores esperados de ganancia, ancho de banda y potencia disipada y se volvió al simulador para verificar cada uno de ellos y encontrar que con las dimensiones obtenidas en la novena iteración, el

simulador indicaba que se cumplía ya con lo demandado para un amplificador compatible con PCI Express Gen II.

Las primeros valores calculados para las dimensiones de los transistores *NFET* aproximan los valores ideales en un 75% en cuanto a la ganancia y en un 80% en cuanto al ancho de banda del amplificador operacional de transconductancia (de acuerdo con los resultados obtenidos mediante el simulador *ADE*). Y gracias al uso del simulador para el ajuste de los parámetros se alcanzan las especificaciones de diseño de forma rápida y simple.

Un elemento vital de la metodología es hacer una buena caracterización del proceso de fabricación (extracción de parámetros) para obtener los valores más cercanos a la realidad tanto de  $K_n$  o  $K_p$  como de  $V_{Th}$  y  $\lambda$ .

La metodología aprovecha las relaciones entre  $W$ ,  $g_m$ ,  $A_v$  y  $BW$  para mejorar los tres últimos al aumentar  $W$ . Es decir, al aumentar  $W$  se incrementan el coeficiente de transconductancia y la ganancia de voltaje y al aumentar la relación entre el coeficiente de transconductancia y la ganancia de voltaje se incrementa el ancho de banda, esto es perfectamente comprensible a partir de las ecuaciones que relacionan  $W$  con  $A_v$  y  $g_m$ , y  $A_v$  y  $g_m$  con  $BW$ , en el modelo de señal pequeña de un transistor FET.

Otra forma de abordar la relación entre coeficiente de transconductancia, ganancia y ancho de banda es a través de la resistencia de carga  $R_L$ , si esta disminuye significa que la relación entre la ganancia de voltaje y el coeficiente de transconductancia también disminuye y con ello se mejora (incrementa) el ancho de banda.

Además puede abordarse otro enfoque tomando como parámetro de diseño la corriente  $I_B$ .  $I_B$  puede incrementarse para mejorar la ganancia y el ancho de banda del amplificador, pero debe tenerse en cuenta que ésta se encuentra limitada por la potencia máxima disipada relacionada con  $I_{Bmax}$  y  $V_{DD}$ .



## **1.2. Metodología para el diseño de filtros pasa-bajas activos tipo Butterworth basados en arreglos *OTA-C***

Este proyecto fue parte de la asignatura Diseño Avanzado de Circuitos Integrados Analógicos impartido en la primavera de 2017 por el profesor **Mtro. Esdras Juárez Hernández**, profesor del **Departamento de Electrónica, Sistemas e Informática** de ITESO, en el ciclo de posgrado e investigador de Intel Labs en Guadalajara.

### **1.2.1 Introducción**

Un filtro eléctrico es un sistema cuya función es modificar, modificar o manipular el espectro de frecuencia de una señal eléctrica de acuerdo con especificaciones previamente establecidas (véase, [4, p. 1]). Son útiles para separar, suprimir o dejar pasar componentes de frecuencia de una señal determinada dentro de un cierto rango de interés. Lo que significa de algún modo que si la magnitud de la señal de entrada se mantiene constante y se varía la frecuencia, la magnitud y la fase de la señal se mantendrán constantes dentro de algún rango de frecuencia y variará fuera de ese rango.

Las aplicaciones típicas de los filtros eléctricos son numerosas, por ejemplo (véase, [4, pp. 1-2]):

1. Eliminar la contaminación de la señal provocada por el ruido en los sistemas de comunicación.
2. Separar los componentes relevantes de frecuencia de una señal de aquellos que no lo son.
3. Detectar señales en radios y televisiones analógicas.
4. Desmodular señales.
5. Para limitar en banda las señales antes de ser muestreadas.
6. Convertir señales muestreadas en señales continuas en el tiempo.
7. Mejorar la calidad de los equipos de audio.
8. En la síntesis de voz.
9. En la ecualización de los cables y líneas de transmisión.

10. En aparatos de asistencia para personas con debilidad auditiva.

Además de sus aplicaciones, los filtros poseen características primarias que son relevantes al momento de su diseño e implantación, entre ellas:

1. Naturaleza de la respuesta en magnitud o fase (pasa-bajas, pasa-altas, pasa-banda, banda de rechazo y pasa-todo). La respuesta en magnitud describe la magnitud de la ganancia de un circuito como una función de la frecuencia bajo condiciones de excitación sinusoidal. Un filtro típico tiene una respuesta en magnitud casi constante dentro de un cierto rango de frecuencias y obliga a un decremento fuera de dicho rango.
2. Banda de paso. La banda de paso se define como el rango de frecuencias que un filtro permite pasar, con la mínima atenuación o con alguna amplificación.
3. Banda de rechazo. La banda de rechazo son todas las demás frecuencias no incluidas dentro de la banda de paso.
4. Región de transición. La región de transición es la zona ubicada entre la banda de paso y la región de la banda de rechazo.
5. Atenuación de corte. Es la atenuación máxima que se requiere en la señal antes de la frecuencia de corte. Típicamente es de 3 [dB] de la ganancia de voltaje, porque esto equivale a un decremento o reducción del 50% en la potencia entregada a la carga que se alimenta por el filtro; por esta razón a la frecuencia de corte se le conoce también como el **punto medio de potencia**.
6. Atenuación de rechazo. Es la atenuación mínima que se requiere en la señal después de la frecuencia de rechazo.
7. Frecuencia de corte o también llamada frecuencia de esquina o frecuencia crítica. Es la frecuencia a partir de la cual la respuesta en amplitud está 3 [dB] por debajo del valor de la banda de paso.
8. Frecuencia de rechazo. Es la frecuencia a partir de la cual la respuesta del filtro está por debajo de la atenuación de rechazo marcada como parte de las especificaciones.

Algunas otras las características denominadas secundarias incluyen la sensibilidad a los cambios paramétricos y los retrasos provocados por los propios elementos del filtro.

### 1.2.2 Antecedentes

Los filtros se clasifican de acuerdo con la función que realizan. A partir de las características (forma) de la función de transferencia ( $H(j\omega)$ ) y el valor de la ganancia ( $\alpha$ ), pueden definirse, sobre algún rango de frecuencia que son de interés, las dos zonas de frecuencias que llamadas banda de paso y banda de rechazo. Si se habla del caso ideal, la banda de paso es el rango de frecuencias del filtro dónde el módulo de su función de transferencia es unitario,  $|H(j\omega)| = 1$ , y su ganancia es cero,  $\alpha = 0$ , esto es, las señales se transmiten de la entrada a la salida sin atenuación o amplificación; y en la zona de la banda de rechazo el módulo de su función de transferencia es cero,  $|H(j\omega)| = 0$ , y su ganancia es en realidad una enorme atenuación,  $\alpha \rightarrow -\infty$ , lo que significa que la transmisión está bloqueada completamente (véase [5, p. 5]).

- Un filtro pasa-bajas es aquel en el que la banda de paso se extiende de  $f = 0$  [Hz] hasta  $f = f_c$  [Hz], dónde  $f_c$  es la frecuencia de corte.
- Un filtro pasa-altas es aquel que funciona de forma contraria al filtro pasa-bajas, es decir, el rango de frecuencias que va de 0 [Hz] a  $f_c$  se encuentra es la banda de rechazo y a partir de  $f_c$  y hacia el infinito está la banda de paso.
- Un filtro pasa-banda es aquel en el que las frecuencias que van de  $f_1$  a  $f_2$  forman la banda de paso, mientras que todas las demás a la izquierda de  $f_1$  y a la derecha de  $f_2$  constituyen la banda de rechazo.
- Un filtro rechaza-banda es el complemento del filtro pasa-banda, es decir, los componentes de la señal entre las frecuencias  $f_1$  y  $f_2$  son rechazadas y todas las demás forman la banda de paso. Estos filtros son llamados filtros *notch*, por la forma de su respuesta en frecuencia.
- Un filtro pasa-todo es aquel que no tiene banda de rechazo y su banda de paso está formada por el rango de frecuencias que va de 0 [Hz] y carece de límite superior. El filtro pasa-todo suele emplearse para cambiar la fase de la señal para algunas frecuencias.

En la práctica, una función de transferencia ideal como las mostradas por las líneas sólidas en la *Fig. 1-4* es imposible de implantar utilizando filtros reales constituidos por un número finito de elementos (véase [5, p. 5]).

Para filtros implantados con circuitos reales, la función de transferencia definida por la ecuación (1-5) es descrita siempre por funciones reales racionales de la frecuencia compleja  $s$ . Una función real racional es una relación de polinomios en  $s$  como se muestran en la ecuación (1-6) [5, p. 5].

$$H(s) = \frac{V_o(s)}{V_i(s)} = \frac{N(s)}{D(s)} \quad (1-5)$$

$$H(s) = \frac{N(s)}{D(s)} = \frac{b_m s^m + b_{m-1} s^{m-1} + \dots + b_1 s + b_0}{a_n s^n + a_{n-1} s^{n-1} + \dots + a_1 s + a_0} \quad (1-6)$$

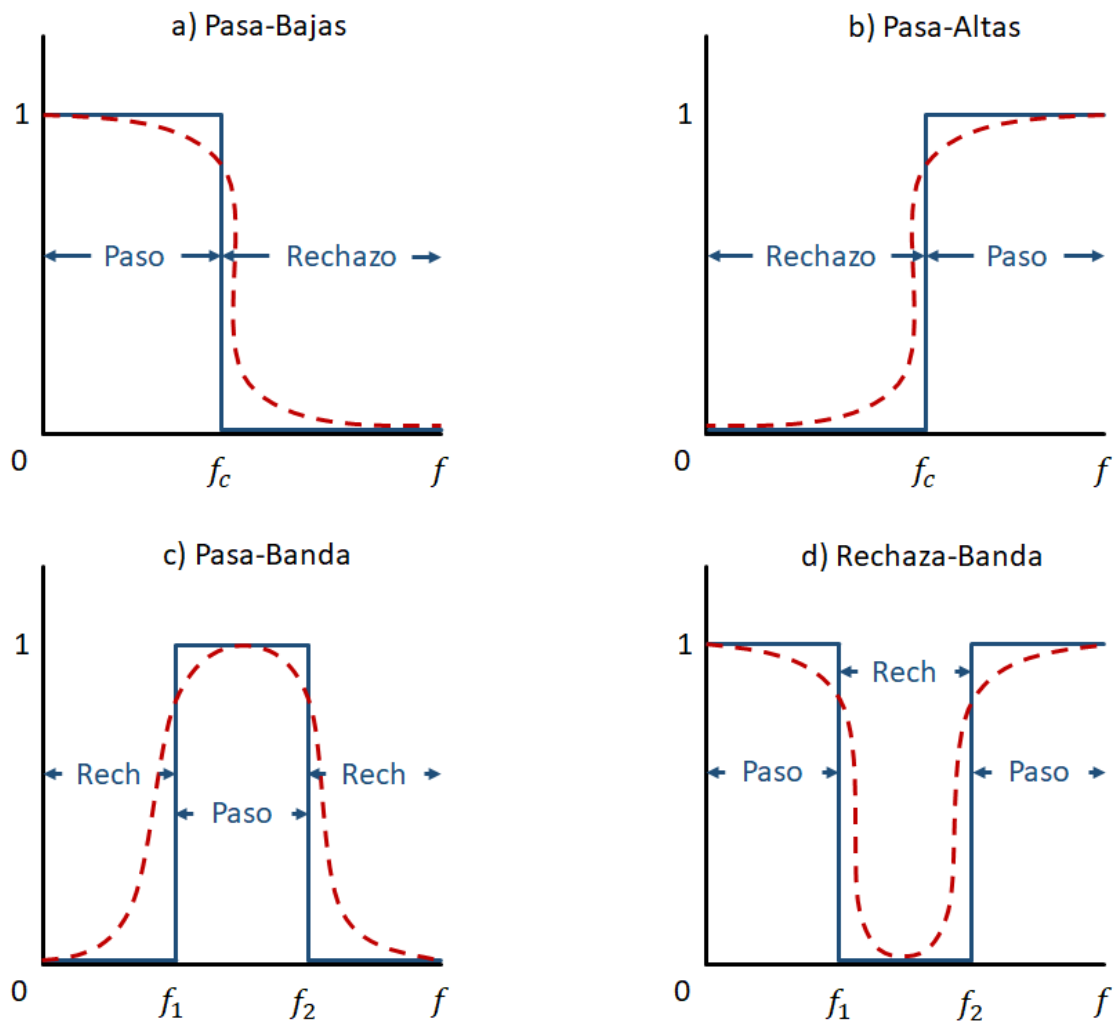


Fig. 1-4 Los cuatro tipos básicos de funciones ideales de filtros. Líneas sólidas: función ideal. Líneas punteadas: funciones de filtros reales donde la magnitud es una función continua de  $f$ .

Para evitar que el circuito, que implanta el filtro analógico, oscile y asegurar que su función de transferencia sea irrealizable con elementos eléctricos reales, es decir, que posean valores positivos, los coeficientes de  $H(s)$ ,  $a_i$  con  $i = 1, \dots, n$  y  $b_j$  con  $j = 1, \dots, m$ , deben ser todos números reales. En particular todos los coeficientes del polinomio en el denominador deben ser positivos y el coeficiente  $a_n$  puede ser igualado a la unidad arbitrariamente,  $a_n = 1$ , al dividir el numerador y denominador por el propio  $a_n$  (véase [5, p. 6]).

También, para que el filtro pueda implantarse utilizando un número finito de componentes reales, el grado  $n$  del polinomio en el denominador  $D(s)$  debe ser más grande que, o al menos igual, que el grado  $m$  del polinomio en el numerador  $N(s)$ , es decir,  $n \geq m$ .

Otro aspecto a tener en cuenta es que la magnitud de la ecuación (1-6) cuando se evalúa en el eje  $j\omega$ ,  $|H(j\omega)|$ , es una función continua de la frecuencia que no puede seguir el comportamiento abrupto mostrado por las líneas sólidas en la *Fig. 1-4*. En su lugar, las características reales del filtro que corresponden a los cuatro tipos básicos mencionados con antelación se muestran con líneas punteadas en la misma *Fig. 1-4* (véase [5, p. 6]).

Si se utiliza una realización cuadrática para la función de transferencia, el tipo de filtro del que se hable, dependerá de los valores de los coeficientes.

En un filtro pasa-bajas se tiene que  $a_2 = a_1 = 0$  y  $a_0 = K\omega_p^2$ . Por lo tanto, la función de transferencia asume la forma (véase [4, p. 26]):

$$H_{LP}(s) = \frac{a_0}{s^2 + b_1s + b_0} = \frac{K\omega_p^2}{s^2 + (\omega_p/Q_p)s + \omega_p^2} \quad (1-7)$$

En un filtro pasa-altas se tiene que  $a_2 = K$  y  $a_0 = a_1 = 0$ . Por lo tanto, la función de transferencia asume la forma (véase [4, p. 27]):

$$H_{HP}(s) = \frac{a_2s^2}{s^2 + b_1s + b_0} = \frac{Ks^2}{s^2 + (\omega_p/Q_p)s + \omega_p^2} \quad (1-8)$$

En un filtro pasa-banda se tiene que  $a_1 = K\omega_p/Q_p$  y  $a_0 = a_2 = 0$ . Por lo tanto, la función de transferencia asume la forma (véase [4, p. 27]):

$$H_{BP}(s) = \frac{a_1s}{s^2 + b_1s + b_0} = \frac{K(\omega_p/Q_p)s}{s^2 + (\omega_p/Q_p)s + \omega_p^2} \quad (1-9)$$

En un filtro rechaza-banda se tiene que  $a_2 = K$ ,  $a_1 = 0$  y  $a_0 = K\omega_p^2$ . Por lo tanto, la función de transferencia asume la forma (véase [4, p. 28]):

$$H_N(s) = \frac{a_2 s^2 + a_0}{s^2 + b_1 s + b_0} = \frac{K(s^2 + \omega_p^2)}{s^2 + (\omega_p/Q_p)s + \omega_p^2} \quad (1-10)$$

En un filtro pasa-todo se tiene que  $a_2 = K$ ,  $a_1 = -K \omega_p/Q_p$  y  $a_0 = K\omega_p^2$ . Por lo tanto, la función de transferencia asume la forma (véase [4, pp. 28-29]):

$$H_{AP}(s) = \frac{a_2 s^2 + a_1 s + a_0}{s^2 + b_1 s + b_0} = \frac{K[s^2 - (\omega_p/Q_p)s + \omega_p^2]}{s^2 + (\omega_p/Q_p)s + \omega_p^2} \quad (1-11)$$

### 1.2.3 Solución desarrollada

Se parte de un conjunto de especificaciones sobre las características del filtro, entre ellas: frecuencia de corte ( $f_c$ ), frecuencia de rechazo ( $f_s$ ), atenuación en la banda de paso ( $A_c$ ) y atenuación en la banda de rechazo ( $A_s$ ).

Junto con las especificaciones, el filtro está determinado por decisiones acerca de las condiciones de su implantación, tales como el tipo de realización que se utilizará, en este caso Butterworth, y la configuración empleada para la conexión de los elementos, en este caso una escalera terminada en resistencia.

A partir de estas especificaciones y las condiciones de implantación se derivan por etapas todos los parámetros útiles para el dimensionamiento de los elementos que forman parte del filtro:

1. Se inicia por calcular el rizado en la banda de paso ( $\epsilon$ ), pero dado que se empleara una aproximación Butterworth la cual se caracteriza por ser máximamente plana, deberá ser 1 (uno).
2. Se calcula el orden del filtro ( $n$ ), el factor de normalización de frecuencia ( $\Omega_n$ ) y el factor de normalización de impedancia ( $z_n$ ).
3. Dado que las condiciones de implantación del filtro son el tipo de realización: Butterworth, y el tipo de configuración de la red de elementos: terminada en resistencia, se deben obtener los valores de los elemento pasivos bajo dichas circunstancias, a fin de generar la red pasiva *RLC* normalizada en frecuencia que será la primera realización del filtro. Para estos cálculos se puede utilizar la tabla **A-1** del **Apéndice A** del libro de **Lawrence P. Huelsman** (véase [6, pp. 429-443]).

4. Una vez obtenidos los valores de los elementos pasivos del filtro (capacitores e inductores) sus valores se escalan utilizando los factores de normalización de frecuencia y normalización de impedancia.
5. Se captura el diseño del filtro con elementos pasivos, en el *Schematic Editor de Virtuoso*.
6. Se simula el comportamiento del filtro, utilizando el *Analog Design Environment de Virtuoso*, y se comprueba que se mantiene dentro de las especificaciones marcadas al inicio.
7. Se determinan las ecuaciones del filtro implantado con elementos pasivos en función de sus variables de estado.
8. Se traza el *SFG (Signal Flow Graph – Grafo de Flujo de Señal)* para cada una de las ecuaciones de estado individuales.
9. Se traza el *SFG* para el sistema completo.
10. Se hace la implantación del filtro utilizando *Amplificadores Operacionales de Transconductancia (OTA)* y capacitores de acuerdo a las equivalencias entre los *SFG* y una combinación *OTA-C* vistas en clase (véase [7, pp. 6-10]).
11. Se captura la nueva implantación del filtro con *OTAs* y capacitores en el *Schematic Editor de Virtuoso*.

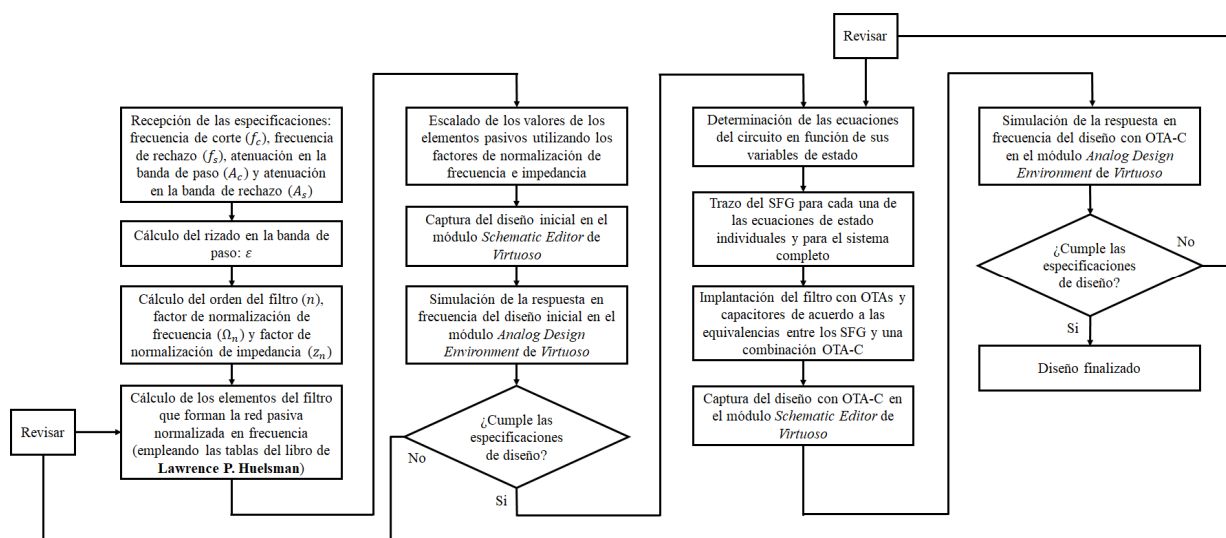


Fig. 1-5 Metodología de diseño para filtros activos pasa-bajas tipo Butterworth con *OTA-C*.

12. Se simula el comportamiento del filtro, utilizando el *Analog Design Environment* de *Virtuoso*, y se comprueba que se mantiene dentro de las especificaciones marcadas al inicio.

#### 1.2.4 Análisis de resultados

En todos los casos, para los filtros empleados como ejemplos de aplicación de la metodología, se logró cumplir con las especificaciones marcadas. En la *Tabla 1-1* se muestra el resumen de las especificaciones marcadas para una serie de filtros y los resultados alcanzados con el diseño propuesto como resultado de la aplicación de la metodología.

Para este proyecto, todas las expresiones matemáticas requeridas en el proceso de diseño se colocaron en una hoja de cálculo, se definieron celdas que recibían los valores de las

Resumen de resultados de los filtros activos pasa-bajas tipo Butterworth			
	Especificaciones		Resultados
Filtro 1.	$A_c = 3[dB]$ $A_s = 23 [dB]$ $f_c = 1 [Mhz]$ $f_s = 2.5 [Mhz]$	Filtro 1.	$f_c = 1 [Mhz]$ $f_s = 2.4164 [Mhz]$ $\theta_c = -135^\circ$ $\theta_s = -221^\circ$
Filtro 2.	$A_c = 3[dB]$ $A_s = 36 [dB]$ $f_c = 2.5 [Mhz]$ $f_s = 10 [Mhz]$	Filtro 2.	$f_c = 2.4998 [Mhz]$ $f_s = 9.9566 [Mhz]$ $\theta_c = -134.981^\circ$ $\theta_s = -240.901^\circ$
Filtro 3.	$A_c = 3[dB]$ $A_s = 18 [dB]$ $f_c = 4 [Mhz]$ $f_s = 8 [Mhz]$	Filtro 3.	$f_c = 3.9997 [Mhz]$ $f_s = 7.9632 [Mhz]$ $\theta_c = -134.982^\circ$ $\theta_s = -209.431^\circ$
Filtro 4.	$A_c = 3[dB]$ $A_s = 10 [dB]$ $f_c = 10 [Mhz]$ $f_s = 15 [Mhz]$	Filtro 4.	$f_c = 10 [Mhz]$ $f_s = 14.4289 [Mhz]$ $\theta_c = -135^\circ$ $\theta_s = -182.135^\circ$

Tabla 1-1 Resumen de resultados del diseño de filtros activos pasa-bajas tipo Butterworth



especificaciones que se emplearían en los cálculos (frecuencia de corte, frecuencia de rechazo, atenuación en la banda de paso y atenuación en la banda de rechazo) y se obtuvo la primera realización del filtro con elementos pasivos: capacitores, inductores y resistencias.

Luego, siguiendo el procedimiento visto en clase, se obtuvieron las ecuaciones de estado del circuito, su representación mediante *SFGs* y su implantación equivalente con *OTAs* y capacitores.

Una vez más, con el uso del simulador se corroboró el cumplimiento de las especificaciones de frecuencia de corte, frecuencia de rechazo, atenuación en la banda de paso y atenuación en la banda de rechazo de los filtros activos pasa-bajas tipo Butterworth que la metodología ayuda a diseñar.

Posteriormente, con la ayuda del simulador *Analog Design Environment*, se hicieron una serie de experimentos cuyos resultados resultaron ser muy importantes para una mejor comprensión del diseño de filtros. Al principio (de forma completamente intencional), se pidió realizar las implantaciones activas de los filtros empleando *OTA* con una  $g_m = 1$ . Posteriormente se pidió escalar  $g_m$  a 2.5, 4 y 10 y observar que ocurría con la frecuencia de corte y la frecuencia de rechazo. Los resultados mostraron que un incremento en  $g_m$  tenía como consecuencia un incremento en la frecuencia de corte, es decir, un incremento en la banda de paso, algo que abre enormes posibilidades para el diseño de filtros configurables a partir de controlar el valor de  $g_m$  que puede incrementarse o disminuirse mediante la corriente  $I_B$  de los *OTAs*.

### 1.2.5 Conclusiones

La metodología de diseño es accesible, comprensible y confiable. Dada su simplicidad es posible semi-automatizarla con el uso de una hoja de cálculo y el simulador (*ADE*) de *Virtuoso*.

Paso por paso se construye el filtro activo y se tienen diversos momentos en los que se puede corroborar el avance que se tiene con un resultado parcial, para que en caso de algún error, pueda corregirse antes de pasar a la siguiente fase. En cada momento es palpable la importancia que tiene una adecuada comprensión de los aspectos teóricos y cómo se traducen éstos en aspectos prácticos de diseño.

La metodología puede aplicarse sin cambios significativos al diseño de filtros tipo Chebyshev con variaciones de 0.5 [dB] y 1 [dB] en el rizado dentro de la banda de paso, al tomar como referencia para el cálculo de los elementos pasivos que conforman el filtro, otra sección de la misma tabla proveniente del libro de **Lawrence P. Huelsman** que se empleó para el diseño de los filtros tipo Butterworth.

Por supuesto, la metodología puede extenderse y aplicarse al diseño de filtros pasa-altas, pasa-banda y rechaza-banda, ya que todos ellos parten del diseño de un filtro base del tipo pasa-bajas.

Si se reúnen las metodologías de diseño de amplificadores diferenciales (vista como primer proyecto de este reporte) y la de diseño de filtros, se tienen dos herramientas muy útiles para mostrar a los estudiantes como pasar de las descripciones del comportamiento de los dispositivos y sistemas a su realización.

### **1.3. Diseño de convertidores digitales-analógicos totalmente diferenciales de bajo y ultra-bajo voltaje con operación en modo de carga**

Este proyecto fue la entrega final de la asignatura Tópicos Avanzados de Diseño de Circuitos Integrados Analógicos impartido en el verano de 2017 por el profesor **Dr. Jaime Ramírez Angulo**, profesor invitado del ITESO, **Klipsch Distinguished Professor** y **Director of the Mixed-Signal VLSI Lab** en la **Klipsch School of Electrical and Computer Engineering** en la **New Mexico State University**.

#### **1.3.1 Introducción**

Este proyecto trata sobre el diseño de convertidores digitales-analógicos, *DAC* (siglas de *Digital-to-Analog Converter* que es su nombre en inglés), de baja y ultra baja potencia, con potencial uso en aplicaciones biomédicas como parte de un circuito más complejo de control, en especial en dispositivos médicos implantables activos, tales como: marcapasos, desfibriladores, neuro-estimuladores para inhibir el dolor, sistemas implantables para la dosificación automática de medicamentos o implantes cocleares. En todos estos casos, la duración de la batería es de tal

importancia que de hecho se trata del elemento que en realidad determina la durabilidad, por varios años, de cualquiera de los sistemas implantables antes mencionados.

La conversión analógica-digital y la digital-analógica son el corazón mismo de los más modernos sistemas de procesamiento de señales. La circuitería digital, constituida por circuitos integrados cada vez más sofisticados que alcanzan mayores velocidades de operación, realiza gran parte de la compleja manipulación de los datos adquiridos de las señales analógicas, es decir, un mayor número cada vez mayor de funciones de procesamiento de señales se realiza hoy en día en el dominio digital.

Esta tendencia tiene diversas motivaciones, entre ellas: los circuitos digitales son mucho menos caros de diseñar, probar y fabricar que sus contrapartes analógicas; muchas operaciones de procesamiento de señales se realizan de forma más sencilla en el dominio digital; las implementaciones digitales ofrecen flexibilidad mediante la programación; y la circuitería digital exhibe un rango dinámico superior por lo que se conserva mayor fidelidad en la señal.

Dada la miniaturización que las aplicaciones actuales exigen, se ha desarrollado de forma notable la colocación en un mismo chip de los circuitos digitales y analógicos para aumentar la escala de integración, reducir la complejidad del diseño fuera del chip y minimizar significativamente las perturbaciones inducidas al circuito a causa de las interconexiones externas. Esta escala de miniaturización e integración de los circuitos digitales y analógicos ha llevado aparejado un decremento del voltaje de alimentación y ahorro en el consumo de energía. Sin embargo, desde la perspectiva analógica, el diseño de circuitos de alta eficiencia se vuelve más complicado debido a la reducción del rango de voltajes con los que se puede trabajar; por lo que el diseño actual de circuitos analógicos se enfoca en su operación a bajos y muy bajos voltajes.

### **1.3.2 Antecedentes**

Los *DAC* reconstruyen señales analógicas a partir de formas de onda generadas arbitrariamente por circuitos digitales. La fidelidad de la reconstrucción es una medida de la calidad del convertidor. Es común el uso de componentes perfectamente ajustados e igualados entre sí (resistores, capacitores o transistores) es una técnica frecuente para convertir directamente un número digital en una señal analógica cuantizada. Sin embargo, la limitada precisión con que los

componentes pueden ajustarse e igualarse, permite una resolución máxima de entre 10 y 12 bits; en cuyo caso, el convertidor aún cumple con la característica de linealidad (véase [8, p. 205]).

Un *DAC* produce una salida analógica  $A$  que es proporcional a la entrada digital  $D$ :

$$A = \alpha D \quad (1-12)$$

Donde  $\alpha$  es el factor de proporcionalidad. Dado que  $D$  es una cantidad adimensional,  $\alpha$  determina tanto las unidades como el factor de escala de  $A$ , y en algunos casos es más práctico normalizar  $D$  con respecto a su valor a su valor total de escala,  $2^m$ , donde  $m$  es la resolución del convertidor. Por ejemplo, si  $\alpha$  expresa una cierta cantidad de voltaje llamada  $V_{REF}$ , entonces:

$$A = V_{REF} \frac{D}{2^m} \quad (1-13)$$

La conversión digital-analógica puede verse como una multiplicación o división de un cierto valor de referencia, dónde la referencia puede ser una de tres cantidades eléctricas: voltaje, corriente y carga. La precisión de esta función determina la linealidad del *DAC*, mientras que la velocidad a la cual cada múltiplo o fracción de la referencia puede seleccionarse y transferirse a la salida indica la tasa de conversión del *DAC* [9, pp. 45-46].

La entrada digital a un *DAC* puede tener cualquier formato predefinido pero debe, eventualmente tener una forma fácilmente convertible a un valor analógico. Son formatos comunes: binario simple, termómetro y 1 de  $n$ .

Los códigos termómetro y 1 de  $n$  son mucho más compactos que el código binario simple y por ello son esenciales en el diseño de los convertidores digitales-analógicos y analógicos-digitales.

Existen diversos tipos de convertidores digitales-analógicos, tales como: de conteo por modulación de ancho de pulso (véase [10, p. 167]), divisor kelvin (véase [10, pp. 149-150]), completamente codificado como termómetro (véase [10, pp. 151-152]), ponderado de forma binaria, de escalera R-2R (véase [10, pp. 155-159]), de aproximaciones sucesivas o cíclicos seriales (véase [10, pp. 167-169]), por sobremuestreo e interpolación, segmentado (véase [10, pp. 159-163]) e intencionalmente no lineales (véase [10, pp. 164-166]). Para el presente proyecto se utilizó un convertidor **ponderado de forma binaria** que opera en **modo de carga**; dentro de los convertidores digitales-analógicos se cuenta con diversos modos de operación: modo de voltaje, modo de corriente y modo de carga.

La mayor objeción a los convertidores digitales-analógicos que operan en modo de carga es que el uso de capacitores puede conllevar la presencia de corrientes de fuga que a su vez provocarán que el convertidor pierda su precisión luego de unos pocos milisegundos. Esto hace al convertidor digital-analógico capacitivo adecuado para trabajar con convertidores analógico-digitales (*ADC* por las siglas de su nombre en inglés *Analog-to-Digital Converter*) de aproximaciones sucesivas, dado que la conversión se completa en unos cuantos microsegundos, o en mucho menos, antes de que pérdida por la presencia de corrientes de fuga tenga un efecto apreciable.

Gracias a la evolución y significativas mejoras del proceso de fabricación *CMOS*, hoy es posible disponer de *DAC* capacitivos muy pequeños, baratos y precisos. Los *DAC* capacitivos con redistribución de carga ofrecen, además, otra ventaja: en sí mismos se comportan como un circuito *sample-and-hold (SHA)*, de modo que no se requiere de un *SHA* externo ni de uso de área dentro del chip para fabricar uno integrado (véase [10, pp. 153-155]).

Algunos métricos que caracterizan a los convertidores digitales-analógicos son:

- *Differential nonlinearity (DNL)* es la desviación máxima en el tamaño del paso de salida con referencia al valor ideal de alguno de los bit menos significativo (*LSB* por sus siglas en inglés).
- *Integral nonlinearity (INL)* es la desviación máxima de la propia relación entrada/salida característica considerada a partir de la línea recta que pasa por sus puntos inicial y final. La diferencia entre la relación característica ideal y real se conoce como perfil *INL*.
- *Offset* es la intercepción con el eje vertical de la línea recta que pasa por los puntos final e inicial de la relación entrada/salida característica.
- *Gain error* es la desviación de su valor ideal (normalmente, la unidad), de la pendiente de la línea recta que pasa a través de los puntos inicial y final de la relación entrada/salida característica.
- *Settling time* es el tiempo requerido para que la salida experimente su transición completa y se asiente con una cierta banda específica de error, alrededor de su valor final.

- *Glitch impulse area* es el área máxima bajo cualquier falla extraña que aparezca a la salida luego de que el código de entrada ha cambiado.
- *Latency* es el retardo total desde el momento en que la entrada digital cambia hasta el momento en que la salida digital se ha asentado dentro de la banda de error aceptable alrededor de su valor final. La latencia puede darse en múltiplos del periodo de la señal fundamental de reloj en el sistema si el DAC la comparte con el resto de la circuitería digital.
- *Signal to noise + distortion ratio (SNDR)* es la razón de la potencia de la señal con respecto al ruido total y la distorsión armónica presentes en la salida cuando la entrada es una señal de tipo senoide digital.

El desempeño de los *DAC* está limitado por sus características de *DNL* e *INL*. Estos parámetros son usualmente determinados por la precisión de la división o multiplicación de la referencia (discrepancias en los valores de resistencia y capacitancia entre los componentes del convertidor). El denominado desempeño estático es descrito frecuentemente mediante mediciones de las no-linealidades diferenciales e integrales, es decir, *DNL* e *INL* y limita la precisión a baja velocidad.

*Settling time* y *delay* están en función de la carga a la salida y la velocidad de conmutación del circuito y *glitch impulse* depende de la arquitectura y diseño del convertidor digital-analógico [9, pp. 48-49].

Otro tipo de errores presentes en los *DAC* y que son importantes conforme se incrementan las frecuencias de las señales y las frecuencias de muestreo, con los errores dinámicos. Para el presente proyecto, dado que las frecuencias de las señales se mantendrán en el orden de unos pocos kilohertz y las frecuencias de muestreo seguirán el teorema de Nyquist (al menos el doble de la frecuencia fundamental de la señal), los errores dinámicos no serán considerados.

Una resolución adecuada para un *DAC* dedicado a este tipo de aplicaciones puede ir desde los 6 y hasta los 12 bits. El ancho de banda requerido puede ser de unos cuantos cientos de kilohertz hasta decenas de megahertz; el consumo debe mantenerse en el orden de unos pocos microwatts y la fuente de voltaje típicamente puede proporcionar un volt de alimentación.

### 1.3.3 Solución desarrollada

Se presenta un par de convertidores digitales-analógicos con una arquitectura mejorada para operar a bajo y muy bajo voltaje basado en un arreglo de capacitores convencional. La mejora se ubica en el amplificador operacional, el cual incorpora, para funcionar adecuadamente con bajos y muy bajos voltajes, un capacitor que alimenta directamente una tensión de unos cuantos milivolts a las compuertas de los transistores de entrada *NMOS* del par diferencial para garantizar su operación en saturación.

Las especificaciones para los diseños de los convertidores digitales-analógicos *fully differential* de bajo voltaje, que operan en modo de carga utilizando capacitores con valores  $C$ ,  $2C$ ,  $4C$ ,  $8C$ ,  $16C$  y  $32C$ , y un  $C_f = 64C$ , fueron para ambos diseños: tecnología *CMOS* de 130 [nm] (IBM CMRF8SF), uso de una fuente de DC como *offset* (con valor de entre 0.5 [mV] a 2 [mV]) colocada en serie con una de las terminales de entrada del *OTA*, para el primer diseño (bajo voltaje) se hará uso de una capacitancia unitaria  $C=0.5$  [pF] y deberá cumplir, con las siguientes características eléctricas...

Especificaciones	
$V_{DD} = 0.4$ [V]	$I_{Bias} = 80$ [ $\mu$ A]
$V_{SS} = -0.4$ [V]	$f_{CLK} = 2.5 - 5$ [Mhz]
$V_{Bat} = 0.2$ [V]	$f_{b1} = f_{CLK}/2, f_{b2} = f_{CLK}/4 \dots f_{b6} = f_{CLK}/64$
$V_{Ref} = \pm 0.25$ [V]	$P_Q = 6 * I_{Bias} * (V_{DD} - V_{SS})$

Tabla 1-2 Resumen de especificaciones para el diseño del convertidor digital-analógico de bajo voltaje.

...y en el caso del segundo diseño (ultra bajo voltaje) se hará uso de una capacitancia unitaria  $C=250$  [fF] y deberá cumplir, con las siguientes características eléctricas...

Especificaciones	
$V_{DD} = 0.25$ [V]	$I_{Bias} = 1.5$ [ $\mu$ A]
$V_{SS} = -0.25$ [V]	$f_{CLK} = 1$ [Mhz]
$V_{Bat} = 0.2$ [V]	$f_{b1} = f_{CLK}/2, f_{b2} = f_{CLK}/4 \dots f_{b6} = f_{CLK}/64$
$V_{Ref} = \pm 0.2$ [V]	$P_Q = 600$ [nW]

Tabla 1-3 Resumen de especificaciones para el diseño del convertidor digital-analógico de ultra bajo voltaje.

La primera decisión importante fue definir que arquitectura se emplearía en el diseño de los *Amplificadores Operacionales de Transconductancia* que cumplen las funciones de buffer en los convertidores digitales-analógicos.

Luego de revisar las especificaciones y los distintos amplificadores caracterizados en la primera parte del plan temático de la asignatura, se decidió utilizar in Amplificador *Free Class AB Fully Differential* con compensación *Miller*. Se hicieron los ajustes necesarios para lograr una ganancia de 45 [dB] y un GBW igual o superior a 50 [Mhz] en el primer diseño y una ganancia de 25 [dB] y un GBW igual o superior a 1 [Mhz] en el segundo diseño. Por supuesto, también se diseñaron los circuitos correspondientes a la red de realimentación de modo común y el espejo de corriente que proporciona la corriente de *bias*.

Se decidió que la resolución de los convertidores digitales-analógicos fuera de 6 bits y, por lo tanto, para el caso del primer diseño, el valor más alto de capacitancia sería de 16 [pF] a partir de una capacitancia unitaria de 500 [fF], esto significa que la capacitancia del bit menos significativo será justamente de 500 [fF]. Y para el caso del segundo diseño el valor más alto de capacitancia sería de 8 [pF] a partir de una capacitancia unitaria de 250 [fF].

Como se mencionó, en ambas entradas del *OTA* fueron colocadas en modo flotante en serie con ambas entradas de la red de realimentación de modo común, un par de fuentes de DC llamadas  $C_{Bat}$  que garantizan la operación en saturación del par diferencial aún bajo condiciones de bajo voltaje de alimentación eléctrica del convertidor (estas fuentes de DC se sustituyen en el diseño final por capacitores).

#### 1.3.4 Análisis de resultados

A continuación se muestra el diagrama del diseño para el *OTA tipo Miller* que se empleó en el convertidor digital-analógico de bajo voltaje. Fue capturado en el *Schematic Editor* de *Virtuoso*.

Con el diseño mostrado para el *OTA tipo Miller* en la *Fig. 1-6*, se logró una ganancia de 47.25 [dB], un ancho de banda de 258.32 [kHz], un UGF de 56.18 [Mhz] (véase *Fig. 1-7*) y un margen de fase de 86° (véase *Fig. 1-8*).



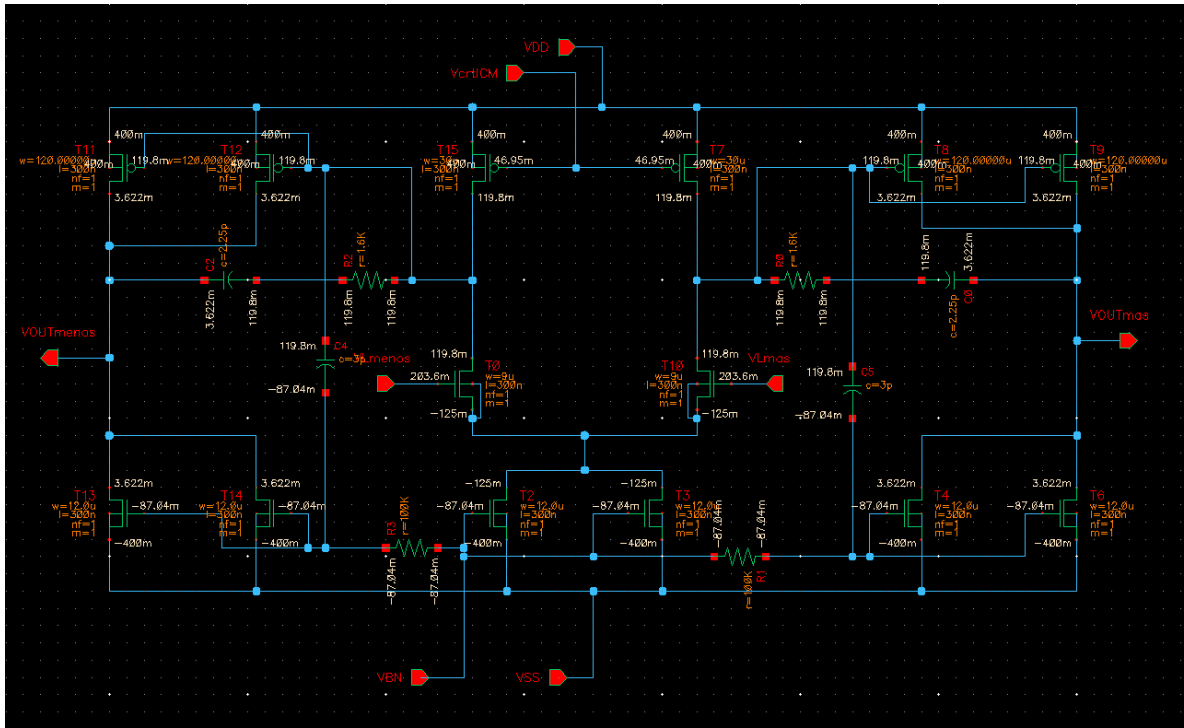


Fig. 1-6 Diseño del *OTA* tipo Miller empleado en el convertidor digital-analógico de bajo voltaje.

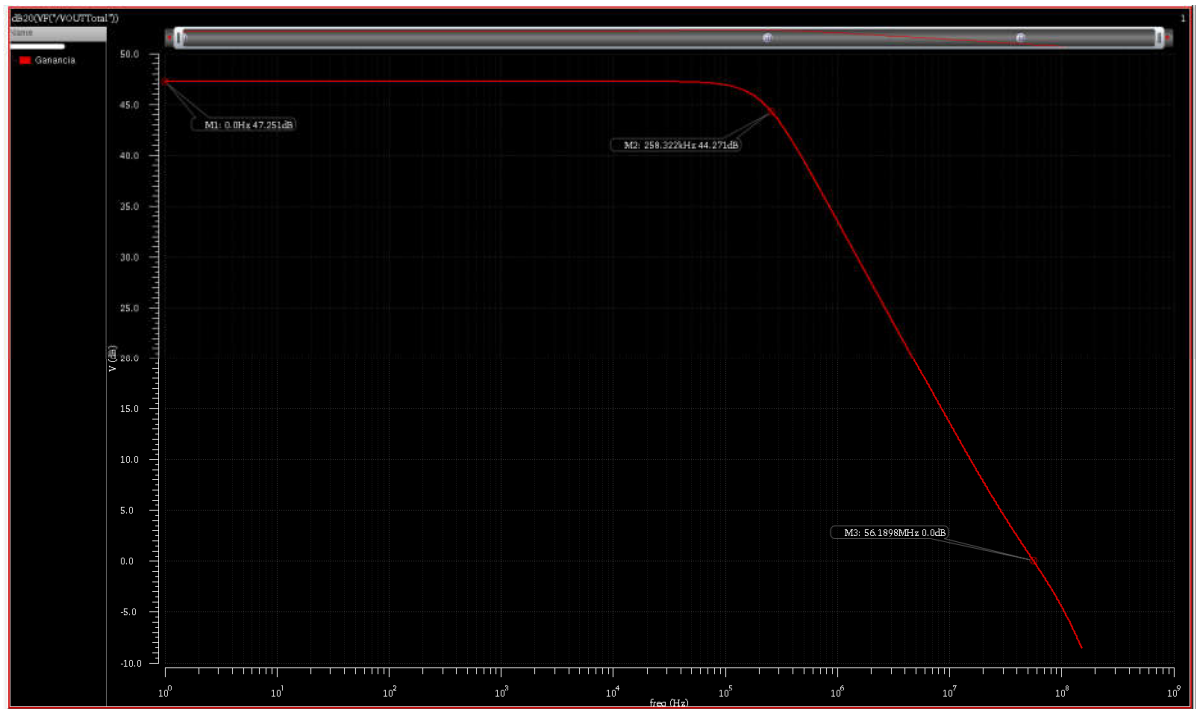


Fig. 1-7 Gráfica de ganancia del *OTA* tipo Miller empleado en el convertidor digital-analógico de bajo voltaje.

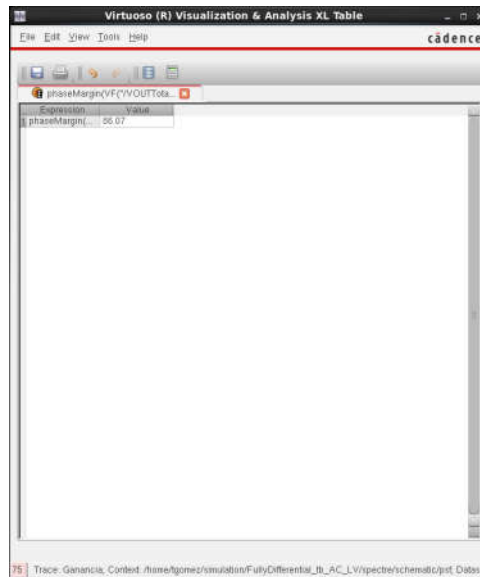


Fig. 1-8 Margen de fase del *OTA tipo Miller* empleado en el convertidor digital-analógico de bajo consumo de potencia.

La simulación se hizo empleando el *Analog Design Environment (ADE)* de *Cadence*. El resumen de las características del *OTA* para el *DAC* de bajo voltaje es el siguiente:

Característica del amplificador	Valor
$I_{Bias}$	80 [ $\mu A$ ]
$C_L$	5 [pF]
AOL-DC	47.251 [dB]
$f_p$ -Dominante	258.322 [khz]
Ancho de Banda	258.322 [khz]
GBW	59.5266 [Mhz]
Unity Gain Frequency	56.1898 [Mhz]
Phase Margin	86.07°
Slew Rate (Rise)	32.0539 [V/ $\mu s$ ]
Slew Rate (Fall)	38.8704 [V/ $\mu s$ ]

Tabla 1-4 Resumen de características del *OTA tipo Miller* empleado en el convertidor digital-analógico de bajo voltaje.

El *OTA* antes descrito, excede las especificaciones marcadas, y por ello se utilizó para crear el convertidor digital-analógico completamente diferencial, de bajo voltaje y 6 bits de resolución definido al principio del proyecto. Las características resultantes del *DAC* se resumen en la tabla siguiente:

<b>DAC Charge Mode Fully Differential</b>	
<b>Parámetro</b>	<b>Valor</b>
$V_{ref}$	De -0.25 a 0.25 [V]
$V_{LSB} = \frac{V_{ref}}{2^N}$	0.0078125 [V]
Error de offset en $V_{LSB}$	0.667264
Error de ganancia en $V_{LSB}$	-0.499264
Mayor error en [V]	0.005213
Precisión absoluta (bits)	6.58367
Máxima magnitud entre DNL	1.057525
Máxima magnitud entre DNL en [V]	0.008262
Precisión relativa (bits)	5.919308

Tabla 1-5 Resumen de características del *DAC fully differential* de bajo voltaje.

Características que corresponden a un *DAC* de buena calidad capaz de operar a bajo voltaje.

Por otra parte, el diseño del *OTA tipo Miller* que se empleó en el convertidor digital-analógico de ultra bajo voltaje se muestra en la *Fig. 1-10* (fue capturado empleando *Virtuoso Schematic Editor*):

Con este diseño se logró una ganancia de 28.46 [dB], un ancho de banda de 57.57 [kHz], un UGF de 1.21 [Mhz] (véase *Fig. 1-9*) y un margen de fase de 72.87° (véase ).

La simulación del *OTA* se realizó con el *Analog Design Environment (ADE)* de *Virtuoso*, y el resumen de características del *OTA* para el *DAC* de ultra bajo voltaje es el siguiente:

<b>Característica del amplificador</b>	<b>Valor</b>
$I_{Bias}$	1.5 [μA]
$C_L$	5 [pF]
AOL-DC	28.4579 [dB]
$f_{p-Dominante}$	57.57 [kHz]
Ancho de Banda	57.57 [kHz]
GBW	1.524 [Mhz]
Unity Gain Frequency	1.21 [Mhz]
Phase Margin	72.87°
Slew Rate (Rise)	0.4533 [V/μs]
Slew Rate (Fall)	0.5819 [V/μs]

Tabla 1-6 Resumen de características del *OTA tipo Miller* empleado en el convertidor digital-analógico de ultra bajo voltaje.

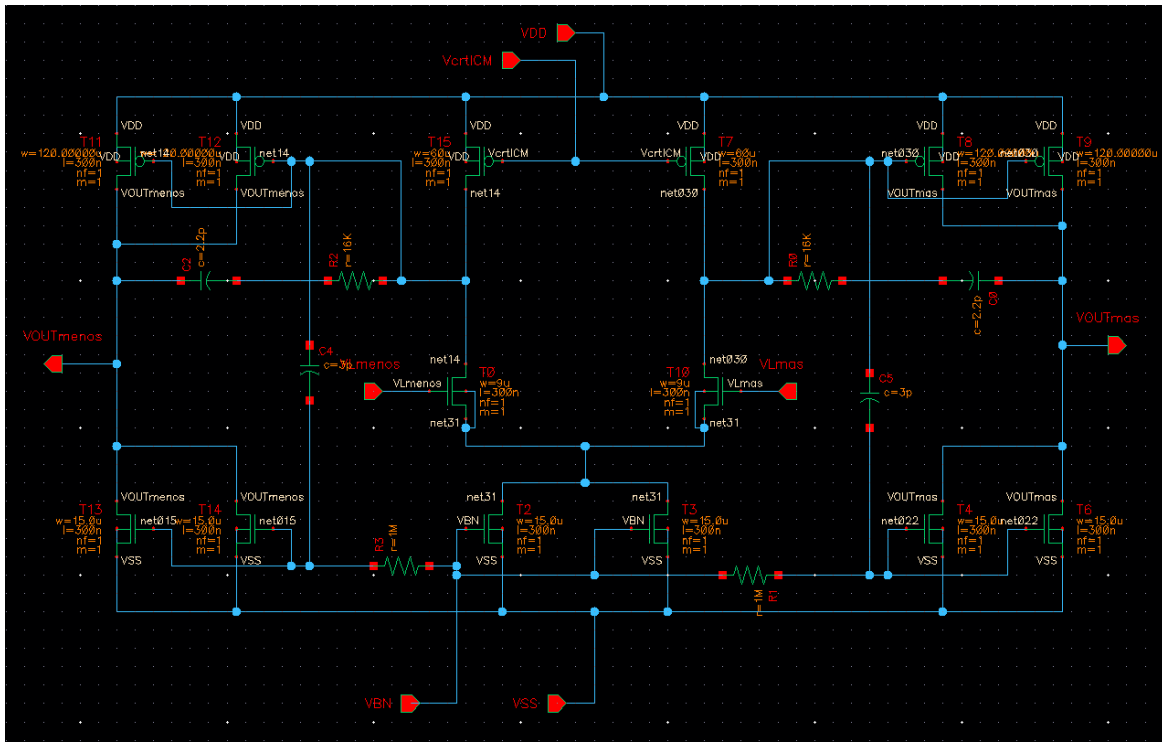


Fig. 1-10 Diseño del *OTA* tipo Miller empleado en el convertidor digital-analógico de ultra bajo voltaje.

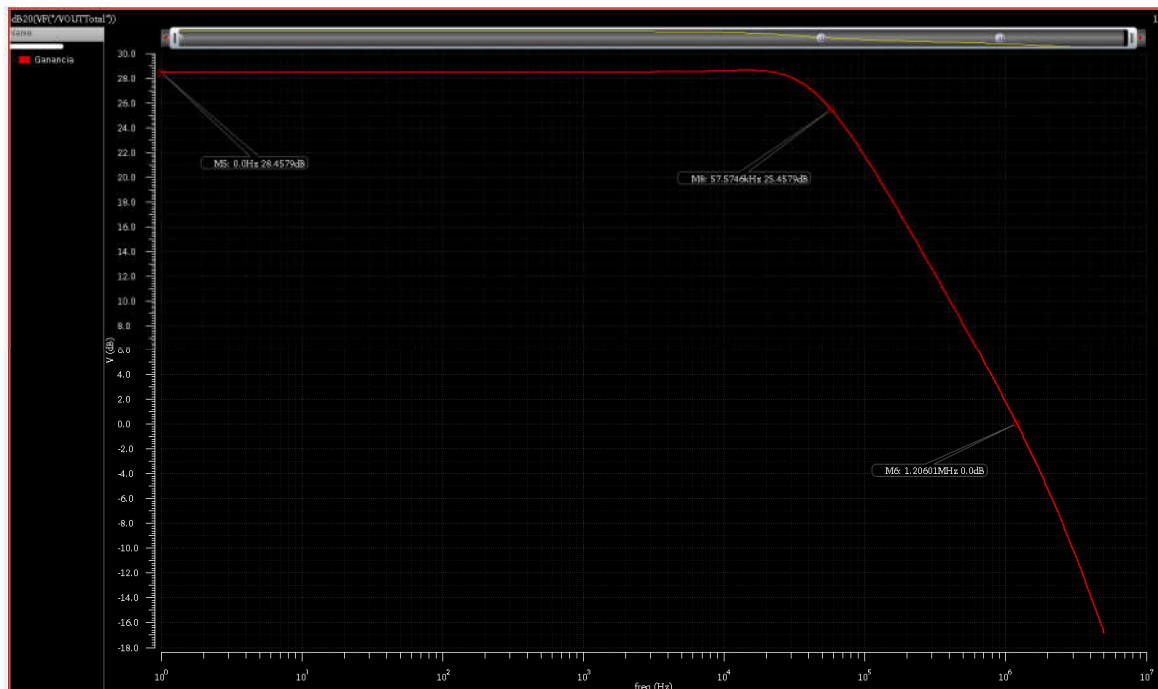


Fig. 1-9 Gráfica de ganancia del *OTA* tipo Miller empleado en el convertidor digital-analógico de ultra bajo voltaje.

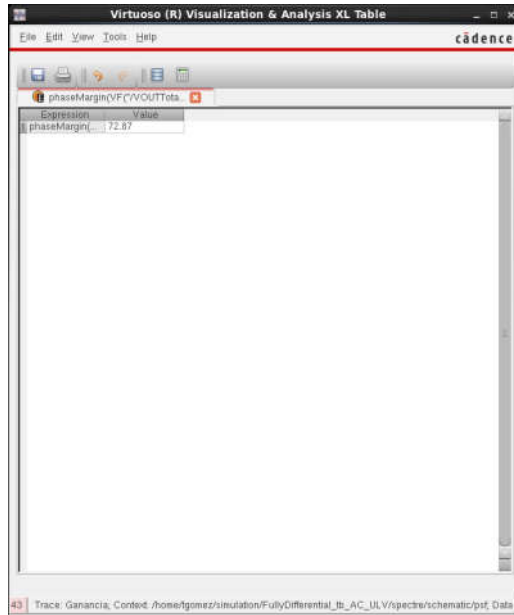


Fig. 1-11 Margen de fase del *OTA* tipo *Miller* empleado en el convertidor digital-analógico de ultra bajo consumo de potencia.

Estas características exceden las especificaciones marcadas y debido a ello se empleó este diseño para crear el convertidor digital-analógico completamente diferencial, de ultra bajo voltaje, con 6 bits de resolución y un voltaje de referencia de entre -0.2 [V] y 0.2 [V]. Las características resultantes del *DAC* se resumen en la tabla siguiente:

DAC Charge Mode Fully Differential	
Parámetro	Valor
$V_{ref}$	De -0.2 a 0.2 [V]
$V_{LSB} = \frac{V_{ref}}{2^N}$	0.00625 [V]
Error de offset en $V_{LSB}$	0.33216
Error de ganancia en $V_{LSB}$	-0.93216
Mayor error en [V]	0.0038
Precisión absoluta (bits)	6.717857
Máxima magnitud entre DNL	1.02279619
Máxima magnitud entre DNL en [V]	0.006392476
Precisión relativa (bits)	5.967481308

Tabla 1-7 Resumen de características del *DAC fully differential* de ultra bajo voltaje.

Características que corresponden a un DAC de buena calidad capaz de operar a ultra bajo voltaje.

### 1.3.5 Conclusiones

Se logró el objetivo de diseñar un par de convertidores digitales-analógicos de bajo y ultra bajo voltaje con características de conversión muy buenas. El aporte innovador de ambos diseños: la inclusión de capacitores para alimentar directamente las compuertas de los transistores *NMOS* del par diferencial que son la base del *OTA tipo Miller* empleado, resultó ser una magnífica solución para garantizar la operación de los transistores en saturación, a pesar de los bajos voltajes de alimentación a los que está limitado el circuito.

El convertidor digital-analógico de bajo voltaje, con una alimentación diferencial de apenas 0.8 [V], mostró un muy buen comportamiento de acuerdo con los resultados de las simulaciones desarrolladas en el *Analog Design Environment* de *Virtuoso*. El error de offset fue de  $0.67 V_{LSB}$ , lo que equivale a 5.2 [mV]. El error de ganancia fue de  $-0.5 V_{LSB}$ , lo que equivale a 3.9 [mV]. Y la precisión relativa fue de 5.92 bits. Esto significa que pierde el último nivel de voltaje de los 64 en que se divide el voltaje de referencia que va de -0.25 a 0.25 [V] y que en el peor de los casos su error de precisión se da al confundir alguno de los niveles de voltaje pertenecientes a la segunda mitad de la escala con el nivel inmediato anterior.

En cuanto al convertidor digital-analógico de ultra bajo voltaje, con una alimentación diferencial de apenas 0.5 [V] (de -0.25 a 0.25 [V]), también mostró un muy buen funcionamiento. De acuerdo con los resultados de las simulaciones: el error de offset fue de apenas  $0.33 V_{LSB}$  (lo que equivale a 2.1 [mV]), el error de ganancia fue de  $-0.93 V_{LSB}$  (lo que equivale a -5.8 [mV]) y su precisión relativa fue de 5.97 bits. Esto significa que no pierde prácticamente ninguno de los 64 niveles de voltaje en los que se divide el voltaje de referencia que va de -0.2 a 0.2 [V] y que en el peor de los casos su error de precisión se presenta al confundir alguno de los niveles de voltaje (sobre todo en la segunda mitad de la escala) con su inmediato inferior.

Con este proyecto se cubrieron varios objetivos académicos importante, entre ellos: comprender el funcionamiento de los convertidores digitales-analógicos y las ventajas y desventajas de cada una de las arquitecturas clásicas utilizadas para su implantación, aprovechar los conocimientos sobre diseño de *Amplificadores Operacionales de Transconductancia (OTA)* para diseñar uno que funcionara bien como elemento central de un sistema (híbrido en este caso) complejo y fuertemente restringido, ampliar y reforzar los conocimientos sobre el uso de la herramienta computacional de diseño y simulación (*Virtuoso*), y sobre todo, remarcar el hecho de

que cuando se diseña un sistema que debe operar bajo fuertes restricciones, incluyendo algunas que contravienen los límites conocidos de funcionamiento, la alternativa más efectiva para que el diseñador resuelva el problema, es volver a los conocimientos básicos. Es decir, cuando se diseña siempre debe empezarse con lápiz y papel, para luego utilizar las herramientas computacionales de diseño y simulación.

## 2. Conclusiones generales

Los tres proyectos presentados cumplieron con sus objetivos. Sus aportaciones principales son:

- Presentar de forma unificada y ejemplificada una metodología de diseño para *Amplificadores Operacionales de Transconductancia (OTA)* de una sola etapa, que lleva al estudiante desde las especificaciones generales hasta el adecuado dimensionamiento de los transistores del par diferencial que es la base del *OTA*. Se aplicó de forma exitosa al diseño de un *OTA* que cumpliera con las especificaciones de PCI gen II y fue exitosa.
- Presentar de forma unificada y ejemplificada una metodología de diseño *end to end* para filtros activos pasa-bajas tipo Butterworth mediante el uso de *OTAs tipo Miller* y capacitores. Se aplicó con propósitos ilustrativos, y con éxito, al diseño de una serie de filtros con un ancho de banda de unos cuantos mega-hertz y se comprobó con simulaciones el hecho de que mediante el control de  $I_{Bias}$ , que tiene impacto en la  $g_m$  del *OTA*, se puede controlar (escalar) el ancho de banda del filtro y tener así un filtro multi-banda configurable.
- Presentar una técnica para el diseño de amplificadores de bajo y ultra bajo voltaje que pueden aprovecharse para desarrollar sistemas híbridos, en este caso convertidores digitales-analógicos confiables, que a su vez tienen amplias posibilidades de aplicación en el sector de los dispositivos médicos implantables en los cuáles la duración de la batería, que alimenta al sistema, es uno de los factores críticos más importantes.

Académica y profesionalmente resulta relevante que los tres proyectos fueran desarrollados empleando:

- *Virtuoso de Cadence* que es una de las herramientas más populares y robustas para el diseño de circuitos integrados analógicos y digitales en la industria de los semiconductores.
- Y un *PDK* correspondiente a un proceso de 130 nanómetros definido por IBM, el cual gracias a los convenios que el **ITESO** ha establecido y mantenido con la



empresa *MOSIS* está al alcance para enviar a fabricar diseños y prototipos como los aquí presentados.

Finalmente, la **Maestría en Diseño Electrónico** del ITESO cubre una imperiosa necesidad a nivel regional de preparar un número cada vez mayor de maestros en diseño electrónico con tres propósitos generales:

- Contribuir a la consolidación del polo de desarrollo de la industria electrónica, de las telecomunicaciones y del sector automotriz que se ha ido construyendo en la Zona Metropolitana de Guadalajara y que demanda de forma constante recursos humanos calificados como elemento clave para recibir mayores flujos e iniciativas de inversión.
- Incubar una masa crítica de talento que abra camino tanto en el campo de la investigación científica y el desarrollo de tecnología nacionales (generación de conocimiento), como en la creación de empresas *spin-off* cuyo principal componente sea la aplicación de ese conocimiento nuevo para producir servicios y productos comercializables y competitivos a nivel internacional, que impulsen a la región y al país más allá de la simple manufactura.
- Brindar a sus egresados la oportunidad de adquirir los conocimientos y habilidades necesarios para incorporarse al mercado laboral de forma inmediata y exitosa, gracias al alto nivel de su planta docente, la pertinencia y actualidad de su plan de estudios, la disposición de la infraestructura y herramientas necesarias y sus mecanismos de vinculación con el sector productivo y social.



### **3. Apéndices**



## A. METODOLOGÍA PARA EL DISEÑO DE AMPLIFICADORES CMOS QUE CUMPLAN CON LAS ESPECIFICACIONES DE UNA INTERFAZ PCI EXPRESS GEN II

### 1. Antecedentes.

Existen muchos tipos de amplificadores, lo cuáles pueden clasificarse de acuerdo con el tipo de amplificación de la señal, la función, el tipo de acoplamiento entre etapas, el rango de frecuencia, y el tipo de carga [véase [11, pp. 15-16]]:

1. Un amplificador de voltaje produce una salida amplificada de voltaje en respuesta a una señal de voltaje de entrada.
2. Un amplificador de transconductancia produce una salida amplificada de corriente en respuesta a una señal de voltaje de entrada.
3. Un amplificador de corriente produce una salida amplificada de corriente en respuesta a una señal de corriente de entrada.
4. Un amplificador de impedancia produce una salida amplificada de voltaje en respuesta a una señal de corriente de entrada.
5. Un amplificador de potencia produce una salida amplificada de voltaje y entrega potencia a una carga de baja resistencia en respuesta a una señal de voltaje de entrada.

Por lo tanto, un amplificador que recibe una señal de voltaje como entrada y produce una señal de corriente como salida es llamado amplificador de transconductancia; un ejemplo se muestra en la *Fig. 3-1*. Puede representarse por una fuente de corriente controlada por voltaje (VCCS), como la mostrada en a figura *Fig. 3-2*. El amplificador está conectado entre la fuente de voltaje  $v_s$  y la resistencia de carga  $R_L$ . El parámetro de ganancia  $g_{ms}$ , el cual es la razón de la corriente de salida de corto circuito respecto del voltaje de entrada, es llamado transconductancia de corto-circuito (véase [11, pp. 55-56]). De la regla de un divisor de voltaje, la corriente de salida  $i_o$  es:

$$i_o = g_{ms} v_i \frac{R_o}{R_o + R_L} \quad (3-1)$$

El voltaje de entrada  $v_i$  del amplificador está relacionado con la fuente de voltaje  $v_s$  por:

$$v_i = \frac{R_i}{R_i + R_s} v_s \quad (3-2)$$

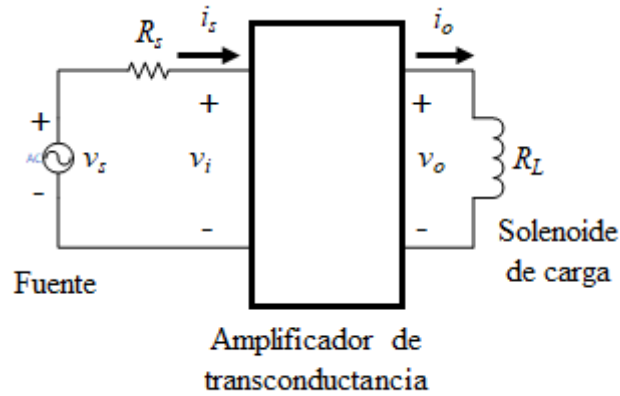


Fig. 3-1 Amplificador de transconductancia

Sustituyendo  $v_i$  de la ecuación (3-2) en la ecuación (3-1) se obtiene la ganancia efectiva de transconductancia  $g_m$ :

$$g_m = \frac{i_o}{v_s} = \frac{g_{ms} R_o R_i}{(R_o + R_L)(R_i + R_s)} = \frac{g_{ms}}{\left(1 + \frac{R_L}{R_o}\right) \left(1 + \frac{R_s}{R_i}\right)} \quad (3-3)$$

La ganancia efectiva de voltaje  $A_v$  puede calcularse

$$A_v = \frac{v_o}{v_s} = \frac{i_o R_L}{v_s} = \frac{v_o}{v_i} \times \frac{v_i}{v_s} = \frac{g_{ms} R_o R_L R_i}{(R_o + R_L)(R_i + R_s)} = \frac{g_{ms} R_L}{\left(1 + \frac{R_L}{R_o}\right) \left(1 + \frac{R_s}{R_i}\right)} \quad (3-4)$$

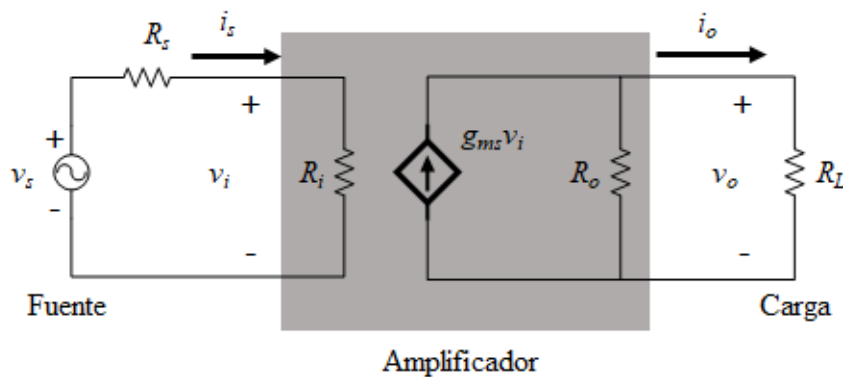


Fig. 3-2 Modo de transconductancia.

Nótese de la ecuación (3-3) que la resistencia de la fuente  $R_s$  y la resistencia de la carga  $R_L$  reducen la ganancia efectiva de transconductancia  $g_m$ . Un amplificador de transconductancia debe tener una alta resistencia de entrada  $R_i$  tal que  $R_i \gg R_s$  y una muy alta resistencia de salida  $R_o$  tal que  $R_o \gg R_L$ . Por lo tanto, un amplificador de transconductancia tiene  $R_o \rightarrow \infty$  y  $R_i \rightarrow \infty$  de modo tal que no hay reducción en la ganancia de voltaje. Si  $g_m = g_{ms}$  la ecuación (3-3) se transforma en:

$$i_o = g_{ms}v_s \quad (3-5)$$

La implementación de una VCCS puede iniciar con una entrada diferencial, como se muestra en la figura *Fig. 3-3*. Dado que la resistencia de salida de un amplificador diferencial es razonablemente alta, una sola etapa diferencial debería ser adecuada. Si se requiere mayor ganancia, de cualquier modo, una segunda etapa puede agregarse.

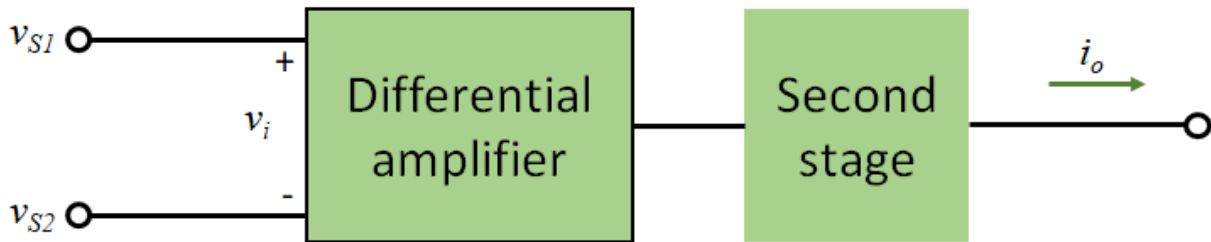


Fig. 3-3 Posible implantación de un amplificador de transconductancia.

La mayoría de los amplificadores integrados tienen una entrada diferencial. Para lograr manejar esta entrada, casi todos los amplificadores usan lo que comúnmente se conoce como un par diferencial. En la *Fig. 3-4* se muestra un par diferencial junto con una fuente de corriente de bias.

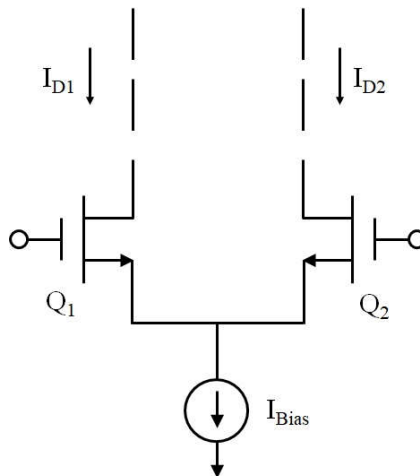


Fig. 3-4 Par diferencial y fuente de corriente de bias.

Los transistores  $Q_1$  y  $Q_2$  tienen idénticas dimensiones y son polarizados con el mismo voltaje de DC en la terminal de compuerta.

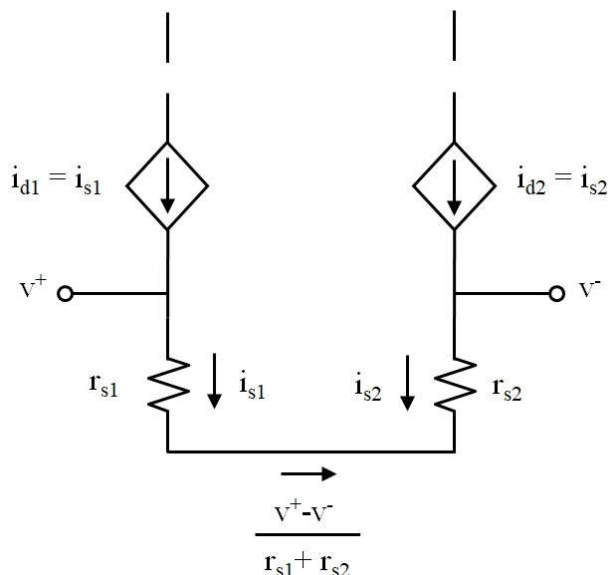


Fig. 3-5 Modelo de baja frecuencia y señal pequeña de un par diferencial.

Un modelo de baja frecuencia y señal pequeña del par diferencial se muestra en la *Fig. 3-5*. Este circuito equivalente de señal pequeña está basado en el modelo T de un transistor *MOS* tal y como es descrito en la sección 1.2 del primer capítulo del libro de Tony Carusone (véase [3, pp. 14-38]). Para simplificar el análisis, se ignora temporalmente la impedancia de salida de los transistores. Si se define el voltaje diferencial de entrada como  $V_{in} = V^+ - V^-$ , se tiene que:

$$i_{d1} = i_{s1} = \frac{V_{in}}{r_{s1} + r_{s2}} = \frac{V_{in}}{\frac{1}{g_{m1}} + \frac{1}{g_{m2}}} \quad (3-6)$$

Dado que  $Q_1$  y  $Q_2$  tienen la misma corriente de bias entonces  $g_{m1} = g_{m2}$ . Por lo tanto:

$$i_{d1} = \frac{g_{m1}}{2} V_{in} \quad (3-7)$$

Y dado que  $i_{d2} = i_{s2} = -i_{d1}$  entonces:

$$i_{d2} = -\frac{g_{m1}}{2} V_{in} \quad (3-8)$$

Finalmente, si se define la corriente diferencial de salida como  $i_{out} = i_{d1} - i_{d2}$ , se obtiene la siguiente relación:

$$i_{out} = g_{m1} V_{in} \quad (3-9)$$



Y si dos cargas resistivas  $R_L$  son conectadas entre las terminales de drenado de los transistores  $Q_1$  y  $Q_2$  y una fuente de alimentación positiva, el resultado es una salida diferencial de voltaje entre los dos nodos de drenado,  $V_{out} = (g_{m1}R_L)V_{in}$  y la etapa tendrá una ganancia diferencial de señal pequeña de  $g_{m1}R_L$  (véase [3, pp. 135-136]).

Cuando se analizan circuitos electrónicos que contienen transistores para determinar su comportamiento de señal pequeña, está implícito que las señales son lo suficientemente pequeñas de modo tal que las aproximaciones lineales alrededor de un punto de operación reflejan de forma precisa la manera en cómo el circuito opera. Estas aproximaciones lineales pueden representarse esquemáticamente reemplazando los transistores con sus modelos equivalentes de señal pequeña, cuyos parámetros ( $g_{ms}$ ,  $r_{ds}$ , etc.) están relacionados con las corrientes y tensiones del dispositivo en el punto de operación. El procedimiento general sugerido para un análisis de señal pequeña es el siguiente (véase [3, p. 117]):

- 1) Coloque todas las fuentes de señal a cero y desarrolle un análisis de punto de operación para todas las corrientes y voltajes. Las fuentes de voltaje deben colocarse a 0 [V] lo que es lo mismo que un alambre ideal (corto circuito) y las fuentes de corriente también deben colocarse a 0 [A] lo que es equivalente a un circuito abierto.
- 2) Reemplace todos los transistores con sus modelos equivalentes de señal pequeña y calcule los parámetros  $g_{ms}$ ,  $r_{ds}$ , etc. a partir de las corrientes y tensiones en el punto de operación. Para realizar los cálculos correspondientes, utilice las expresiones reunidas en la sección 1.3.3 del primer capítulo del libro de Tony Carusone [3, pp. 40-42].
- 3) Coloque todas las fuentes independientes a cero, excepto aquellas fuentes de señal que fueron colocadas a este mismo valor en primer paso del procedimiento. Esto incluye fuentes de voltaje, corrientes de bias, etcétera.
- 4) Analice los circuitos linealizados de señal pequeña resultantes para encontrar los nodos de voltaje de señal pequeña, las bifurcaciones de corriente, las resistencias de señal pequeña, etcétera.
- 5) Para obtener una solución completa, superpónganse los resultados del análisis de punto de operación obtenidos en el primer punto del procedimiento y los resultados del análisis de señal pequeña que se obtuvieron en el tercer punto del procedimiento. Recuérdese que este resultado completo es sólo una aproximación debido a que el

análisis de señal pequeña, a su vez, aproxima el comportamiento no-lineal del transistor con modelos linealizados.

## 2. Especificaciones.

Diseñe un amplificador diferencial como el mostrado en la Fig. 3-6 Fig. 3-6 Diagrama del Amplificador Operacional de Transconductancia (OTA) Diferencial., para cumplir con las especificaciones definidas en la Tabla 3-1 Especificaciones del diseño para el OTA diferencial., considere  $L = 0.24$  [ $\mu\text{m}$ ] para los transistores del par diferencial y los parámetros de proceso  $k_n$  y  $V_{Th}$  listados (estos parámetros son solamente una estimación inicial y deberán ser recalculados a partir de los resultados del simulador). Muestre todo el procedimiento de diseño y encierre sus resultados finales en un recuadro.

$V_{DD} = +1.2$ [V]	$V_{icm} = 0.7 \times V_{DD}$
$V_{SS} = 0$ [V]	$V_{ocm} = 0.7 \times V_{DD}$
$A_v = 6$ [dB]	$BW = 5$ [GHz]
$P_{Dm\acute{a}x} \leq 1$ [mW]	$C_L = 20$ [fF]
$K_n = 200$ [ $\mu\text{A}/\text{V}^2$ ]	$V_{TH} = 0.35$ [V]

Tabla 3-1 Especificaciones del diseño para el OTA diferencial.

Fig. 3-6 Diagrama del Amplificador Operacional de Transconductancia (OTA) Diferencial.

## 3. Metodología de diseño.

**Paso 1.** Cálculo de  $I_{Bm\acute{a}x}$ .

$$P_{Dm\acute{a}x} = V_{DD} I_{Bm\acute{a}x} = 1 \text{ [mW]} \quad (3-10)$$

$$\Rightarrow I_{Bm\acute{a}x} = \frac{P_{Dm\acute{a}x}}{V_{DD}} = \frac{1 \text{ [mW]}}{1.2 \text{ [V]}} = 833 \text{ [\mu A]} \quad (3-11)$$

**Paso 2.** Cálculo de  $R_L$  a partir de las especificaciones de ancho de banda y carga capacitiva.

$$BW = \frac{1}{R_L \cdot C_L} \quad (3-12)$$

$$\Rightarrow R_L = \frac{1}{BW \cdot C_L} = \frac{1}{(2\pi \times 5 \times 10^9 [Hz])(20 \times 10^{-15} [F])}$$

$$\Rightarrow R_L = 1591.55 [\Omega]$$

**Paso 3.** Cálculo de  $V_{icm}$  y  $V_{ocm}$ .

$$V_{icm} = V_{ocm} = 0.7 \times V_{DD} = 0.84 [V] \quad (3-13)$$

**Paso 4.** Cálculo de  $I_B$  a partir de las especificaciones de  $V_{ocm}$  y  $R_L$ .

$$\frac{I_B}{2} = \frac{V_{DD} - V_{ocm}}{R_L} \Rightarrow I_B = 2 \left( \frac{1.2 [V] - 0.84 [V]}{1591.55 [\Omega]} \right) = 452.39 [\mu A] \quad (3-14)$$

**Paso 5.** Cálculo de  $g_m$  a partir de la especificación de ganancia  $A_v$ .

$$A_v \cong g_m R_L \Rightarrow g_m = \frac{A_v}{R_L} = \frac{10^{\frac{6 [dB]}{20}}}{1591.55 [\Omega]} = \frac{2}{1591.55 [\Omega]} = 1.254 [m\Omega^{-1}] \quad (3-15)$$

**Paso 6.** Para calcular el valor de  $k_n$  se realiza la caracterización de la tecnología de IBM de 130 [nm]:

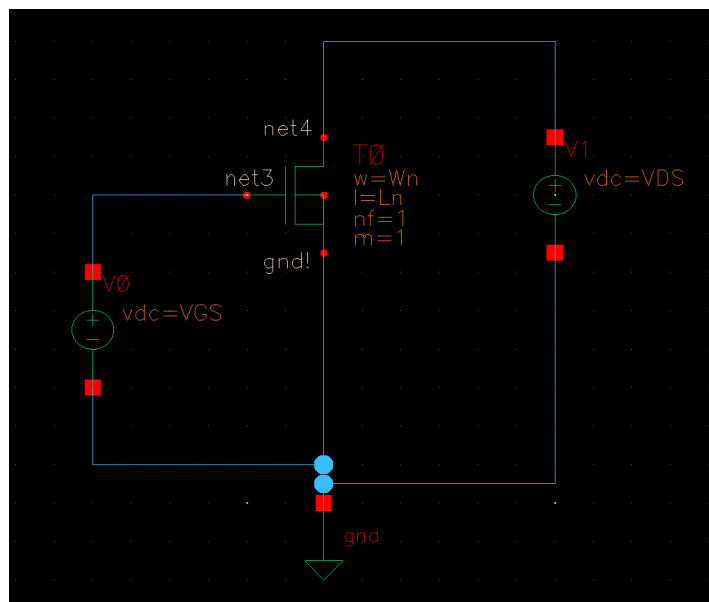


Fig. 3-7 Testbench para caracterización de la tecnología IBM de 130 [nm].

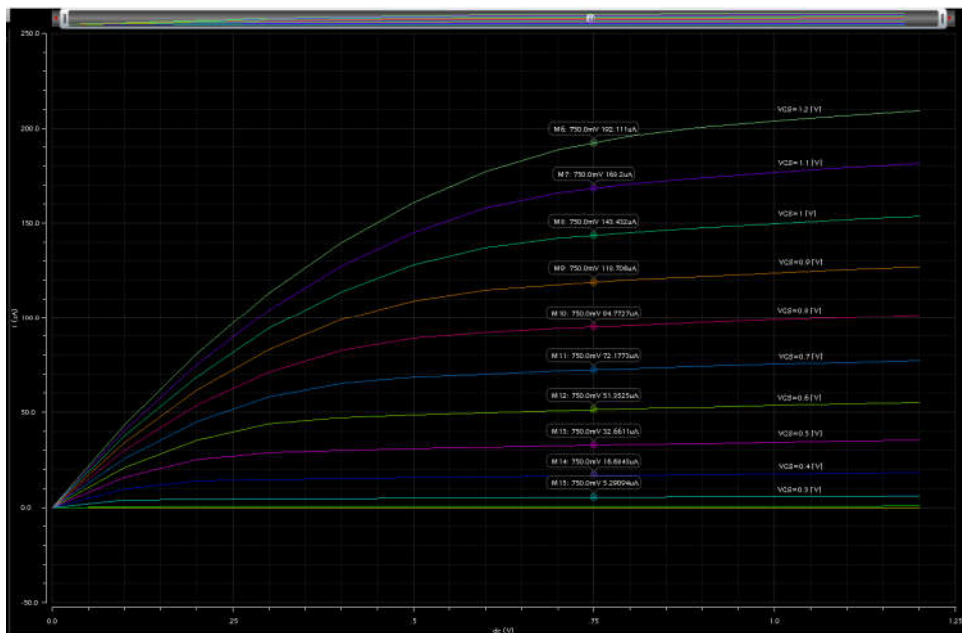


Fig. 3-8 Respuesta en DC para el transistor *NMOSFET*.

Results Display Window											
Window Expressions Info Help											
res	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")
resweep	reversed	region	qdi	qdi	qdi	qdi	qswel	qswel	qj*	qjd	qj
0	0	3	-1.536f	-17.64u	285e988	1.260f	947.7z	-0.961u	-59.36y	-891.5u	-1.536f
100u	0	3	-1.674f	-20.9u888	131.1u	1.772f	52.95u	-0.487u	-1.984z	-891.5u	-1.674f
200u	0	2	-1.858f	-822.9u	-278.9u	2.96e155	105.2u	-209.5u	-38.68z	-891.5u	-1.858f
300u	0	2	-2.071f	-1.585f	-802.9u	4.459f	157.5u	-151.3u	-297.8z	-891.3u	-2.071f
400u	0	2	-2.293f	-2.389f	-1.356f	8.037f	209.7u	-101.1u	-951.5z	-890.7u	-2.293f
500u	0	2	-2.519f	-3.211f	-1.922f	1.653f	261.8u	-59.03u	-1.872z	-890.888	-2.519f
600u	0	2	-2.745f	-4.046f	-2.502f	9.294f	313.9u	1.864u	-2.948u	-889.1u	-2.745f
700u	0	2	-2.974f	-4.89e155	-3.091f	10.96f	366e888	54.25u	-4.144u	-889.1u	-2.974f
800u	0	2	-3.199f	-5.743f	-3.692f	12.63f	418.1u	106.9u	-5.433u	-887.1u	-3.199f
900u	0	2	-3.42e155	-6.604f	-4.389f	14.33f	470.1u	129.7u	-6.773u	-886e888	-3.42e155
1	0	1	-3.629f	-7.477f	-4.955f	16.06f	522.2u	212.5u	-8.091u	-885e888	-3.629f
1.1	0	1	-3.821f	-8.367f	-5.643f	17.83f	574.3u	265.4u	-9.328u	-884e888	-3.821f
1.2	0	1	-3.987f	-9.279f	-6.389f	19.66f	626.4u	318.2u	-10.46u	-883e888	-3.987f

Results Display Window											
Info Help											
OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")
gd	q9	gbd	gbs	igcd	lgcs	lghnr	lgbacc	lgb	lgs	lgd	
285e988	1.069f	1e122	1e122	-280e444	-290.3y	-6.986e-33	-5.104e-30	-5.104e-30	-102.8y	-57.55f	
131.1u	1.772f	1e122	1e122	289.9u	293.7u	827.5e-33	18.22e-30	18.22e-30	731e988	-37.19f	
-278.9u	2.96e155	1e122	1e122	21.2e155	22.36f	1.765e-30	16.42e-30	16.42e-30	3.714f	-22.21f	
-802.9u	4.459f	1e122	1e122	75.09f	83.85f	3.095e-30	25.04e-30	25.04e-30	9.441f	-11.08f	
-1.356f	6.037f	1e122	1e122	170.9f	206e555	5.074e-30	34.28e-30	34.28e-30	18.49f	-5.102f	
-1.922f	7.653f	1e122	1e122	320.8f	415.7f	511.9e-30	548.3e-30	548.3e-30	31.6e155	-1.32e155	
-2.502f	9.294f	1e122	1e122	540.1f	746.8f	38.43e-27	38.48e-27	38.48e-27	49.65f	4.901u	
-3.091f	10.96f	1e122	1e122	850.3f	1.248p	2.481y	2.481y	2.481y	73.74f	77e888	
-3.692f	12.63f	1e122	1e122	1.287p	1.991p	148.8y	148.8y	148.8y	105.2f	2.856f	
-4.309f	14.33f	1e122	1e122	1.922p	3.094p	8.586z	8.586z	8.586z	145.7f	8.754f	
-4.955f	16.06f	1e122	1e122	2.609p	4.745p	489.6z	489.6z	489.6z	197.3f	19.1e155	
-5.643f	17.83f	1e122	1e122	4.337p	7.181p	26.77u	26.77u	26.77u	262.5f	32.65f	
-6.389f	19.66f	1e122	1e122	6.445p	10.71p	1.437f	1.437f	1.437f	344.4f	51.36f	

Results Display Window											
ms Info Help											
OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")	OP (" / 20" "??")
lgs1	lgs1d	rgbd	rseff	rdeff	gmoverid	pvr	lbulk	ld	ron	cdsba	
0	212.7e-42	0	35.49	35.49	36.62	591.8p	-755.8z	985.3p	609H	308.1u	
0	337.6e-51	0	35.49	35.49	33.21	60.21n	+6.883a	33.69n	17.81M	2.749f	
0	199.7e-51	0	35.49	35.49	25.43	392.1n	-59.52a	653.5n	918.1K	5.239f	
0	61.95e-51	0	35.49	35.49	15.49	3.018u	-22.12a	5.030u	119.2K	5.804f	
0	0	0	35.49	35.49	8.622	9.628u	-811e111	16.08u	37.25K	6.014f	
0	0	0	35.49	35.49	5.426	18.01u	-590.6z	31.63u	18.9K	6.198f	
0	0	0	35.49	35.49	3.903	29.72u	-611.4z	49.83u	11.97K	6.219f	
0	0	0	35.49	35.49	3.043	41.69u	-625.5z	70.06u	6.493K	6.267f	
0	0	0	35.49	35.49	2.465	54.52u	-638.6z	91.67u	6.46K	6.277f	
0	0	0	35.49	35.49	2.008	67.79u	-659.3z	114.5u	5.167K	6.287f	
0	0	0	35.49	35.49	1.611	80.79u	-1.147a	136.9u	4.237K	6.07e155	
0	0	0	35.49	35.49	1.294	92.92u	-87.44u	157.8u	3.731K	5.761f	
0	0	0	35.49	35.49	1.053	104u	-1.437f	177u	3.319K	5.309f	

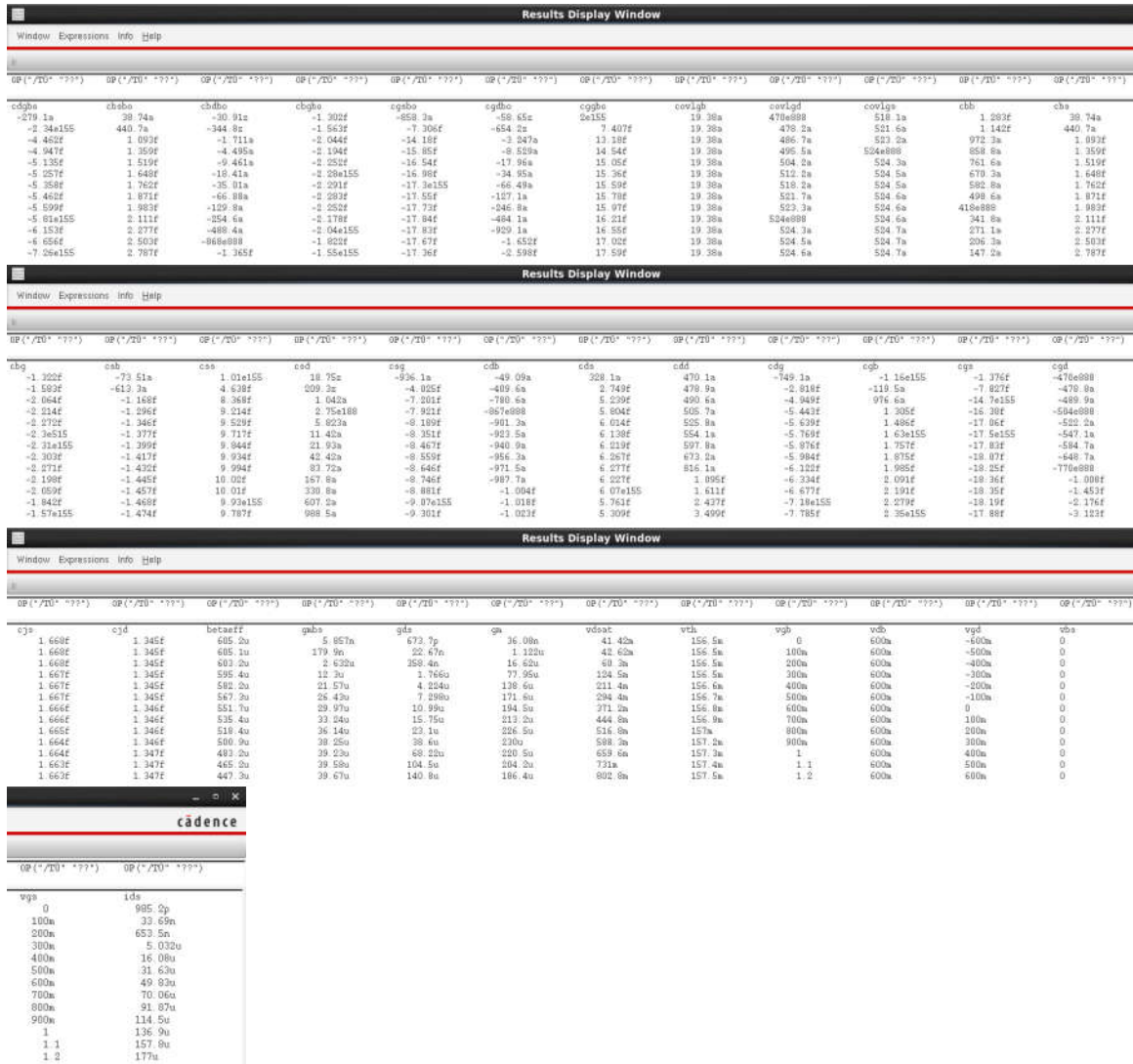


Fig. 3-9 Parámetros del punto de operación del transistor *NMOS*. Análisis multiparamétrico.

- i. Dado que  $V_{BS} = 0 [V] \Rightarrow V_{Th} = 157.2 [mV]$
- ii. Para el cálculo de  $\kappa_n$  aprovechamos la relación que existe entre ésta, la transconductancia, el ancho y largo efectivo del canal y el voltaje de saturación consignada en el libro de T. Carusone (véase, [3, p. 25]).

$$g_{m-800mA} = \kappa_n \frac{W}{L} V_{DSat-800mA} \quad (3-16)$$

$$\Rightarrow \kappa_n = \frac{g_{m-800mA}}{\frac{W}{L} V_{DSat-800mA}} = \frac{226.5 \left[ \frac{\mu A}{V} \right]}{\frac{1.6}{1.2} (516.8 [mV])} = 328.71 \left[ \mu \frac{A}{V^2} \right]$$

iii. Ahora se calcula el valor de la relación  $(W/L)$ .

$$g_m = \sqrt{2K_n I_D \left(\frac{W}{L}\right)} = \sqrt{2K_n \frac{I_B}{2} \left(\frac{W}{L}\right)} = \sqrt{K_n I_B \left(\frac{W}{L}\right)} \Rightarrow g_m^2 = k_n I_B \left(\frac{W}{L}\right) \quad (3-17)$$

$$\Rightarrow \left(\frac{W}{L}\right) = \frac{g_m^2}{k_n \cdot I_B} = \frac{(1.254 [m\Omega^{-1}])^2}{(328.71 [\frac{\mu A}{V^2}]) (452.39 [\mu A])} = 10.57 \cong 11$$

Si ahora  $L = 0.24 [\mu m]$ :

$$\Rightarrow W = 11 \times L = 11 \times 0.24 [\mu m] = 2.64 [\mu m] \quad (3-18)$$

**Paso 7.** Verificación del diseño en el ambiente *Cadence* utilizando la tecnología de 130 [nm]. Obtención de la respuesta en frecuencia del amplificador cumpliendo con las especificaciones de diseño.

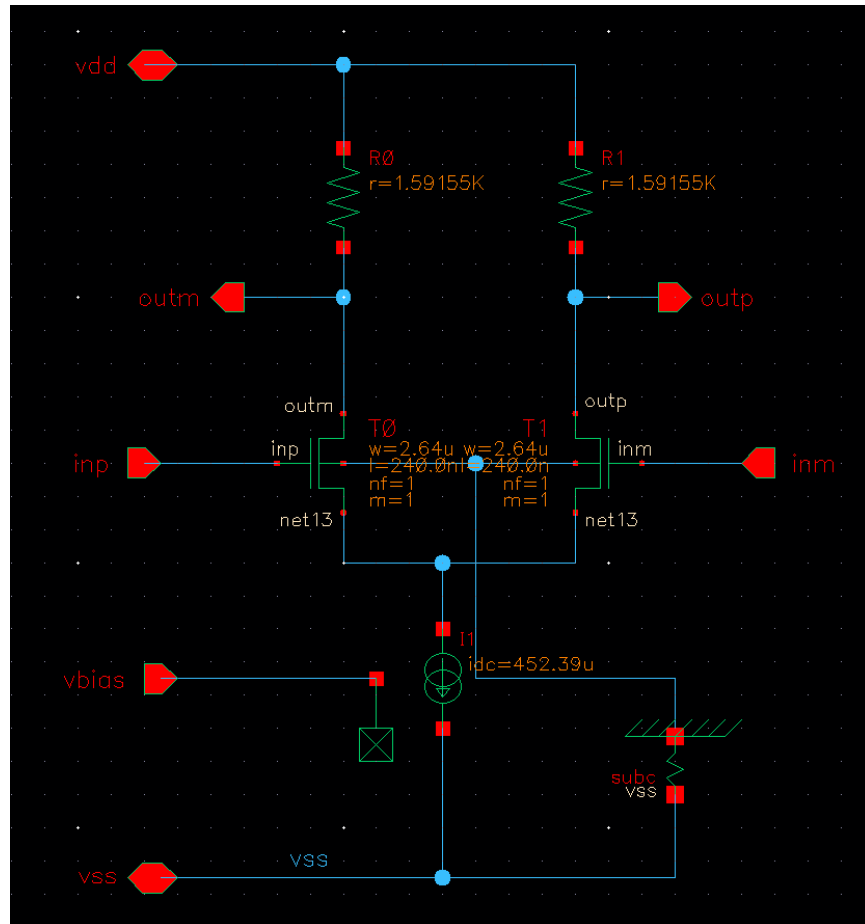


Fig. 3-10 Esquemático del amplificador diferencial.

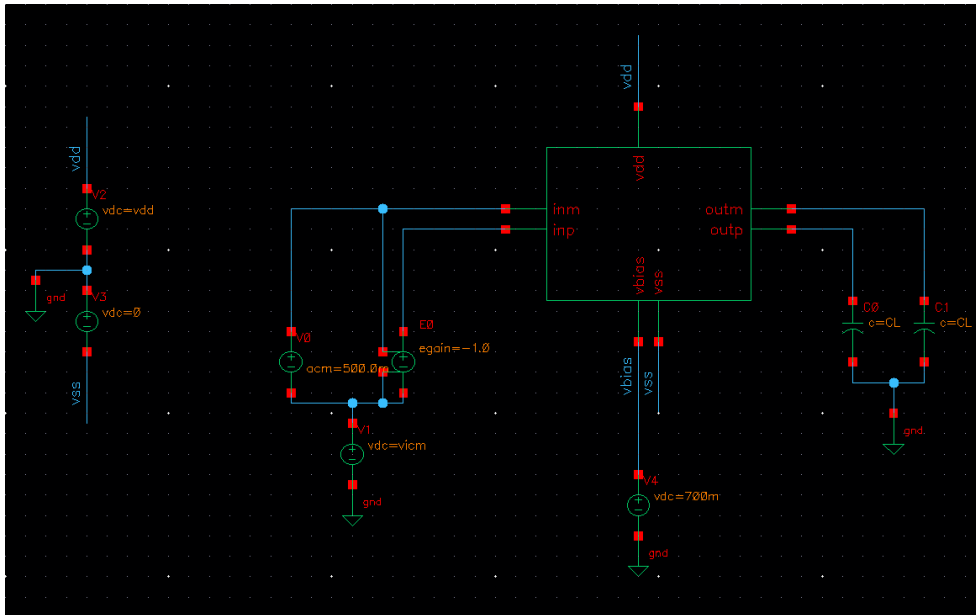


Fig. 3-11 Testbench para el amplificador diferencial.

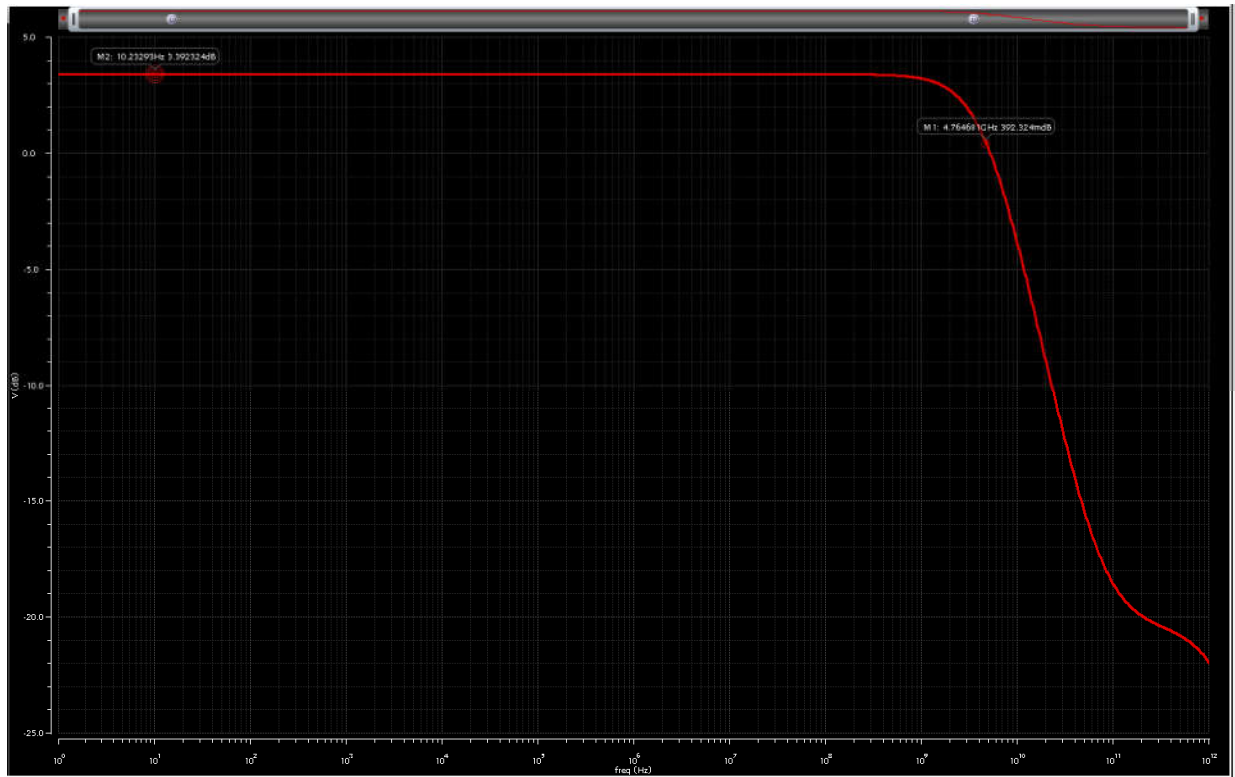


Fig. 3-12 Respuesta en frecuencia del amplificador diferencial de acuerdo con las dimensiones y elementos calculados.

El amplificador está 2.61 [dB] por debajo de la ganancia de voltaje requerida y 0.24 [GHz] por debajo del ancho de banda especificado.

- i. Extraer los parámetros del circuito (amplificador) en el punto de operación.

signal	op ('/10/20° -33°)	reversed	0
betaeff	2.9250e	beta	0
cb	281.9n	beta	2.494k
cbd	-6.918a	betaeff	10.76
cbdo	-6.918a	beta	-373.1n
cbdo	-6.918a	vob	840n
cbg	-1.492f	vob	558.9n
cbgo	-1.492f	vob	188.9n
cb	1.217f	vobant	840n
cbdo	1.217f	vob	653.9n
cb	-489.2a	vob	558.9n
cd	1.723f	vob	357.2n
cdbo	4.982a		
cdg	-4.312f		
cdgo	-2.594f		
cds	3.078f		
cdsbo	3.078f		
cd	938.1a		
cdg	-1.712f		
cdgo	5.606a		
cdg	11.42f		
cdgbo	7.958f		
cdg	-10.64f		
cdgbo	-9.905f		
cjd	4.057f		
cjs	4.796f		
cevlab	3.003a		
cevlgd	1.718f		
cevlgs	1.739f		
cs	-730.9a		
csd	-3.759a		
csq	-5.624f		
cs	6.348f		
gd	14122		
gda	14122		
gd	79.95a		
gs	1.601n		
gms	300.6a		
muoverid	7.431		
ibias	-4.757a		
id	226.2a		
id	226.2a		
igb	402.9e-30		
igbacc	402.9e-30		
igbinv	392.1e-30		
ignd	284.3f		
igrs	338455		
igd	10.01a		
igft	690.2f		
igfcl	0		
igfcl	0		
igfcl	70.87f		
igfcl	187.6a		
igfcl	-1.412f		
igfcl	-1.412f		
igfcl	-658.2a		
igfcl	-658.2a		
igfcl	4.029f		
igfcl	7.323a		
igfcl	4.029f		
igfcl	985.4a		
igfcl	-3.864f		
igfcl	-1.389f		
igfcl	-1.952f		
igfcl	-1.959f		
igfcl	10.76		
region	0		
reversed	0		

Fig. 3-13 Resultados del análisis de punto de operación del circuito

**Paso 8.** Se inicia el proceso iterativo variando  $W$  del transistor  $NFET$  y la resistencia de carga  $R_L$  hasta alcanzar las especificaciones de diseño.

Tabla iterativa									
W [m]	RL [Ohms]	gm	Av [dB]	Av	BW [Hz]	BW [rad/s]	Av simulador [dB]	BW simulador [Hz]	
2.64E-06	1591.55	0.00127896	6.173536037	2.035526693	4999986520	31415915303	3.392324	4.76E+09	
3.00E-06	1591.55	0.00136337	6.728709315	2.169878745	4999986520	31415915303	4.154917	4.71E+09	
3.50E-06	1591.55	0.00147261	7.398177211	2.343736916	4999986520	31415915303	5.054242	4.64E+09	
4.00E-06	1591.55	0.00157429	7.978096681	2.505560155	4999986520	31415915303	5.811957	4.56E+09	
4.20E-06	1591.55	0.00161317	8.189989672	2.567435155	4999986520	31415915303	6.084642	4.53E+09	
4.20E-06	1500	0.00161317	7.675409114	2.419749761	5305152364	3333333333	5.661249	4.78E+09	
5.00E-06	1400	0.00176011	7.833351786	2.464152543	5684091819	35714285714	6.116812	4.95E+09	
5.20E-06	1300	0.00179497	7.359991512	2.333455782	6121329651	38461538462	5.779673	5.26E+09	
5.50E-06	1300	0.00184602	7.60358497	2.399823206	6121329651	38461538462	6.079529	5.21E+09	

Tabla 3-2 Resumen de los resultados de cada iteración ( $A_v$  y  $BW$ ) al modificar  $W$  del transistor  $NFET$  y  $R_L$ . El proceso iterativo inicia con los valores calculados hasta el **Paso 6**.



i. Segunda iteración.

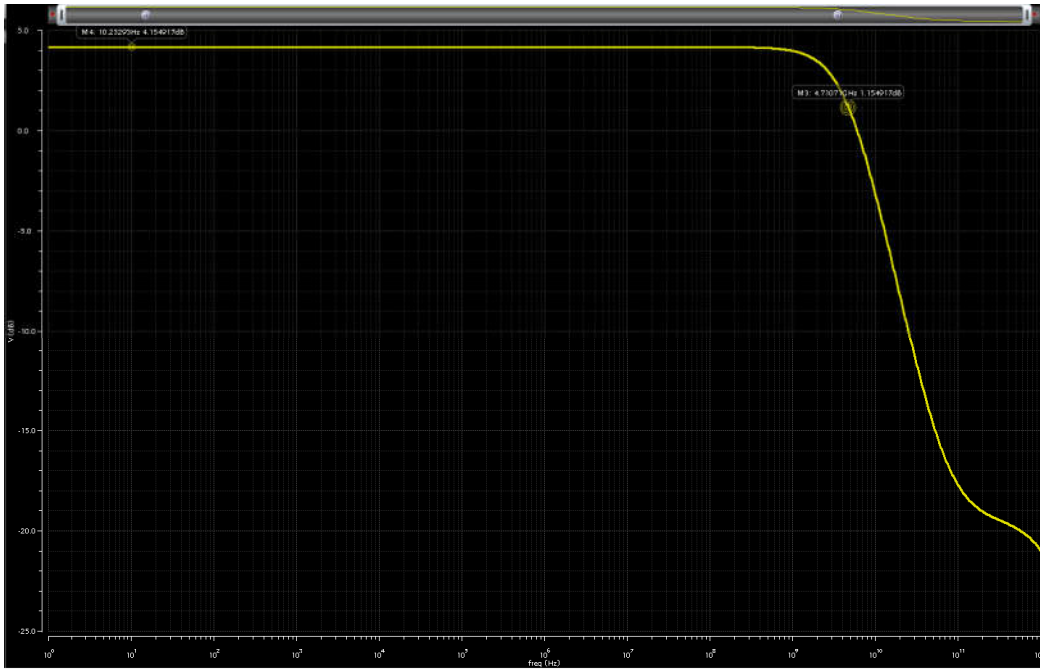


Fig. 3-14 Respuesta en frecuencia del *OTA* con  $W = 3 \text{ } [\mu\text{m}]$ ,  $R_L = 1591.55 \text{ } [\Omega]$ ,  $g_m = 1363.37 \text{ } [\mu\Omega^{-1}]$ ,  $A_{v-sim} = 4.1549 \text{ } [\text{dB}]$  y  $BW_{sim} = 4.71 \text{ } [\text{GHz}]$ .

ii. Tercera iteración.



Fig. 3-15 Respuesta en frecuencia del *OTA* con  $W = 3.5 \text{ } [\mu\text{m}]$ ,  $R_L = 1591.55 \text{ } [\Omega]$ ,  $g_m = 1472.61 \text{ } [\mu\Omega^{-1}]$ ,  $A_{v-sim} = 5.0542 \text{ } [\text{dB}]$  y  $BW_{sim} = 4.64 \text{ } [\text{GHz}]$ .

iii. Cuarta iteración.



Fig. 3-16 Respuesta en frecuencia del *OTA* con  $W = 4 \text{ } [\mu\text{m}]$ ,  $R_L = 1591.55 \text{ } [\Omega]$ ,  $g_m = 1574.29 \text{ } [\mu\Omega^{-1}]$ ,  $A_{v-sim} = 5.812 \text{ } [\text{dB}]$  y  $BW_{sim} = 4.56 \text{ } [\text{GHz}]$ .

iv. Quinta iteración.

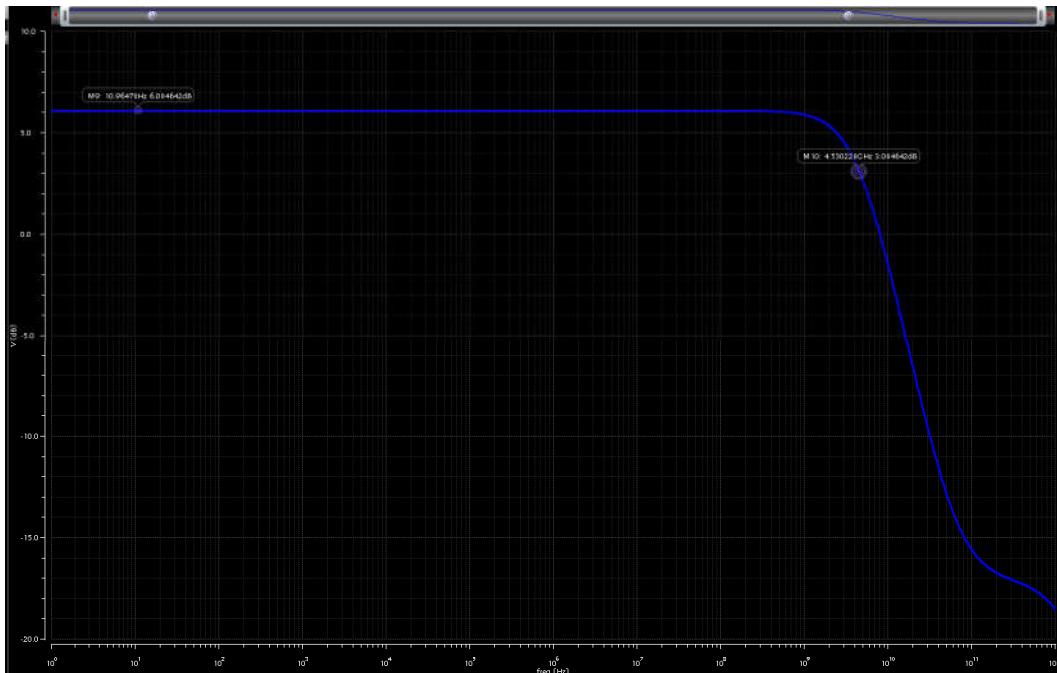


Fig. 3-17 Respuesta en frecuencia del *OTA* con  $W = 4.2 \text{ } [\mu\text{m}]$ ,  $R_L = 1591.55 \text{ } [\Omega]$ ,  $g_m = 1613.17 \text{ } [\mu\Omega^{-1}]$ ,  $A_{v-sim} = 5.6612 \text{ } [\text{dB}]$  y  $BW_{sim} = 4.78 \text{ } [\text{GHz}]$ .

v. Sexta iteración.

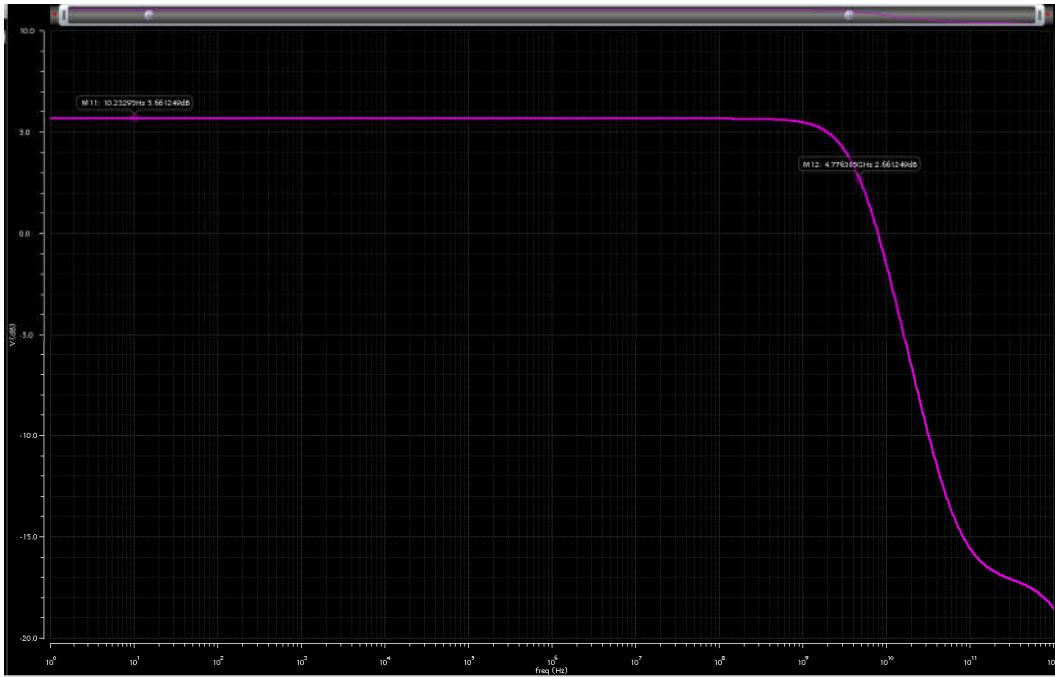


Fig. 3-18 Respuesta en frecuencia del *OTA* con  $W = 4.2 [\mu m]$ ,  $R_L = 1500 [\Omega]$ ,  $g_m = 1613.17 [\mu\Omega^{-1}]$ ,  $A_{v-sim} = 5.6612 [dB]$  y  $BW_{sim} = 4.78 [GHz]$ .

vi. Séptima iteración.

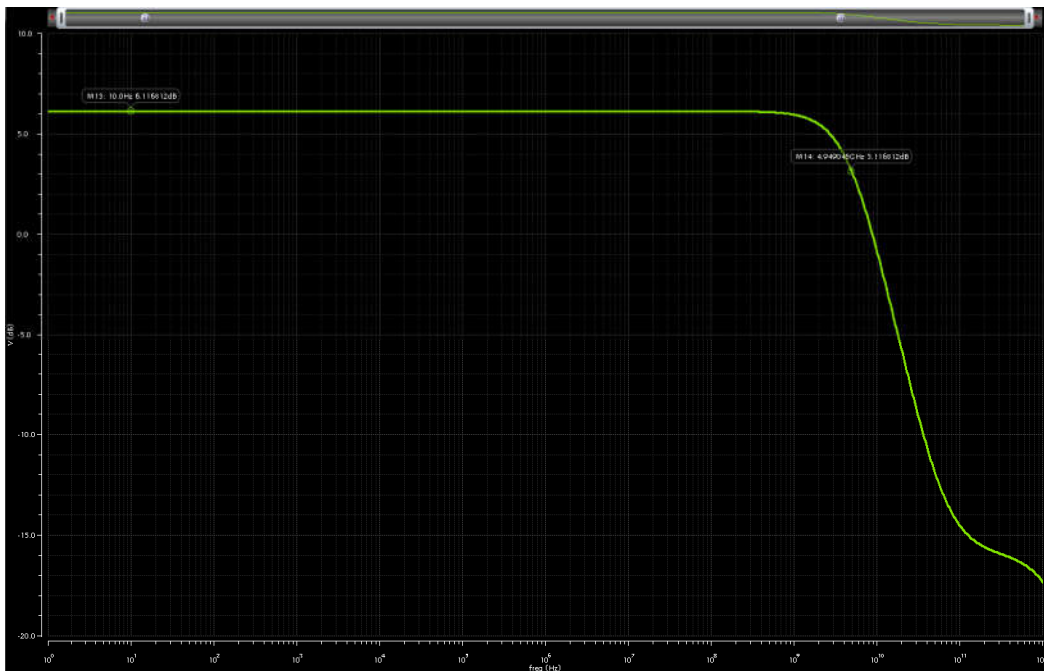


Fig. 3-19 Respuesta en frecuencia del *OTA* con  $W = 5 [\mu m]$ ,  $R_L = 1400 [\Omega]$ ,  $g_m = 1760.11 [\mu\Omega^{-1}]$ ,  $A_{v-sim} = 6.1168 [dB]$  y  $BW_{sim} = 4.95 [GHz]$ .

vii. Octava iteración.

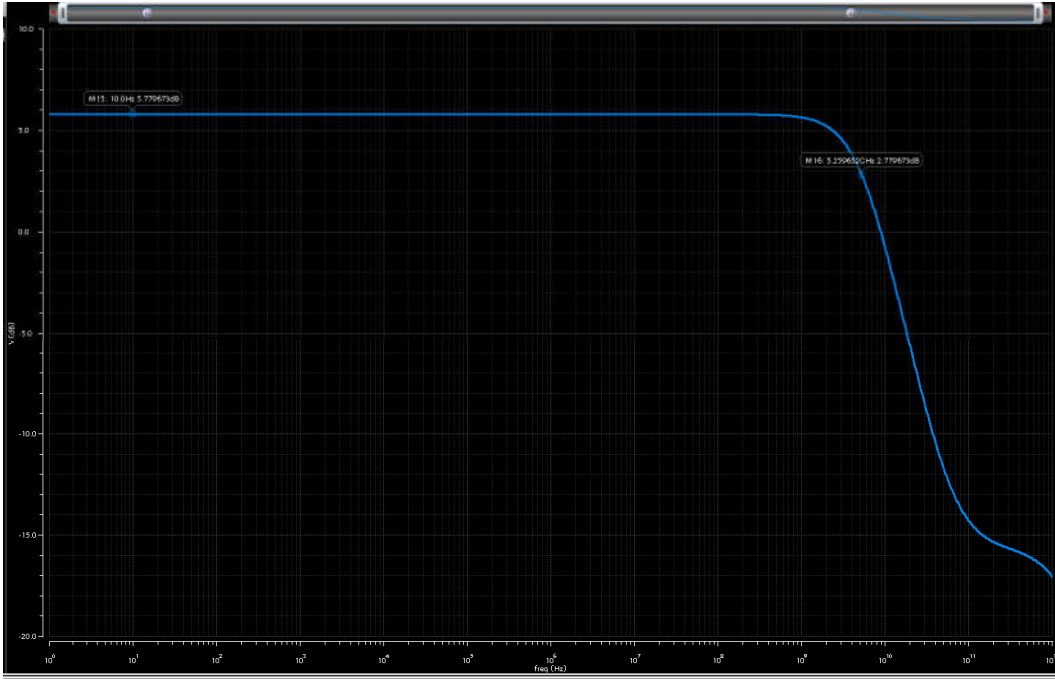


Fig. 3-20 Respuesta en frecuencia del *OTA* con  $W = 5.2 [\mu m]$ ,  $R_L = 1300 [\Omega]$ ,  $g_m = 1794.97 [\mu\Omega^{-1}]$ ,  $A_{v-sim} = 5.7797 [dB]$  y  $BW_{sim} = 5.26 [GHz]$ .

viii. Novena iteración.



Fig. 3-21 Respuesta en frecuencia del *OTA* con  $W = 5.5 [\mu m]$ ,  $R_L = 1300 [\Omega]$ ,  $g_m = 1846.02 [\mu\Omega^{-1}]$ ,  $A_{v-sim} = 6.0795 [dB]$  y  $BW_{sim} = 5.21 [GHz]$ .

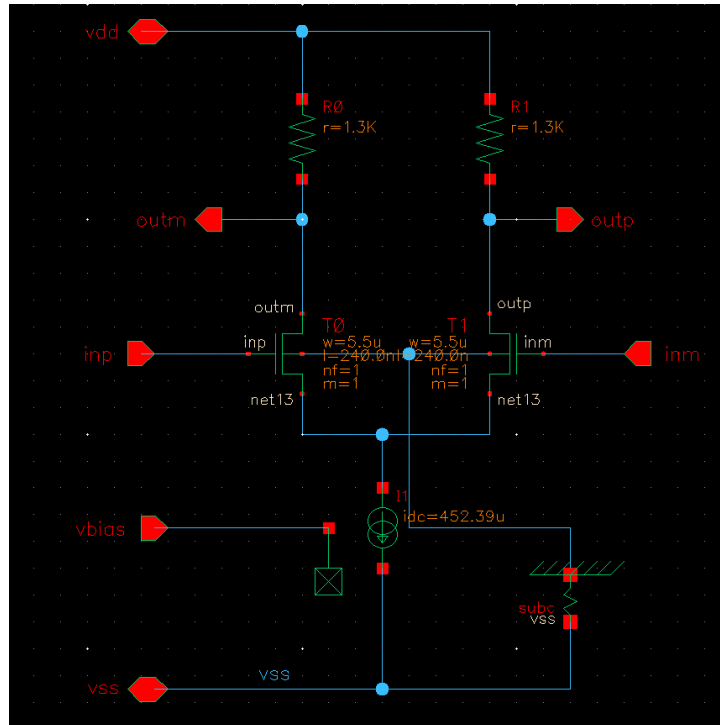


Fig. 3-22 Esquemático de la novena iteración. En la cual se alcanzó una ganancia de voltaje de 6.08 [dB] y un ancho de banda de 5.2 [GHz].

#### 4. Conclusiones.

- i. Las simplificaciones del método de diseño que se ha seguido llevan a subestimar en alrededor de un 25% la ganancia de voltaje y en un 20% el ancho de banda del amplificador diferencial, de acuerdo con los resultados obtenidos mediante el simulador *ADE-L*. En el ejercicio de diseño se alcanzaron dimensiones y valores para la resistencia de carga que de acuerdo con las expresiones matemáticas para el cálculo de la ganancia de voltaje y el ancho de banda darían valores de 7.6 [dB] y 6.12 [GHz], respectivamente, pero el simulador los colocó en 6.08 [dB] y 5.21 [GHz].
- ii. El uso del simulador para el ajuste de los parámetros permite alcanzar las especificaciones de diseño de forma rápida y simple.
- iii. Es importante hacer una buena caracterización del proceso de fabricación para obtener los valores más cercanos a la realidad tanto de  $k_n$  o  $k_p$  como de  $V_{Th}$  y  $\lambda$ .

- iv. Al aumentar  $W$  se incrementa la ganancia de voltaje y disminuye el ancho de banda, esto es perfectamente comprensible a partir de las ecuaciones que relacionan  $W$  con  $A_v$  y  $A_v$  con  $BW$ :

$$A_v \cong g_m R_L = \sqrt{K_n I_B \left(\frac{W}{L}\right)} \cdot R_L \quad (3-19)$$

$$BW \cong \frac{1}{R_L \cdot C_L} = \frac{1}{\frac{A_v}{g_m} \cdot C_L} = \frac{g_m}{A_v C_L} \quad (3-20)$$

- Con lo cual es claro que si  $W$  aumenta entonces  $A_v$  aumenta y si  $A_v$  aumenta entonces  $BW$  disminuye.
  - Y de igual forma, si disminuyo la resistencia de carga  $R_L$  disminuye la ganancia de voltaje  $A_v$  y aumenta el ancho de banda  $BW$ .
- v. El otro parámetro de diseño con el que igualmente se puede jugar es la corriente  $I_B$  pero se tiene el límite de  $I_{Bmax}$ .

## **B. METODOLOGÍA PARA EL DISEÑO DE FILTROS PASA-BAJAS ACTIVOS TIPO BUTTERWORTH BASADOS EN ARREGLOS OTA-C (OPERATIONAL TRANSCONDUCTANCE AMPLIFIERS AND CAPACITORS)**

### **1. Antecedentes.**

Un filtro eléctrico es un sistema cuya función es modificar, modificar o manipular el espectro de frecuencia de una señal eléctrica de acuerdo con especificaciones previamente establecidas (véase, [4, p. 1]). Son útiles para separar, suprimir o dejar pasar componentes de frecuencia de una señal determinada dentro de un cierto rango de interés. Lo que significa de algún modo que si la magnitud de la señal de entrada se mantiene constante y se varía la frecuencia, la magnitud y la fase de la señal se mantendrán constantes dentro de algún rango de frecuencia y variará fuera de ese rango.

Las aplicaciones típicas de los filtros eléctricos son numerosas, por ejemplo (véase, [4, pp. 1-2]):

1. Eliminar la contaminación de la señal provocada por el ruido en los sistemas de comunicación.
2. Separar los componentes relevantes de frecuencia de una señal de aquellos que no lo son.
3. Detectar señales en radios y televisiones analógicas.
4. Desmodular señales.
5. Para limitar en banda las señales antes de ser muestreadas.
6. Convertir señales muestreadas en señales continuas en el tiempo.
7. Mejorar la calidad de los equipos de audio.
8. En la síntesis de voz.
9. En la ecualización de los cables y líneas de transmisión.
10. En aparatos de asistencia para personas con debilidad auditiva.

Además de sus aplicaciones, los filtros poseen características primarias que son relevantes al momento de su diseño e implantación, entre ellas:

1. Naturaleza de la respuesta en magnitud o fase (pasa-bajas, pasa-altas, pasa-banda, banda de rechazo y pasa-todo). La respuesta en magnitud describe la magnitud de

la ganancia de un circuito como una función de la frecuencia bajo condiciones de excitación sinusoidal. Un filtro típico tiene una respuesta en magnitud casi constante dentro de un cierto rango de frecuencias y obliga a un decremento fuera de dicho rango.

2. Banda de paso. La banda de paso se define como el rango de frecuencias que un filtro permite pasar, con la mínima atenuación o con alguna amplificación.
3. Banda de rechazo. La banda de rechazo son todas las demás frecuencias no incluidas dentro de la banda de paso.
4. Región de transición. La región de transición es la zona ubicada entre la banda de paso y la región de la banda de rechazo.
5. Atenuación de corte. Es la atenuación máxima que se requiere en la señal antes de la frecuencia de corte. Típicamente es de 3 [dB] de la ganancia de voltaje, porque esto equivale a un decremento o reducción del 50% en la potencia entregada a la carga que se alimenta por el filtro; por esta razón a la frecuencia de corte se le conoce también como el **punto medio de potencia**.
6. Atenuación de rechazo. Es la atenuación mínima que se requiere en la señal después de la frecuencia de rechazo.
7. Frecuencia de corte o también llamada frecuencia de esquina o frecuencia crítica. Es la frecuencia a partir de la cual la respuesta en amplitud está 3 [dB] por debajo del valor de la banda de paso.
8. Frecuencia de rechazo. Es la frecuencia a partir de la cual la respuesta del filtro está por debajo de la atenuación de rechazo marcada como parte de las especificaciones.

Algunas otras las características denominadas secundarias incluyen la sensibilidad a los cambios paramétricos y los retrasos provocados por los propios elementos del filtro.

Los filtros se clasifican de acuerdo con la función que realizan. A partir de las características (forma) de la función de transferencia ( $H(j\omega)$ ) y el valor de la ganancia ( $\alpha$ ), pueden definirse, sobre algún rango de frecuencia que son de interés, las dos zonas de frecuencias que llamadas banda de paso y banda de rechazo. Si se habla del caso ideal, la banda de paso es el rango de frecuencias del filtro dónde el módulo de su función de transferencia es unitario,  $|H(j\omega)| = 1$ , y su ganancia es cero,  $\alpha = 0$ , esto es, las señales se transmiten de la entrada a la salida sin



atenuación o amplificación; y en la zona de la banda de rechazo el módulo de su función de transferencia es cero,  $|H(j\omega)| = 0$ , y su ganancia es en realidad una enorme atenuación,  $\alpha \rightarrow -\infty$ , lo que significa que la transmisión está bloqueada completamente (véase [5, p. 5]).

- Un filtro pasa-bajas es aquel en el que la banda de paso se extiende de  $f = 0$  [Hz] hasta  $f = f_c$  [Hz], donde  $f_c$  es la frecuencia de corte.
- Un filtro pasa-altas es aquel que funciona de forma contraria al filtro pasa-bajas, es decir, el rango de frecuencias que va de 0 [Hz] a  $f_c$  se encuentra es la banda de rechazo y a partir de  $f_c$  y hacia el infinito está la banda de paso.
- Un filtro pasa-banda es aquel en el que las frecuencias que van de  $f_1$  a  $f_2$  forman la banda de paso, mientras que todas las demás a la izquierda de  $f_1$  y a la derecha de  $f_2$  constituyen la banda de rechazo.
- Un filtro rechaza-banda es el complemento del filtro pasa-banda, es decir, los componentes de la señal entre las frecuencias  $f_1$  y  $f_2$  son rechazadas y todas las demás forman la banda de paso. Estos filtros son llamados filtros *notch*, por la forma de su respuesta en frecuencia.
- Un filtro pasa-todo es aquel que no tiene banda de rechazo y su banda de paso está formada por el rango de frecuencias que va de 0 [Hz] y carece de límite superior. El filtro pasa-todo suele emplearse para cambiar la fase de la señal para algunas frecuencias.

En la práctica, una función de transferencia ideal como las mostradas por las líneas sólidas en la *Fig. 1-4* es imposible de implantar utilizando filtros reales constituidos por un número finito de elementos (véase [5, p. 5]).

Para filtros implantados con circuitos reales, la función de transferencia definida por la ecuación (1-5) es descrita siempre por funciones reales racionales de la frecuencia compleja  $s$ . Una función real racional es una relación de polinomios en  $s$  como se muestran en la ecuación (1-6) [5, p. 5].

$$H(s) = \frac{V_o(s)}{V_i(s)} = \frac{N(s)}{D(s)} \quad (3-21)$$

$$H(s) = \frac{N(s)}{D(s)} = \frac{b_m s^m + b_{m-1} s^{m-1} + \dots + b_1 s + b_0}{a_n s^n + a_{n-1} s^{n-1} + \dots + a_1 s + a_0} \quad (3-22)$$

Para evitar que el circuito, que implanta el filtro analógico, oscile y asegurar que su función de transferencia sea irrealizable con elementos eléctricos reales, es decir, que posean valores positivos, los coeficientes de  $H(s)$ ,  $a_i$  con  $i = 1, \dots, n$  y  $b_j$  con  $j = 1, \dots, m$ , deben ser todos números reales. En particular todos los coeficientes del polinomio en el denominador deben ser positivos y el coeficiente  $a_n$  puede ser igualado a la unidad arbitrariamente,  $a_n = 1$ , al dividir el numerador y denominador por el propio  $a_n$  (véase [5, p. 6]).

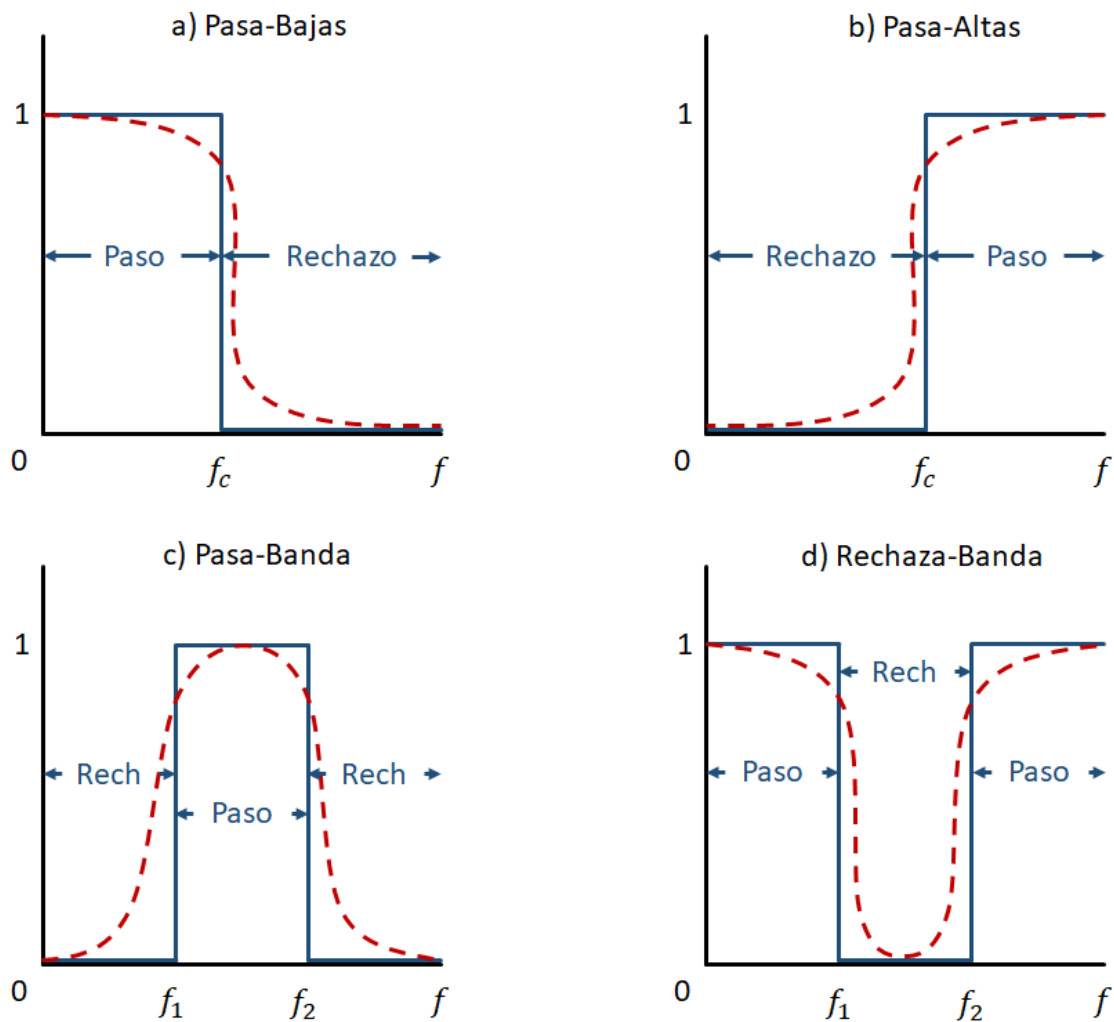


Fig. 3-23 Los cuatro tipos básicos de funciones ideales de filtros. Líneas sólidas: función ideal. Líneas punteadas: funciones de filtros reales donde la magnitud es una función continua de  $f$ .

También, para que el filtro pueda implantarse utilizando un número finito de componentes reales, el grado  $n$  del polinomio en el denominador  $D(s)$  debe ser más grande que, o al menos igual, que el grado  $m$  del polinomio en el numerador  $N(s)$ , es decir,  $n \geq m$ .

Otro aspecto a tener en cuenta es que la magnitud de la ecuación (1-6) cuando se evalúa en el eje  $j\omega$ ,  $|H(j\omega)|$ , es una función continua de la frecuencia que no puede seguir el comportamiento abrupto mostrado por las líneas sólidas en la *Fig. 1-4*. En su lugar, las características reales del filtro que corresponden a los cuatro tipos básicos mencionados con antelación se muestran con líneas punteadas en la misma *Fig. 1-4* (véase [5, p. 6]).

Si se utiliza una realización cuadrática para la función de transferencia, el tipo de filtro del que se hable, dependerá de los valores de los coeficientes.

En un filtro pasa-bajas se tiene que  $a_2 = a_1 = 0$  y  $a_0 = K\omega_p^2$ . Por lo tanto, la función de transferencia asume la forma (véase [4, p. 26]):

$$H_{LP}(s) = \frac{a_0}{s^2 + b_1s + b_0} = \frac{K\omega_p^2}{s^2 + (\omega_p/Q_p)s + \omega_p^2} \quad (3-23)$$

En un filtro pasa-altas se tiene que  $a_2 = K$  y  $a_0 = a_1 = 0$ . Por lo tanto, la función de transferencia asume la forma (véase [4, p. 27]):

$$H_{HP}(s) = \frac{a_2s^2}{s^2 + b_1s + b_0} = \frac{Ks^2}{s^2 + (\omega_p/Q_p)s + \omega_p^2} \quad (3-24)$$

En un filtro pasa-banda se tiene que  $a_1 = K\omega_p/Q_p$  y  $a_0 = a_2 = 0$ . Por lo tanto, la función de transferencia asume la forma (véase [4, p. 27]):

$$H_{BP}(s) = \frac{a_1s}{s^2 + b_1s + b_0} = \frac{K(\omega_p/Q_p)s}{s^2 + (\omega_p/Q_p)s + \omega_p^2} \quad (3-25)$$

En un filtro rechaza-banda se tiene que  $a_2 = K$ ,  $a_1 = 0$  y  $a_0 = K\omega_p^2$ . Por lo tanto, la función de transferencia asume la forma (véase [4, p. 28]):

$$H_N(s) = \frac{a_2s^2 + a_0}{s^2 + b_1s + b_0} = \frac{K(s^2 + \omega_p^2)}{s^2 + (\omega_p/Q_p)s + \omega_p^2} \quad (3-26)$$

En un filtro pasa-todo se tiene que  $a_2 = K$ ,  $a_1 = -K\omega_p/Q_p$  y  $a_0 = K\omega_p^2$ . Por lo tanto, la función de transferencia asume la forma (véase [4, pp. 28-29]):

$$H_{AP}(s) = \frac{a_2s^2 + a_1s + a_0}{s^2 + b_1s + b_0} = \frac{K[s^2 - (\omega_p/Q_p)s + \omega_p^2]}{s^2 + (\omega_p/Q_p)s + \omega_p^2} \quad (3-27)$$

Los filtros pasa-bajas (al igual que los otros tipos de filtros) tienen diferentes tipos de aproximaciones para su implantación física. Para realizar una aproximación a un prototipo pasa-bajas, es más conveniente trabajar con la función característica  $K(\omega)$  que con la función de ganancia. La cual está definida por la ecuación (véase [12, p. 8]):

$$A^2(\omega) = \frac{1}{1 + K^2(\omega)} \quad (3-28)$$

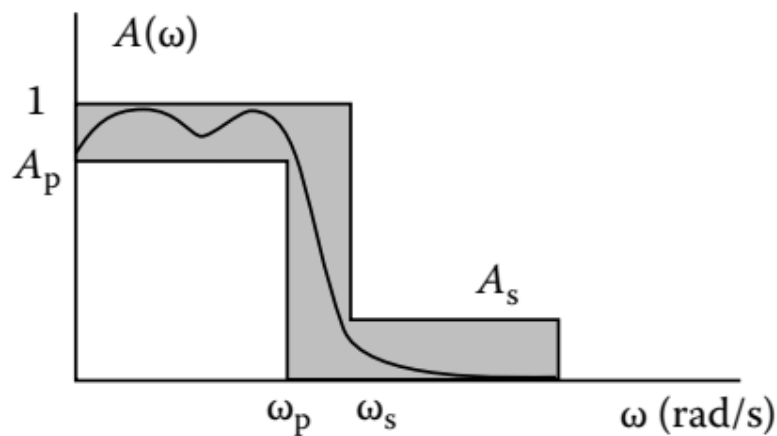


Fig. 3-24 Especificaciones del filtro en términos de la función de ganancia.

La principal ventaja de utilizar la función característica es simplemente que ésta se aproxima a cero sobre cualquier intervalo de frecuencias para el cual la función de ganancia se aproxima a la unidad. Además, tiende a ser muy grande cuando la ganancia se aproxima a cero. Estas ideas se ilustran en las Fig. 3-24 y Fig. 3-25. Nótese que  $K(\omega)$  puede ser positivo o negativo en la banda de paso por tal motivo se eleva al cuadrado en la ecuación (3-43). El problema básico en la aproximación del pasa-bajas ideal es encontrar una función característica que se aproxime a cero en la banda de paso, tienda a infinito en la banda de rechazo y haga la transición de una a otra rápidamente. Idealmente, podría ser cero en la banda de paso, y abruptamente tender a infinito para frecuencias en la banda de rechazo (véase [12, p. 8]).

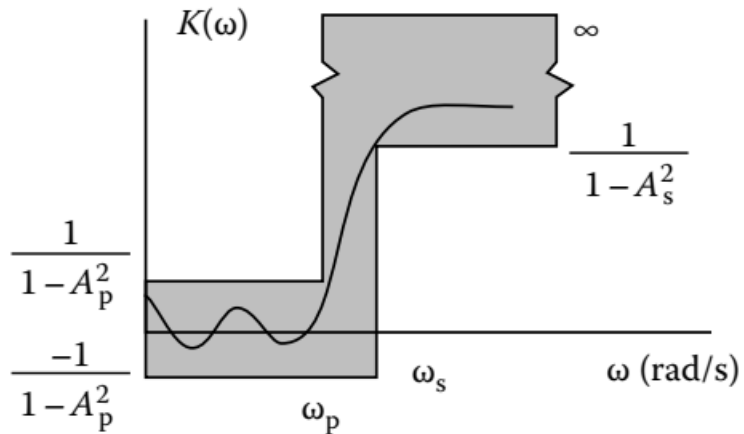


Fig. 3-25 Especificaciones del filtro en términos de la función característica.

La aproximación de Butterworth de enésimo orden está definida por:

$$K(\omega) = \omega^n \tag{3-29}$$

Esta función característica se muestra en la Fig. 3-26 para dos valores de  $n$  – uno pequeño y el otro muy grande. Como puede verse fácilmente, un orden mayor proporciona una mejor aproximación a la respuesta ideal. Nótese, sin embargo, que  $K(1) = 1$  sin importar el orden; por lo tanto  $A(1) = 0.5$  ( $-3\text{dB}$ ) independientemente del orden (véase [12, p. 8]).

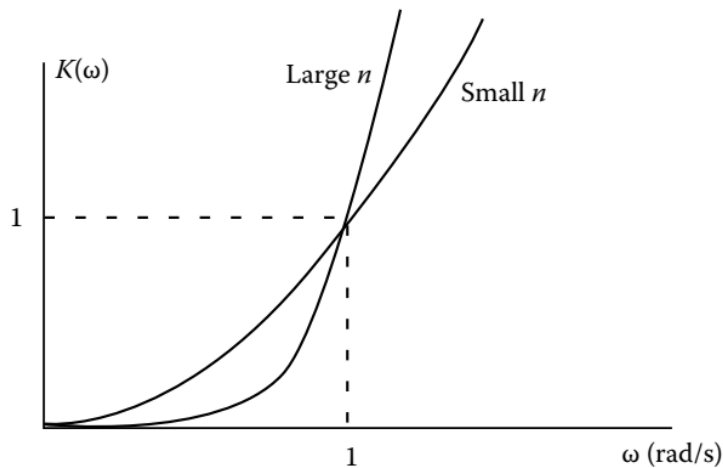


Fig. 3-26 Función característica Butterworth.

Es una convención definir la función de pérdida  $H(s)$  como el recíproco de la función de ganancia:

$$H(s) = \frac{1}{G(s)} \tag{3-30}$$

Si se realiza el cambio  $s = j\omega$  y se aplica a la ecuación (3-28) se tiene que:

$$|H(j\omega)|^2 - K^2(\omega) = 1 \quad (3-31)$$

La cual se conoce como la **ecuación de Feldtkeller**, una ecuación fundamental en el estudio de filtros. La pérdida se aproxima a la unidad cuando la función característica se aproxime a cero y a infinito cuando la función característica tiende a infinito (véase [12, p. 9]).

La función de pérdida puede utilizarse para ilustrar una propiedad relevante de la aproximación Butterworth. Tomando la  $k$ th derivada de la ecuación (3-31), se tiene:

$$\frac{d^k |H(j\omega)|^2}{d\omega^k} = \frac{d^k K^2(\omega)}{d\omega^k} = \frac{d^k \omega^{2n}}{d\omega^k} = \frac{(2n)!}{k!} \omega^{2n-k} \quad (3-32)$$

Esto tiene el valor de cero en  $\omega = 0$  para  $k \leq 2n - 1$ . Este es el único polinomio que tiene esta propiedad entre el conjunto de polinomios mónicos de orden 2 o menor con valor cero en el origen. Esto significa que el cuadrado de la función característica de Butterworth  $K(\omega)$  es la más plana posible de todos los polinomios en  $\omega = 0$ . Dado que al sumar uno a  $K^2(\omega)$  produce la función de pérdida  $|H(j\omega)|^2$ , lo mismo es verdadero para todo el conjunto de las funciones de pérdida que tienen valor unitario en el origen. Por esta razón, la aproximación de Butterworth es frecuentemente llamada aproximación de magnitud máximamente plana (MFM) (véase [12, p. 9]).

El parámetro de rizo en la banda de paso  $A_p$  es siempre  $\frac{1}{\sqrt{2}}$  para un filtro Butterworth ideal. El valor del parámetro en tal frecuencia de transformación es determinado por el requerimiento de que la frecuencia a la cual el filtro deseado asuma el valor de  $\frac{1}{\sqrt{2}}$  se proyecte hacia la frecuencia de  $1 \text{ rad/s}$  para la banda de paso de un filtro pasa-bajas ideal. El orden requerido es determinado por la ecuación (véase [12, p. 9]):

$$\frac{1}{\sqrt{1 + \omega_s^{2n}}} \leq A_s \quad (3-33)$$

Reescrita como:

$$n \geq \frac{\log \left[ \frac{1}{A_s^2} - 1 \right]}{2 \log(\omega_s)} \quad (3-34)$$

El valor de  $n$  es, por supuesto, elegido para ser el entero más pequeño que sea mayor que la expresión en el lado derecho de la ecuación (3-34) (véase [12, p. 9]).

Dado que existe un solo parámetro en la aproximación de Butterworth, la ecuación (3-34) determina completamente  $A(\omega)$ . Esto significa que la magnitud máximamente plana es una aproximación de un solo parámetro. El único tema pendiente es la determinación de  $G(s)$ , para la síntesis del filtro se requiere conocimiento sobre su función de transferencia, lo cual es un problema de factorización. En general la solución está dada por la siguiente ecuación (véase [12, p. 10]):

$$G(s)G(-s) = A^2(-s^2) \quad (3-35)$$

En el caso aquí expuesto, se tiene:

$$G(s)G(-s) = \frac{1}{1 + (-s^2)^n} = \frac{1}{1 + (-1)^n s^{2n}} \quad (3-36)$$

La solución se basa en la restricción de que el filtro resultante debe ser estable. Esto significa que los polos de  $G(s)G(-s)$  se encuentran en el semiplano izquierdo. Incluso cualesquiera polos ubicados sobre el eje imaginario no deben tener multiplicidad par dado que  $G(s)G(-s)$  es una función par. Además, cualquier polo de  $G(s)G(-s)$  de orden par sobre el eje imaginario, solo podría provenir de uno o más polos de  $G(s)$  misma, colocados sobre la misma ubicación. Pero tal  $G(s)$  representa un tipo de filtro no deseado, porque en el mejor de los casos se trata de un filtro marginalmente estable. Y esto no ocurre con los filtros Butterworth (véase [12, p. 10]).

El problema, ahora más acotado, continúa siendo encontrar todos los polos de  $G(s)G(-s)$  y clasificarlos. Estos polos están localizados en los ceros del denominador en la ecuación (3-36). Lo que significa que se debe resolver la ecuación (véase [12, p. 10]):

$$1 + (-s^2)^n = 0 \quad (3-37)$$

O, de forma equivalente:

$$s^{2n} = (-1)^{n-1} \quad (3-38)$$

Ahora, si se representa a  $s$  en coordenadas polares:

$$s = \rho e^{j\phi} \quad (3-39)$$

La ecuación (3-46) toma la forma:

$$\rho^{2n} e^{j2n\phi} = e^{j(n-1)\pi} \quad (3-40)$$

La cual tiene la solución:

$$\rho = 1 \quad (3-41)$$

y

$$\phi = \frac{\pi}{2} + (2k - 1) \frac{\pi}{2n} \quad (3-42)$$

Donde  $k$  es cualquier entero. Por supuesto, solo aquellos valores de  $\phi$  entre 0 y  $2\pi$  [rad] son considerados.

El procedimiento de factorización determina el polinomio en el denominador de  $G(s)$  ¿Y qué pasa con el polinomio en el numerador? Dado que la función característica es un polinomio, es claro que  $G(j\omega)$ , y por lo tanto  $G(s)$ , tendrá un numerador constante. Por esta razón la aproximación Butterworth es conocida como un filtro *all-pole*. Algunas veces es denominado filtro polinomial, dado que su función característica es un polinomio (véase [12, p. 11]).

Finalmente, para la implantación de un filtro mediante *Amplificadores Operacionales de Transconductancia (OTA)* resulta muy útil representar las ecuaciones de estado del filtro pasivo mediante Grafos de Flujo de Señal (*SFG*) y de ahí pasar a su equivalencia en *OTA* y capacitores. El primer paso es definir lo que un *SFG* significa y representa: un gráfico de flujo de señal es un diagrama que representa un conjunto de ecuaciones algebraicas lineales simultáneas.

Al aplicar el método de gráficos de flujo de señal al análisis de circuitos electrónicos, primero hay que obtener las ecuaciones diferenciales lineales expresadas como ecuaciones algebraicas en  $s$ . Un gráfico de flujo de señal consiste en una red en la cual los nodos están conectados por ramas con dirección y sentido. Cada nodo representa una variable del sistema y cada rama conectada entre dos nodos, actúa como un multiplicador de señal. Nótese que la señal fluye solamente en un sentido. El sentido del flujo de señal se indica por una flecha ubicada en la rama y el factor de multiplicación aparece a lo largo de la rama. El gráfico de flujo de señal despliega el flujo de señales de un punto de un sistema a otro y da las relaciones entre las señales. Por ejemplo, para el circuito mostrado en Fig. 3-27:

1. Determinense las ecuaciones del circuito en función de sus variables de estado.
2. Trácese el *SFG* para cada una de las ecuaciones individuales.
3. Trácese el *SFG* para el sistema completo.
4. Muéstrese la realización de cada ecuación de estado utilizando *OTAs* y capacitores (considere  $g_m = 1$  para todos los *OTAs*).



5. Muéstrese la realización completa del filtro utilizando solamente *OTAs* y capacitores (filtro *OTA-C*).

Fig. 3-27 Filtro pasivo.

1. Ecuaciones del circuito:

$$i_3 = \frac{V_{in} - V_1}{sL_3} \quad (3-43)$$

$$i_3 = i_2 + i_1 \quad (3-44)$$

De las ecuaciones (3-43) y (3-44) puede obtenerse que:

$$V_1 = i_2 \left( \frac{1}{sC_2} \right) = \frac{i_3 - i_1}{sC_2} \quad (3-45)$$

$$i_1 = \frac{V_1 - V_{out}}{sL_1} \quad (3-46)$$

$$V_{out} = i_1 R_L \quad (3-47)$$

2. *SFG* para cada una de las ecuaciones individuales.



Fig. 3-28 Grafo de flujo de señal que representa la ecuación de estado para la corriente  $i_3$  en  $s$ .

**Ecuación (3-45)**

**SFG**

$$V_1 = i_2 \left( \frac{1}{sC_2} \right) = \frac{i_3 - i_1}{sC_2}$$

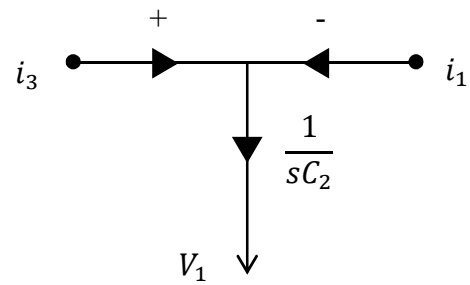


Fig. 3-29 Grafo de flujo de señal que representa la ecuación de estado para el voltaje  $V_1$  en  $s$ .

**Ecuación (3-46)**

**SFG**

$$i_1 = \frac{V_1 - V_{out}}{sL_1}$$

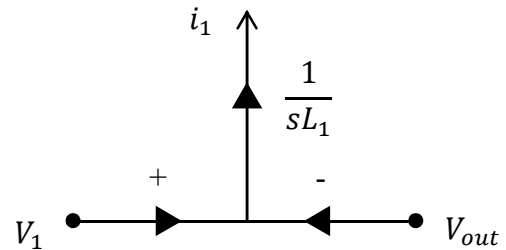


Fig. 3-30 Grafo de flujo de señal que representa la ecuación de estado para la corriente  $i_1$  en  $s$ .

**Ecuación (3-47)**

**SFG**

$$V_{out} = i_1 R_L$$

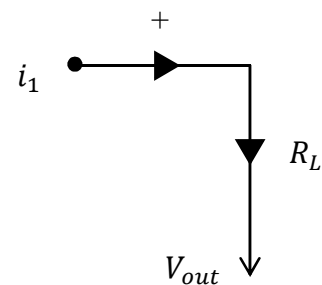


Fig. 3-31 Grafo de flujo de señal para la salida.

3. *SFG* para el sistema completo.

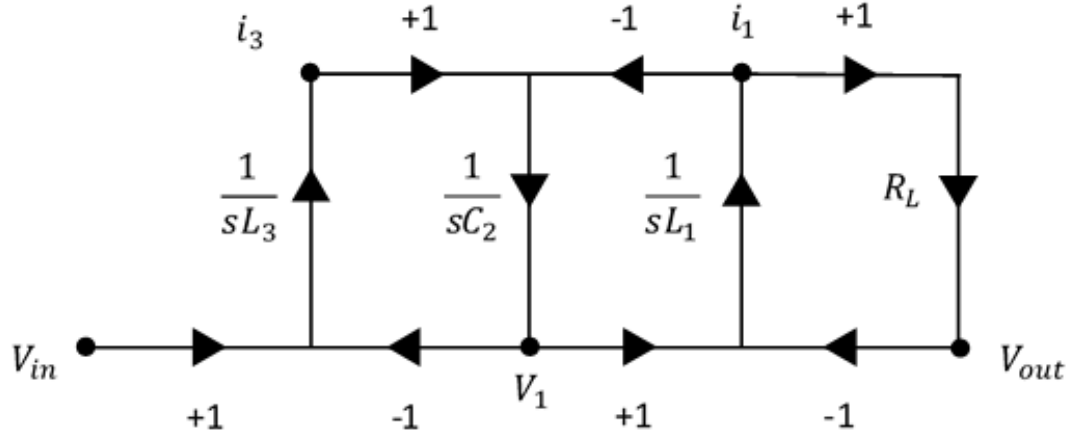


Fig. 3-32 Grafo de flujo de señal para el sistema (filtro) completo.

4. Realización utilizando *OTAs* (considere  $g_m = 1$  para todos los *OTAs*).

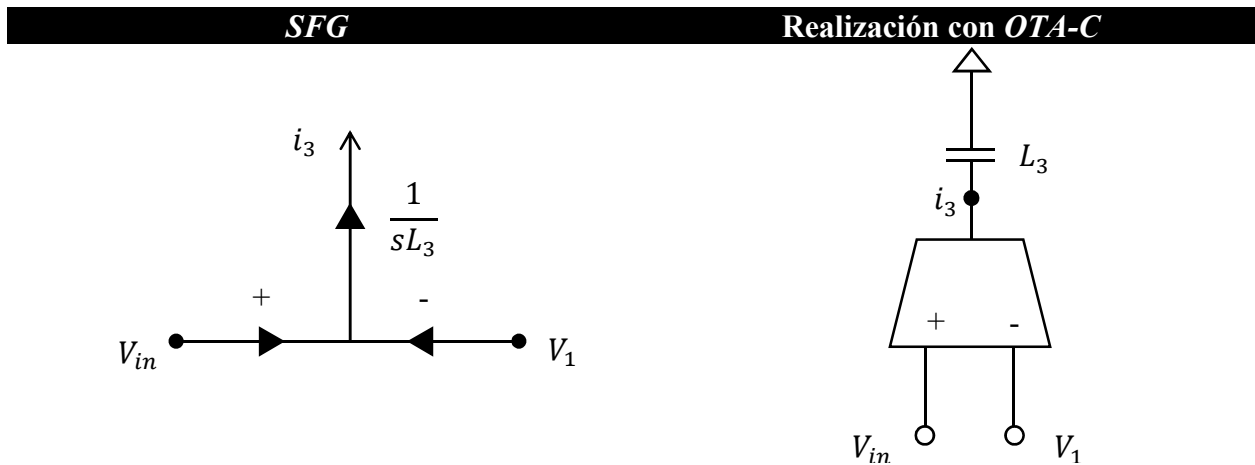


Fig. 3-33 Realización de la ecuación para  $i_3$  mediante un *OTA* y un capacitor.

**SFG** **Realización con OTA-C**

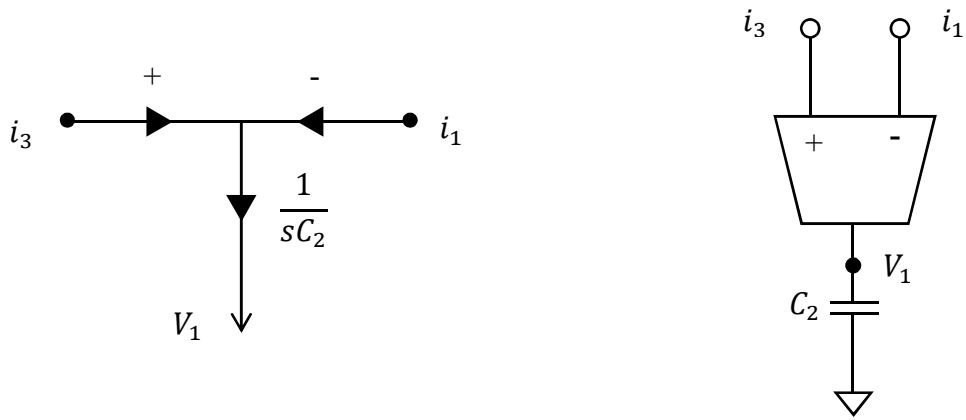


Fig. 3-34 Realización de la ecuación para  $V_1$  mediante un OTA y un capacitor.

**SFG** **Realización con OTA-C**

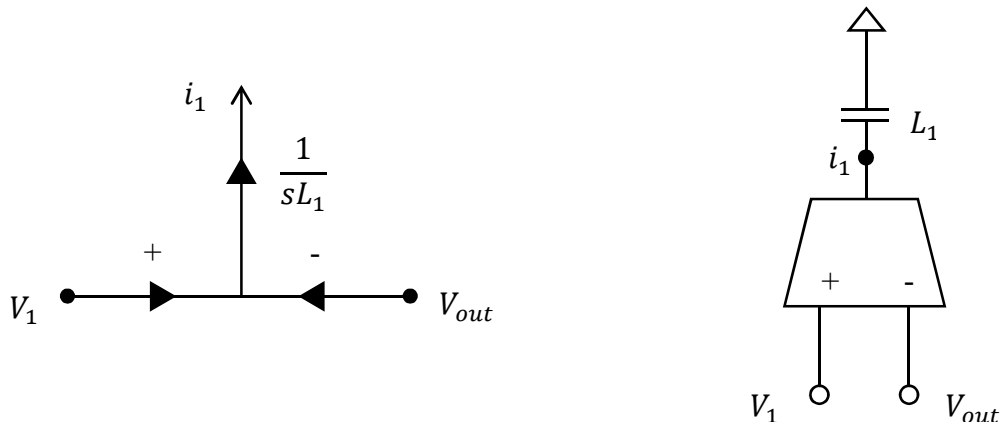


Fig. 3-35 Realización de la ecuación para  $i_1$  mediante un OTA y un capacitor.

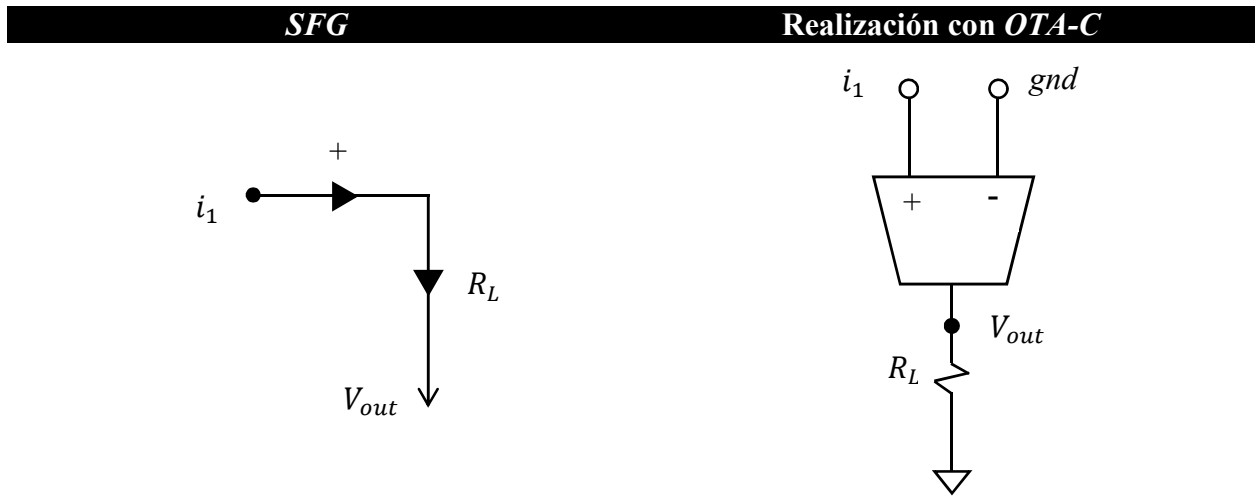


Fig. 3-36 Realización de la ecuación para  $V_{out}$  mediante un *OTA* y un resistor.

- Realización completa del filtro utilizando *OTAs* y capacitores (filtro *OTA-C*) y simulación de la respuesta en frecuencia.

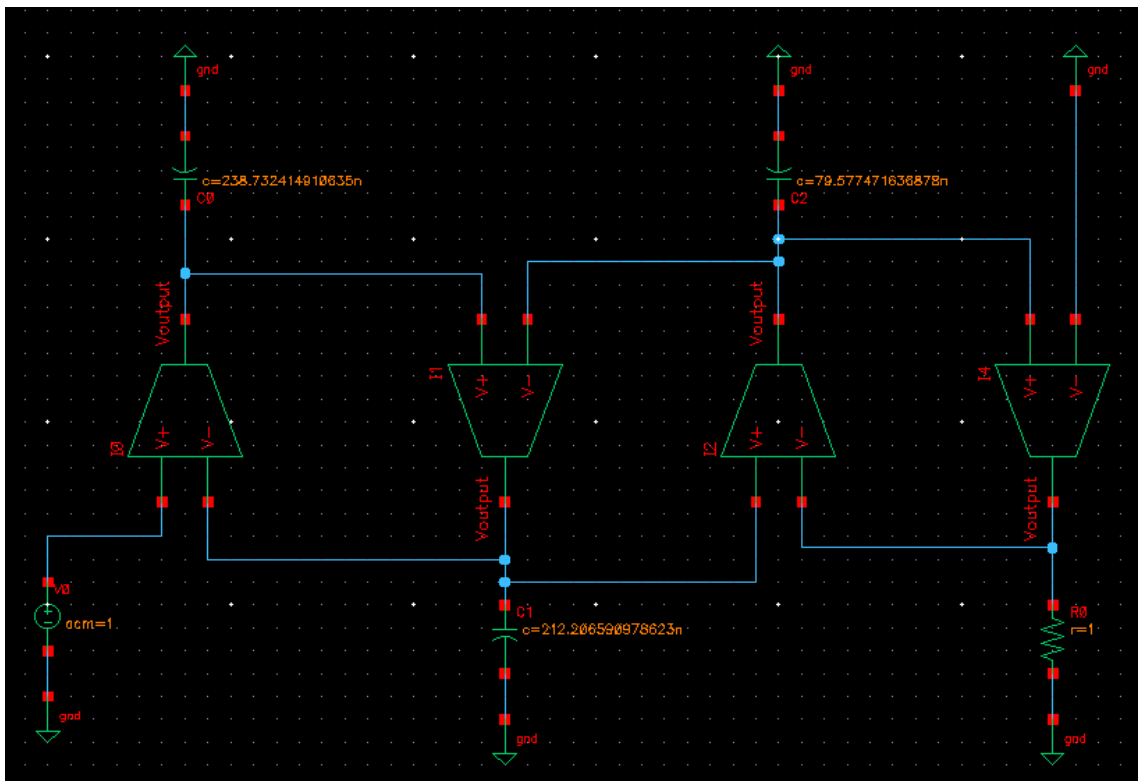


Fig. 3-37 Realización completa del filtro, empleando *OTAs*, capacitores y la resistencia de carga en la salida.

Simulación del filtro utilizando *OTAs* ideales (fuente de corriente controlada por voltaje con  $G_m = 1$ ).

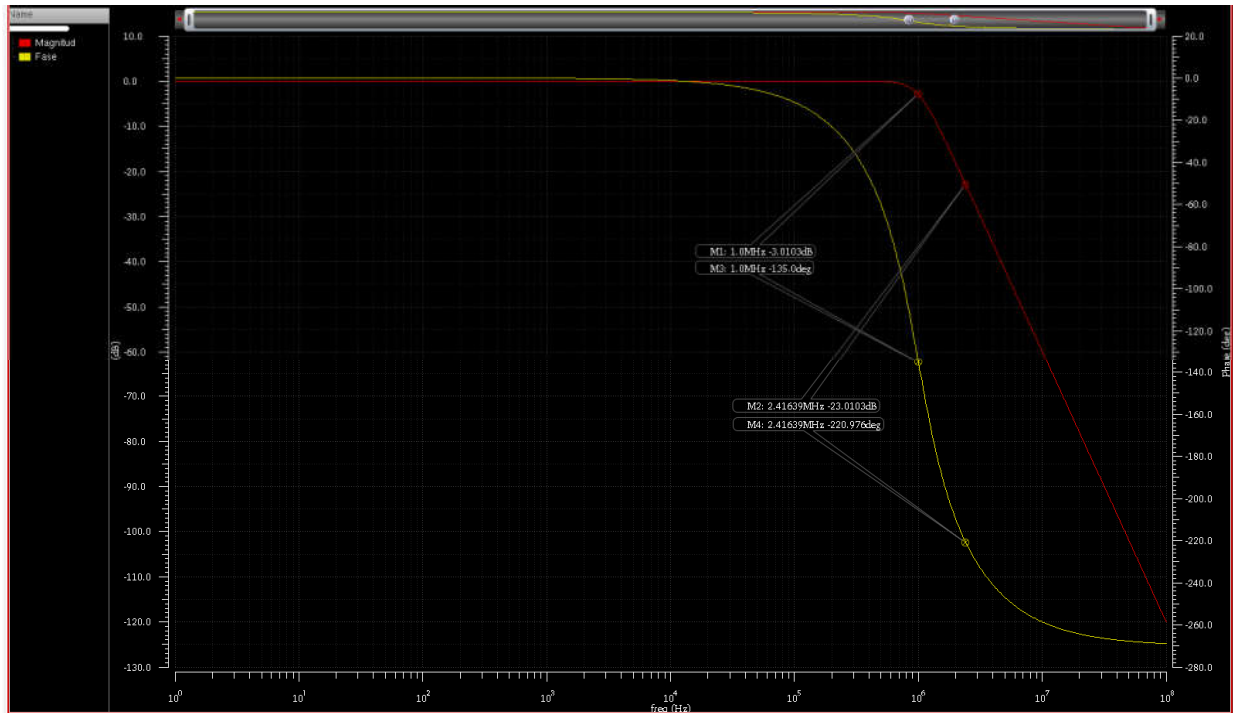


Fig. 3-38 Magnitud y fase de la respuesta en frecuencia del filtro.

**Frecuencias y fases de corte y 'stop-band'**

$$f_c = 1.0 \text{ [Mhz]}, \theta_c = -135^\circ$$

$$f_s = 2.41639 \text{ [Mhz]}, \theta_s = -220.97^\circ$$

Tabla 3-3 Frecuencias y fases de corte y rechazo para del filtro.

## **2. Especificaciones.**

### **A. Paso 1.**

Diseñe una serie de filtros activos con elementos *OTA-C* para cada uno de los siguientes casos. Utilice las realizaciones asociadas a los esquemas **A.1** y **A.5** del libro de **Lawrence P. Huelsman**.

#### **I. Caso 1.**

Fig. 3-39 Máscara de especificación para el filtro pasa-bajas del caso 1.

#### **II. Caso 2.**

Fig. 3-40 Máscara de especificación para el filtro pasa-bajas del caso 2.

### III. Caso 3.

Fig. 3-41 Máscara de especificación para el filtro pasa-bajas del caso 3.

### IV. Caso 4.

Fig. 3-42 Máscara de especificación para el filtro pasa-bajas del caso 4.

#### 3. Diseño.

##### B. Pasos 2, 3, 4, 5 y 6.

Para obtener los valores de  $\varepsilon$ ,  $n$  y el factor de normalización de frecuencia  $\Omega_n$  que permiten alcanzar una frecuencia de corte de 1 [rad/s] se utilizó una hoja de cálculo que se aneja como parte del proyecto). En dicha hoja de cálculo, una vez que se calcula el grado del filtro, se capturan los valores de los elementos pasivos (que se obtienen de las tablas **A.1** y **A.3** del **Anexo A** del libro de **Lawrence Huelsman**) y se escalan por el recíproco del factor de normalización en frecuencia.



A partir de:

$$\varepsilon = \sqrt{10^{\frac{A_c}{10}} - 1}, \quad n = \frac{\log \sqrt{\frac{A_s}{10^{10} - 1}}}{\log(\omega_s)} \quad \text{y} \quad \Omega_n = 2\pi f_c \quad (3-48), (3-49) \text{ y } (3-50)$$

Se obtiene:

$$\varepsilon = 1$$

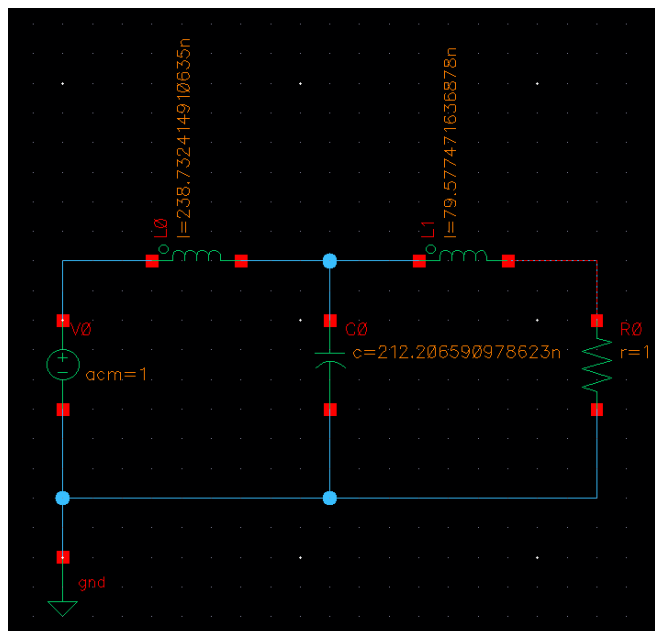
$$n = 3$$

$$\Omega_n = 2 \cdot \pi \cdot 1 \times 10^6 \text{ [Hz]}$$

Fig. 3-43 Obtención de  $\varepsilon$ ,  $n$  y  $\Omega_n$  para el filtro del caso 1.

Cálculo de los valores para los elementos pasivos que forman el filtro del caso 1 y su captura en *Virtuoso* de *Cadence*:

### Realización A.1



$$L_3 = 238.7324 \text{ [nH]}$$

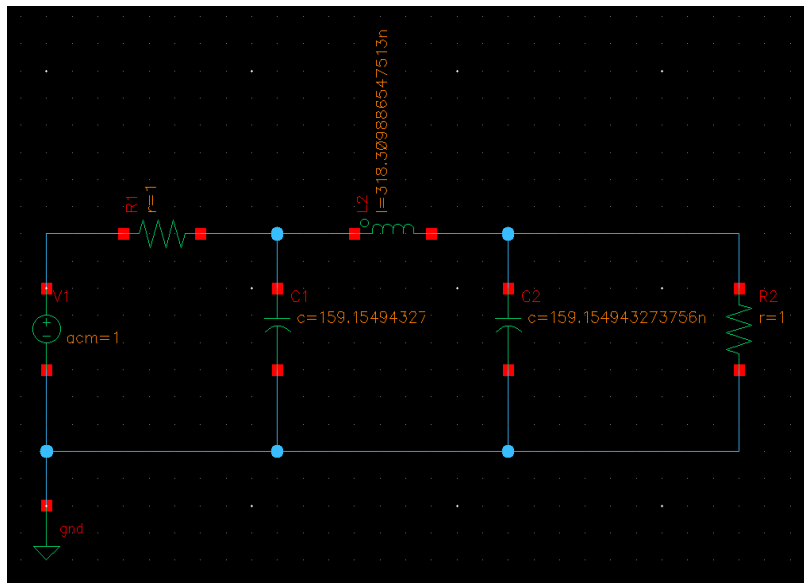
$$C_2 = 212.2066 \text{ [nF]}$$

$$L_1 = 79.5775 \text{ [nH]}$$

$$R_L = 1 \text{ [\Omega]}$$

Fig. 3-44 Realización pasiva del filtro del caso 1 de acuerdo con la configuración A.1 propuesta en el Anexo A del libro de **L. P. Huelsman**.

## Realización A.5



$$C_3 = 159.1549 \text{ [nF]}$$

$$L_2 = 318.3099 \text{ [nH]}$$

$$C_1 = 159.1549 \text{ [nF]}$$

$$R_{in} = 1 \text{ [\Omega]}$$

$$R_L = 1 \text{ [\Omega]}$$

Fig. 3-45 Realización pasiva del filtro del caso 1 de acuerdo con la configuración **A.5** propuesta en el **Anexo A** del libro de **L. P. Huelsman**.

Para el filtro del caso 2, luego de aplicar las ecuaciones (3-48), (3-49) y (3-50) se obtienen los valores de  $\varepsilon$ ,  $n$  y  $\Omega_n$ .

Se obtiene:

$$\varepsilon = 1$$

$$n = 3$$

$$\Omega_n = 2 \cdot \pi \cdot 2.5 \times 10^6 \text{ [Hz]}$$

Fig. 3-46 Obtención de  $\varepsilon$ ,  $n$  y  $\Omega_n$  para el filtro del caso 2.

Valores para los elementos pasivos que forman el filtro del caso 2 y su captura en *Virtuoso* de *Cadence*:

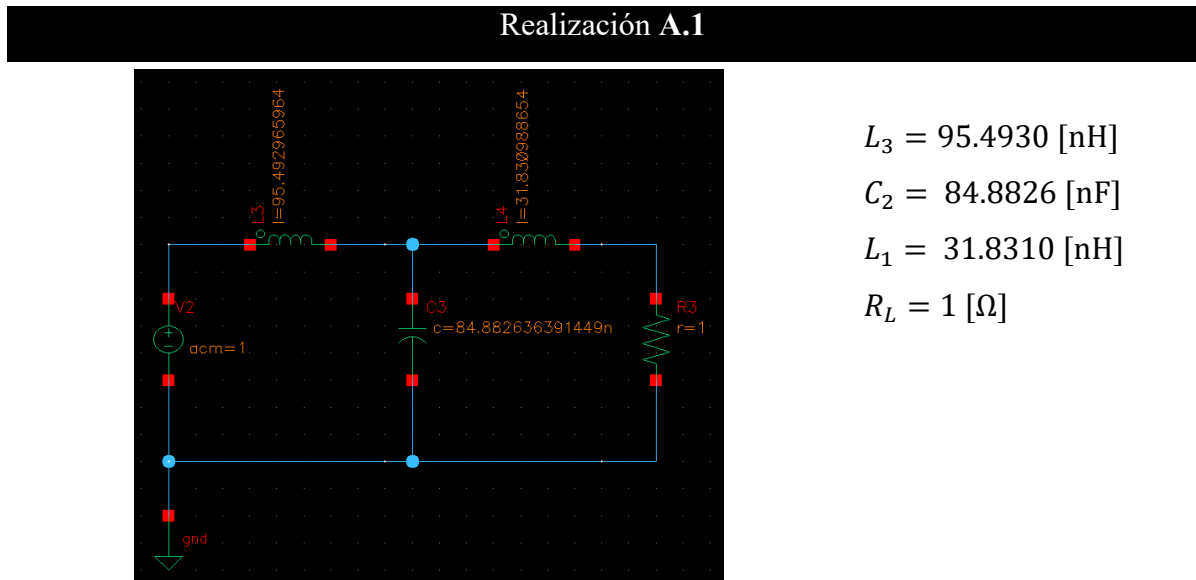


Fig. 3-47 Realización pasiva del filtro del caso 2 de acuerdo con la configuración **A.1** propuesta en el **Anexo A** del libro de **L. P. Huelsman**.

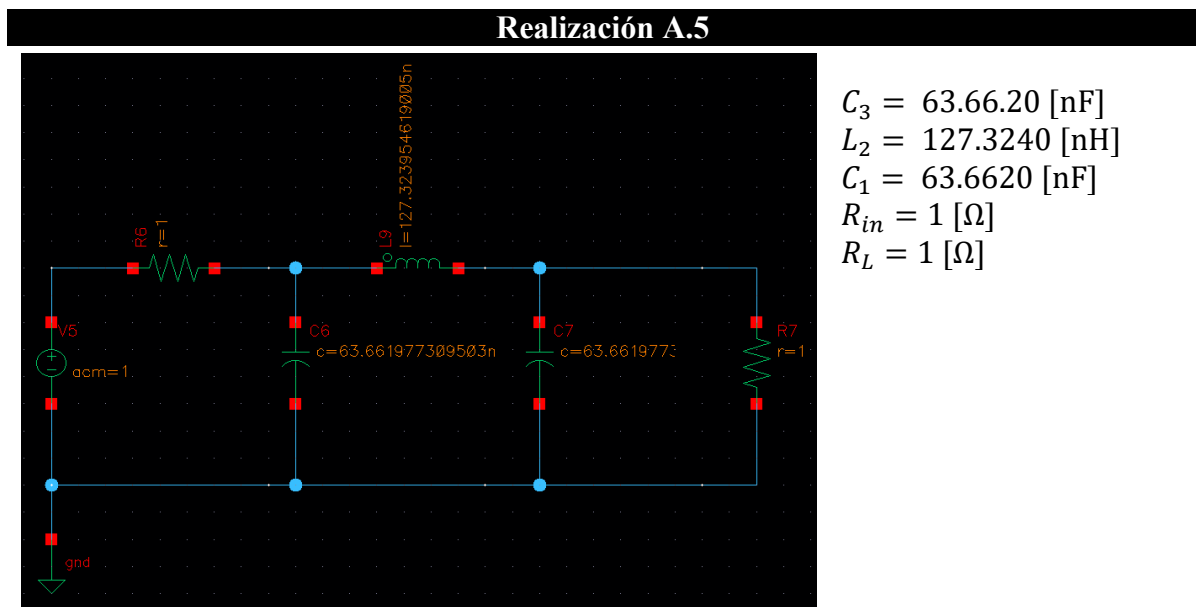


Fig. 3-48 Realización pasiva del filtro del caso 2 de acuerdo con la configuración **A.5** propuesta en el **Anexo A** del libro de **L. P. Huelsman**.

Para el filtro del caso 3, luego de aplicar las ecuaciones (3-48), (3-49) y (3-50) se obtienen los valores de  $\varepsilon$ ,  $n$  y  $\Omega_n$ .

Se obtiene:

$$\varepsilon = 1$$

$$n = 3$$

$$\Omega_n = 2\pi \cdot 4 \times 10^6 \text{ [Hz]}$$

Fig. 3-49 Obtención de  $\varepsilon$ ,  $n$  y  $\Omega_n$  para el filtro del caso 3.

Valores para los elementos pasivos que forman el filtro del caso 3 y su captura en *Virtuoso* de *Cadence*:

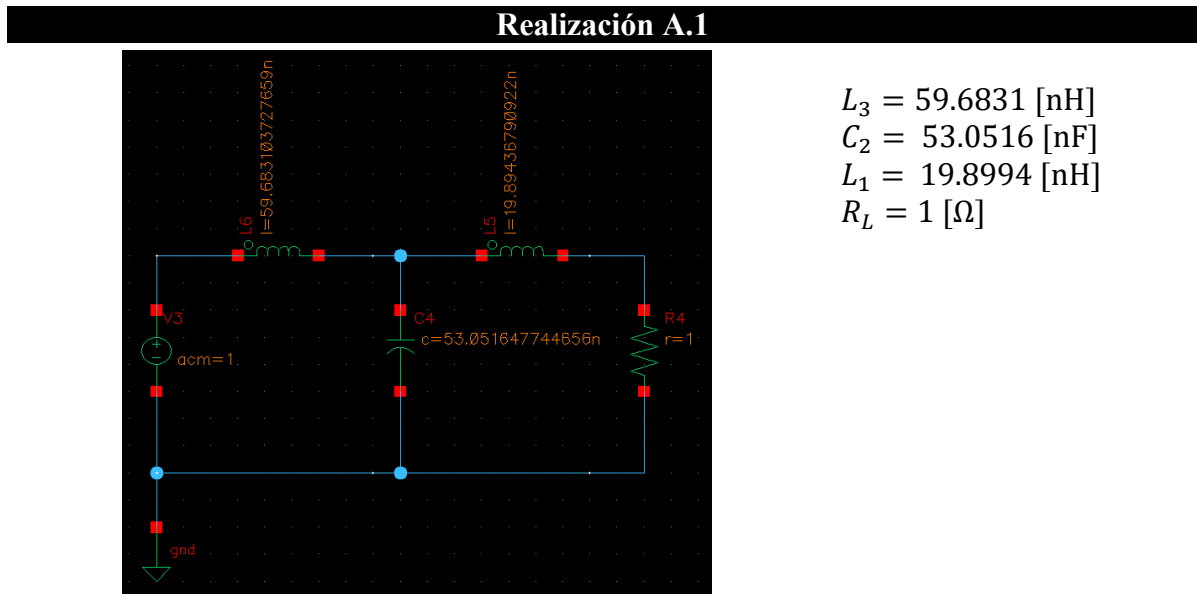
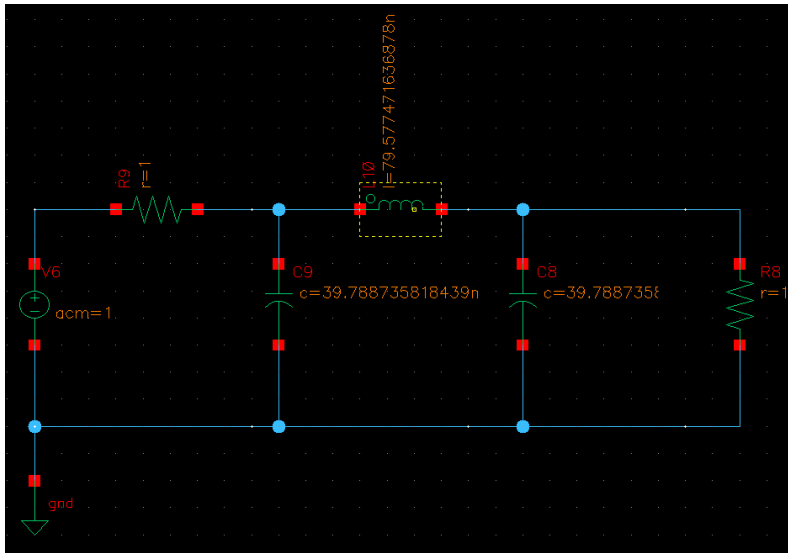


Fig. 3-50 Realización pasiva del filtro del caso 3 de acuerdo con la configuración **A.1** propuesta en el **Anexo A** del libro de **L. P. Huelsman**.

## Realización A.5



$$\begin{aligned}
 C_3 &= 39.7887 \text{ [nF]} \\
 L_2 &= 79.5775 \text{ [nH]} \\
 C_1 &= 39.7887 \text{ [nF]} \\
 R_{in} &= 1 \text{ [\Omega]} \\
 R_L &= 1 \text{ [\Omega]}
 \end{aligned}$$

Fig. 3-51 Realización pasiva del filtro del caso 3 de acuerdo con la configuración **A.5** propuesta en el **Anexo A** del libro de **L. P. Huelsman**.

Para el filtro del caso 4, luego de aplicar las ecuaciones (3-48), (3-49) y (3-50) se obtienen los valores de  $\varepsilon$ ,  $n$  y  $\Omega_n$ .

Se obtiene:

$$\varepsilon = 1$$

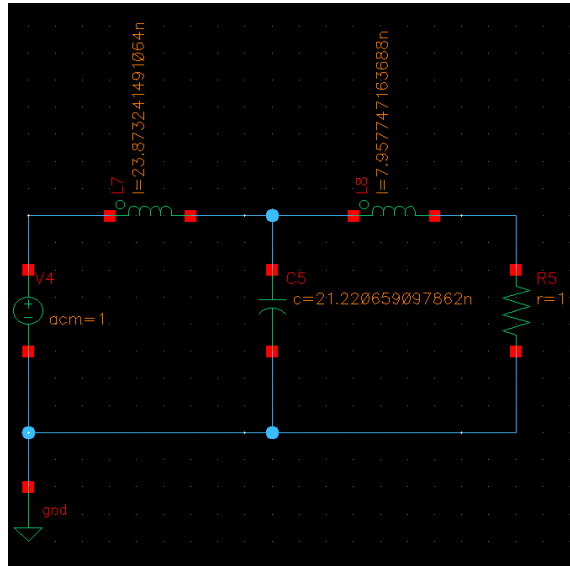
$$n = 3$$

$$\Omega_n = 2 \cdot \pi \cdot 10 \times 10^6 \text{ [Hz]}$$

Fig. 3-52 Obtención de  $\varepsilon$ ,  $n$  y  $\Omega_n$  para el filtro del caso 4.

Valores para los elementos pasivos que forman el filtro del caso 4 y su captura en *Virtuoso* de *Cadence*:

### Realización A.1



$$L_3 = 23.8732 \text{ [nH]}$$

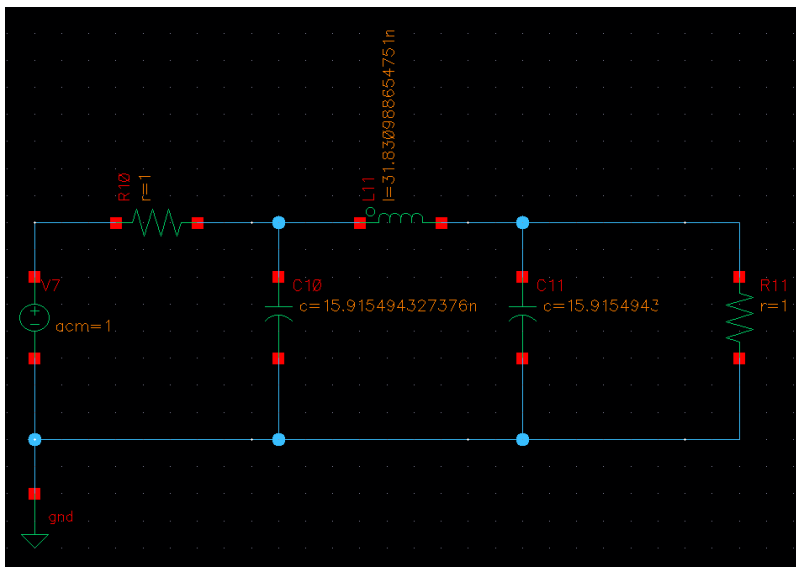
$$C_2 = 21.2207 \text{ [nF]}$$

$$L_1 = 7.9577 \text{ [nH]}$$

$$R_L = 1 \text{ [\Omega]}$$

Fig. 3-53 Realización pasiva del filtro del caso 4 de acuerdo con la configuración A.1 propuesta en el Anexo A del libro de L. P. Huelsman.

### Realización A.5



$$C_3 = 15.9155 \text{ [nF]}$$

$$L_2 = 31.8310 \text{ [nH]}$$

$$C_1 = 15.9155 \text{ [nF]}$$

$$R_{in} = 1 \text{ [\Omega]}$$

$$R_L = 1 \text{ [\Omega]}$$

Fig. 3-54 Realización pasiva del filtro del caso 4 de acuerdo con la configuración A.5 propuesta en el Anexo A del libro de L. P. Huelsman.

### C. Paso 7.

A continuación se muestran los resultados de la simulación de los filtros pasivos calculados. Se grafican la magnitud y fase de su respuesta en frecuencia (se agregaron un par de marcadores mostrando la atenuación del filtro en  $f_c$  y  $f_s$ , así como el valor de la fase en estos puntos) y una tabla resumen.

#### i. Caso 1, realización A.1.

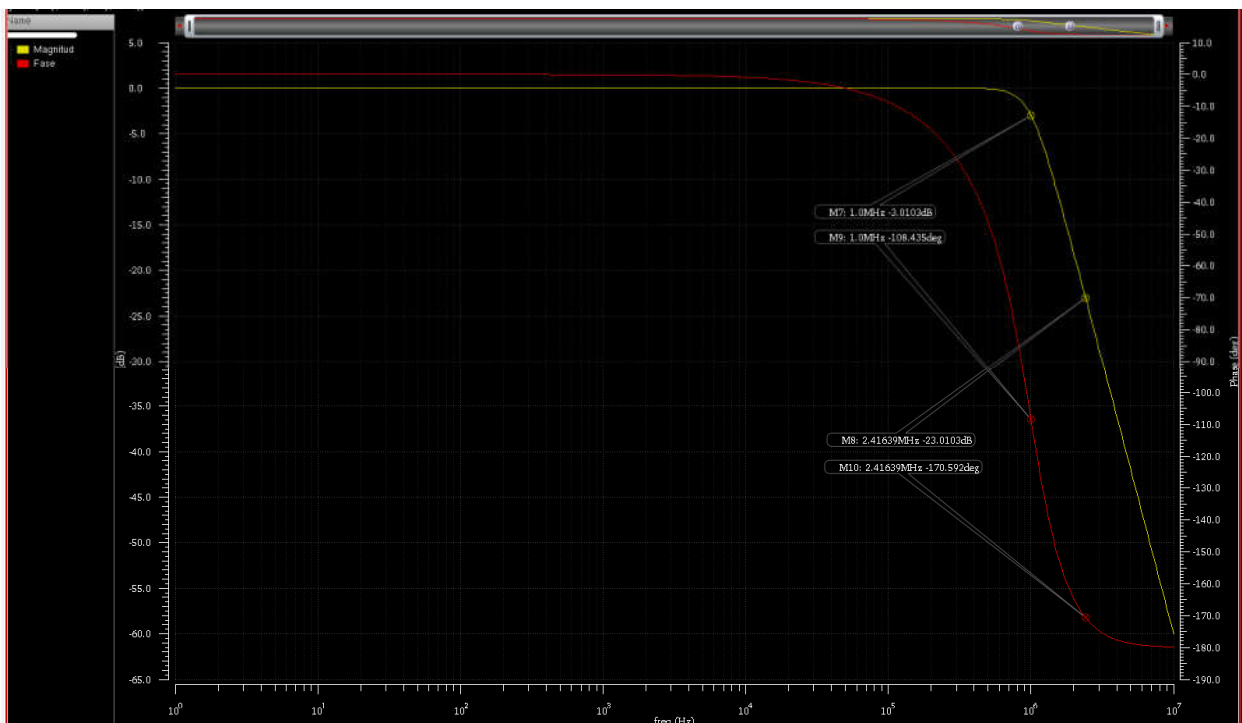


Fig. 3-55 Respuesta en frecuencia del filtro pasivo del caso 1 de acuerdo con la configuración A.1 propuesta en el Anexo A del libro de L. P. Huelsman.

#### Frecuencias y fases de corte y 'stop-band'

$$f_c = 1.0 \text{ [Mhz]}, \theta_c = -108.435^\circ$$

$$f_s = 2.41639 \text{ [Mhz]}, \theta_s = -170.592^\circ$$

Tabla 3-4 Frecuencias y fases de corte y de rechazo para el filtro del caso 1 – realización

#### A.1.

ii. Caso 1. Realización A.5.

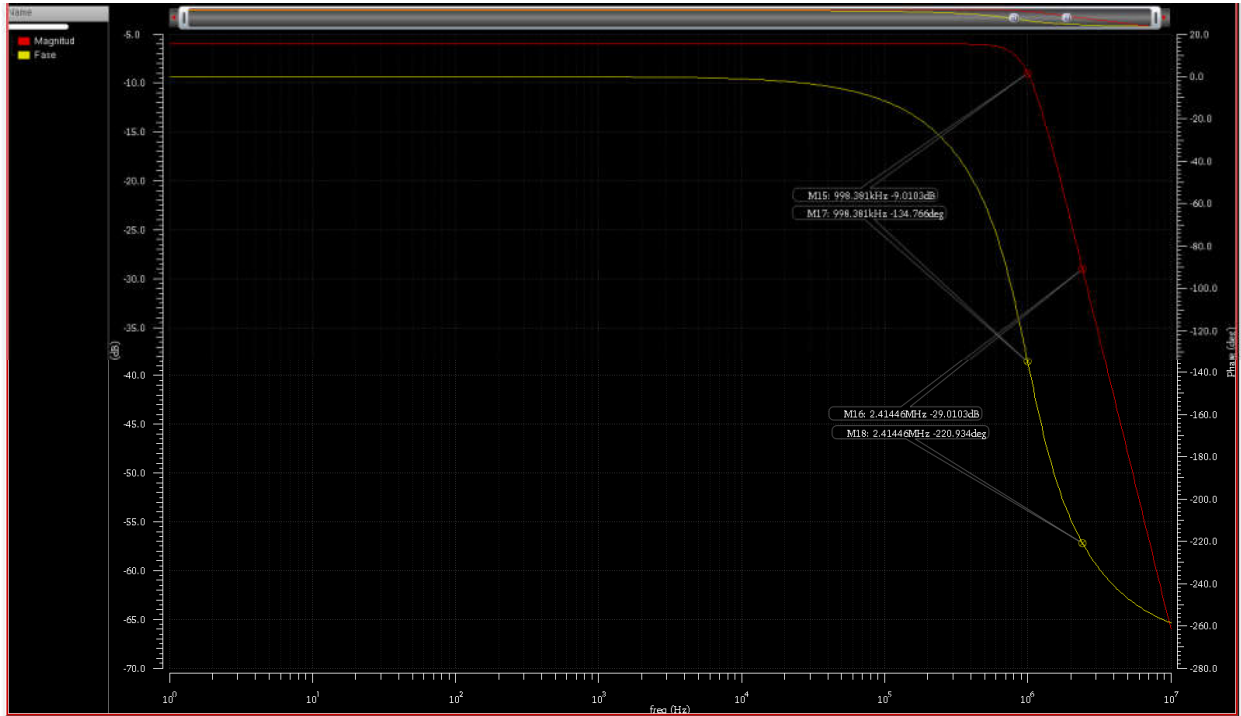


Fig. 3-56 Respuesta en frecuencia del filtro pasivo del caso 1 de acuerdo con la configuración A.5 propuesta en el Anexo A del libro de L. P. Huelsman.

**Frecuencias y fases de corte y 'stop-band'**

$$f_c = 998.381 \text{ [Khz]}, \theta_c = -134.766^\circ$$

$$f_s = 2.41446 \text{ [Mhz]}, \theta_s = -220.934^\circ$$

Tabla 3-5 Frecuencias y fases de corte y de rechazo para el filtro del caso 1 – realización

A.5.



iii. Caso 2. Realización A.1.

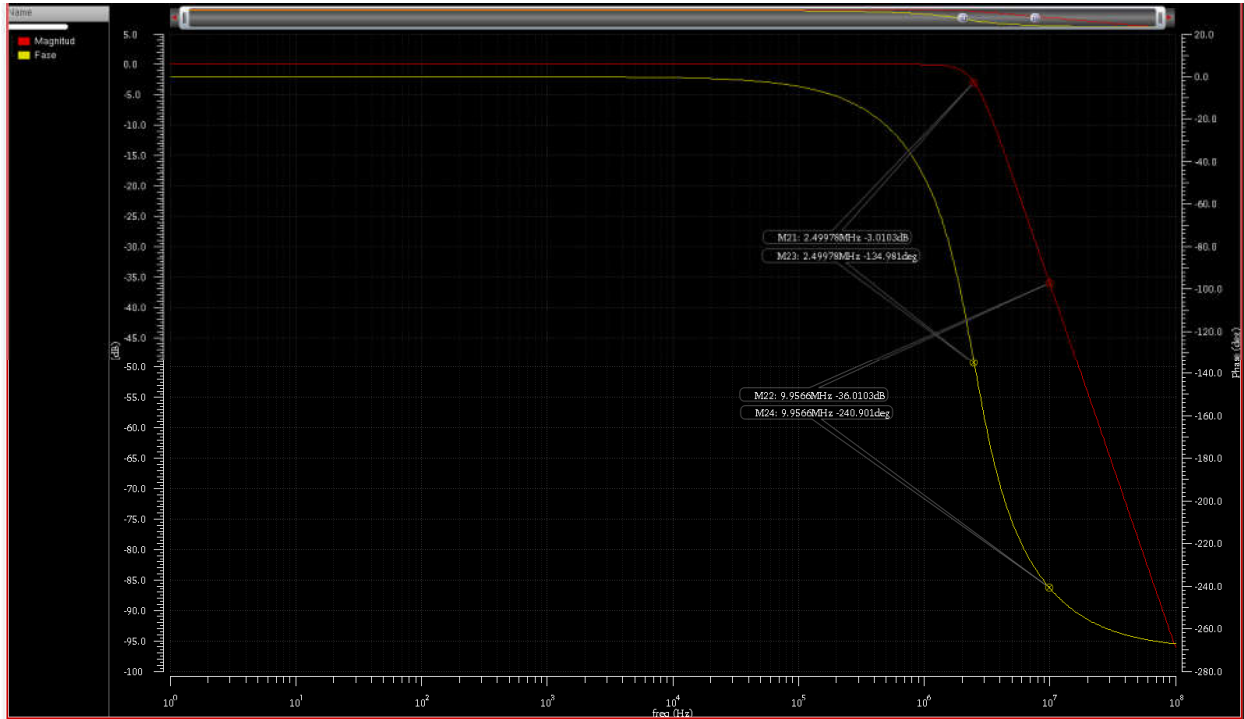


Fig. 3-57 Respuesta en frecuencia del filtro pasivo del caso 2 de acuerdo con la configuración A.1 propuesta en el Anexo A del libro de L. P. Huelsman.

**Frecuencias y fases de corte y 'stop-band'**

$$f_c = 2.49978 \text{ [Mhz]}, \theta_c = -134.981^\circ$$

$$f_s = 9.9566 \text{ [Mhz]}, \theta_s = -240.901^\circ$$

Tabla 3-6 Frecuencias y fases de corte y de rechazo para el filtro del caso 2 – realización A.1.

iv. Caso 2. Realización A.5.

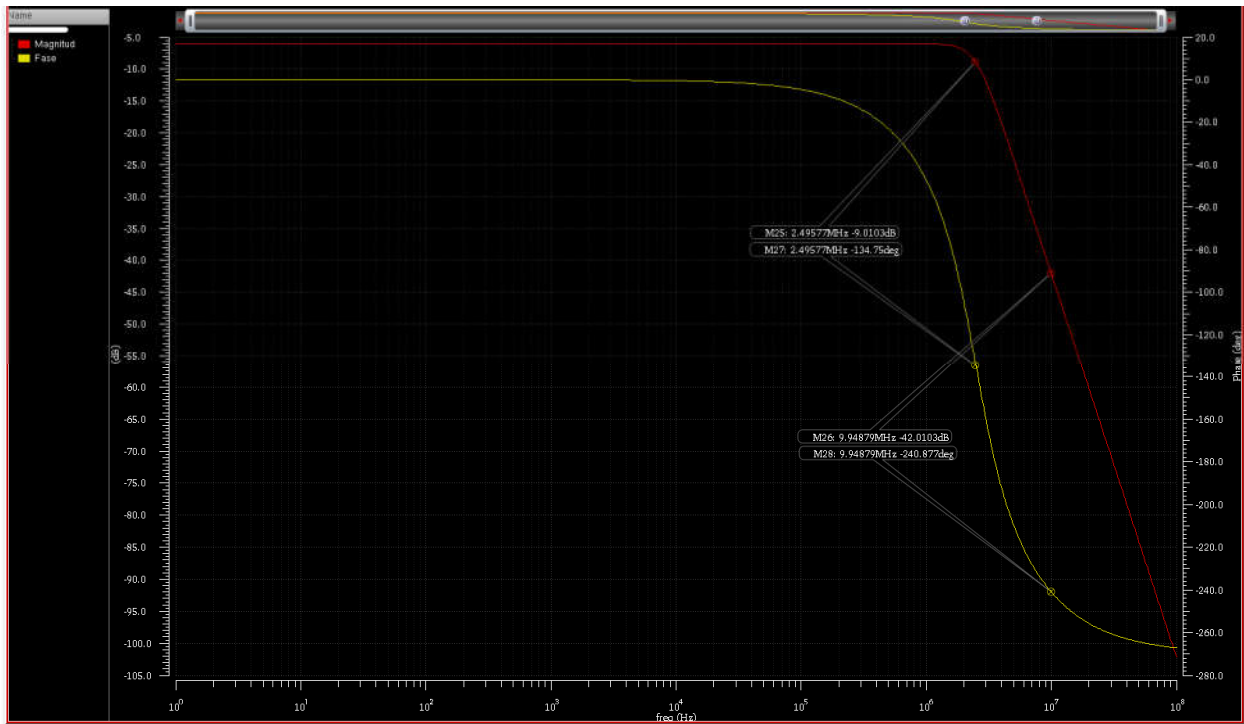


Fig. 3-58 Respuesta en frecuencia del filtro pasivo del caso 2 de acuerdo con la configuración A.5 propuesta en el Anexo A del libro de L. P. Huelsman.

**Frecuencias y fases de corte y 'stop-band'**

$$f_c = 2.49577 \text{ [Mhz]}, \theta_c = -134.75^\circ$$

$$f_s = 9.94879 \text{ [Mhz]}, \theta_s = -240.877^\circ$$

Tabla 3-7 Frecuencias y fases de corte y de rechazo para el filtro del caso 2 – realización A.5.

v. Caso 3. Realización A.1.

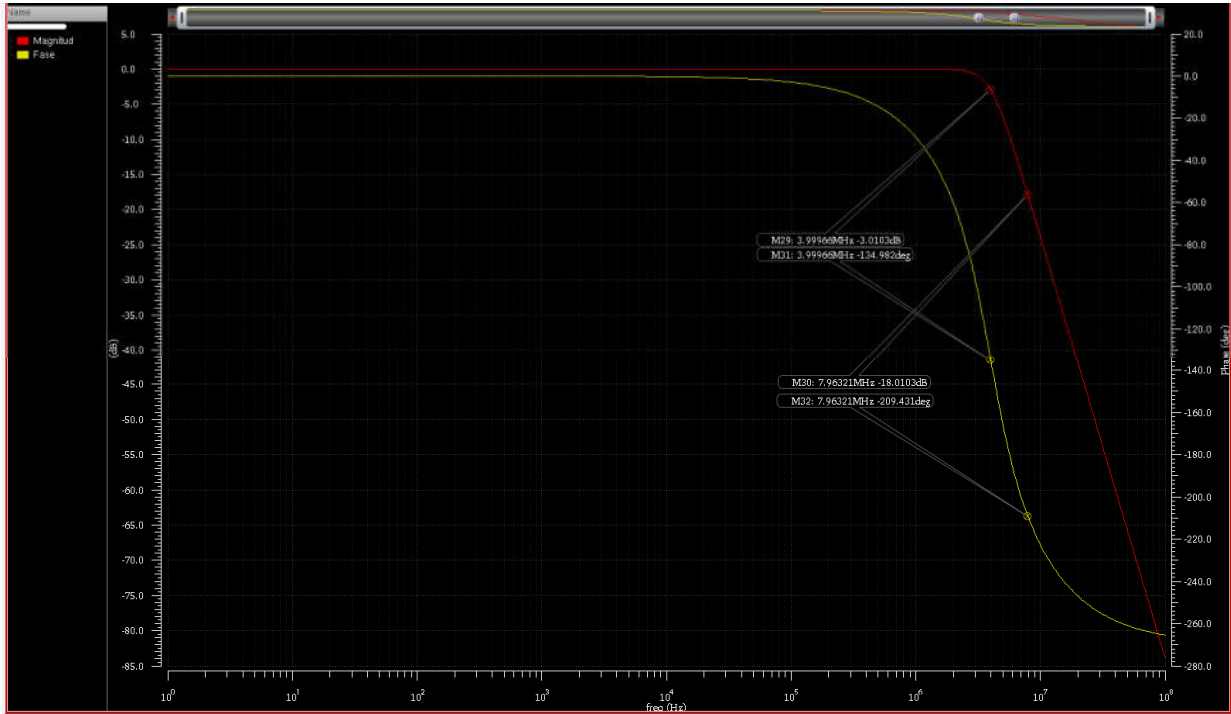


Fig. 3-59 Respuesta en frecuencia del filtro pasivo del caso 3 de acuerdo con la configuración A.1 propuesta en el Anexo A del libro de L. P. Huelsman.

**Frecuencias y fases de corte y 'stop-band'**

$$f_c = 3.99966 \text{ [Mhz]}, \theta_c = -134.982^\circ$$

$$f_s = 7.96321 \text{ [Mhz]}, \theta_s = -209.431^\circ$$

Tabla 3-8 Frecuencias y fases de corte y de rechazo para el filtro del caso 3 – realización

A.1.

vi. Caso 3. Realización A.5.

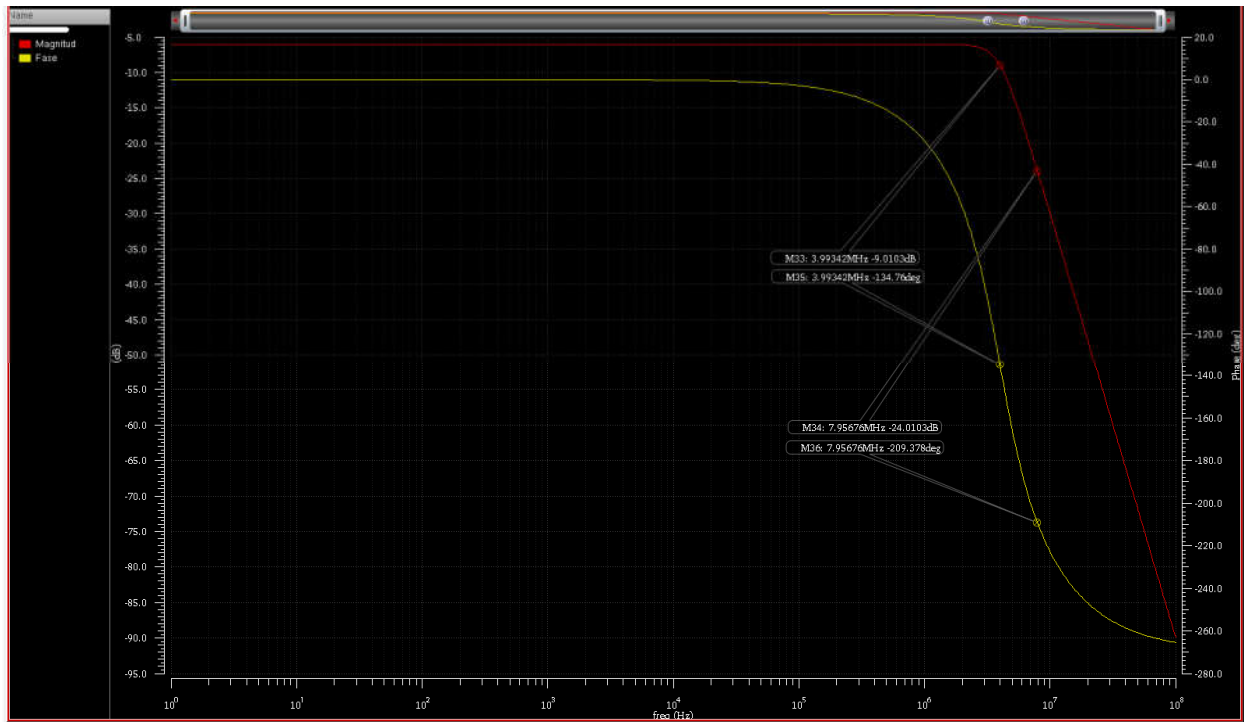


Fig. 3-60 Respuesta en frecuencia del filtro pasivo del caso 3 de acuerdo con la configuración A.5 propuesta en el Anexo A del libro de L. P. Huelsman.

**Frecuencias y fases de corte y 'stop-band'**

$$f_c = 3.99342 \text{ [Mhz]}, \theta_c = -134.76^\circ$$

$$f_s = 7.95676 \text{ [Mhz]}, \theta_s = -209.378^\circ$$

Tabla 3-9 Frecuencias y fases de corte y de rechazo para el filtro del caso 3 – realización A.5.

vii. Caso 4. Realización A.1.



Fig. 3-61 Respuesta en frecuencia del filtro pasivo del caso 4 de acuerdo con la configuración A.1 propuesta en el Anexo A del libro de L. P. Huelsman.

**Frecuencias y fases de corte y 'stop-band'**

$$f_c = 10 \text{ [Mhz]}, \theta_c = -135^\circ$$

$$f_s = 14.4289 \text{ [Mhz]}, \theta_s = -182.135^\circ$$

Tabla 3-10 Frecuencias y fases de corte y de rechazo para el filtro del caso 4 – realización A.1.

viii. Caso 4. Realización A.5.

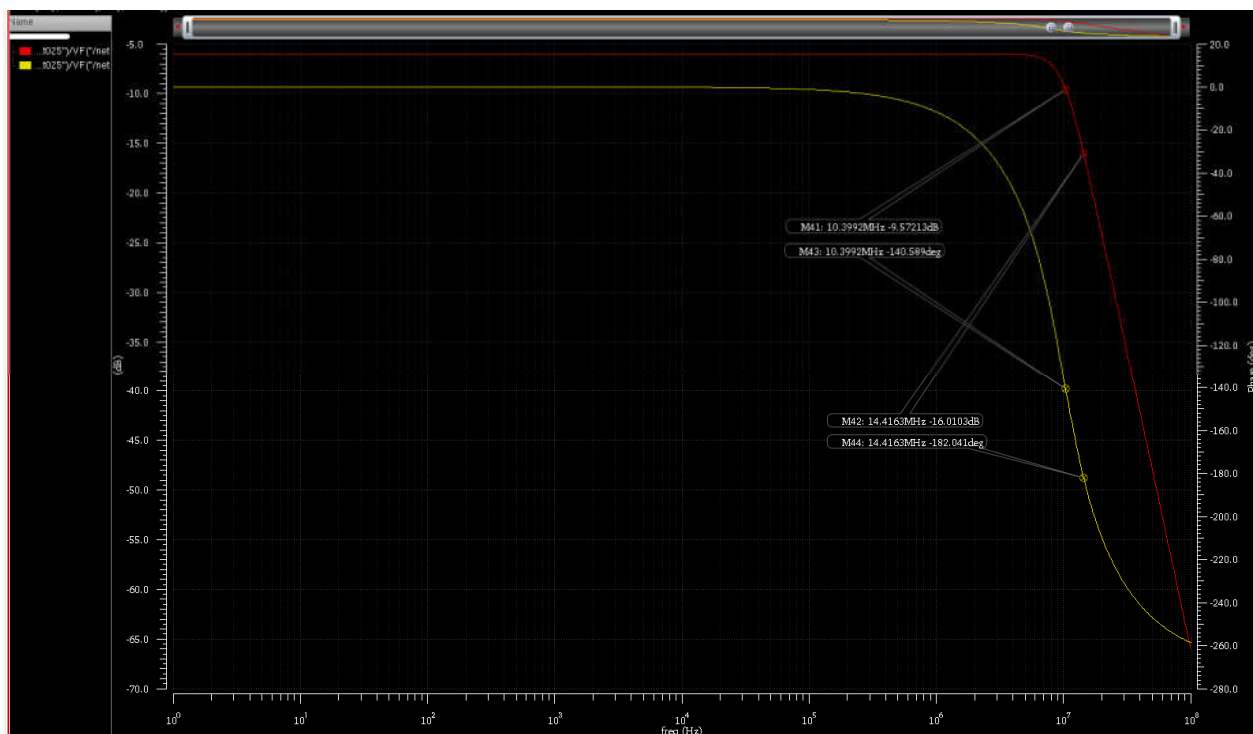


Fig. 3-62 Respuesta en frecuencia del filtro pasivo del caso 4 de acuerdo con la configuración A.5 propuesta en el Anexo A del libro de L. P. Huelsman.

**Frecuencias y fases de corte y 'stop-band'**

$$f_c = 10.3992 \text{ [Mhz]}, \theta_c = -140.589^\circ$$

$$f_s = 14.4163 \text{ [Mhz]}, \theta_s = -182.041^\circ$$

Tabla 3-11 Frecuencias y fases de corte y de rechazo para el filtro del caso 4 – realización A.5.

**D. Pasos 8 y 9.**

Ahora se determinan las ecuaciones de estado para cada filtro y su implantación mediante *SFG*. Por simplicidad, todas las  $G_m$  de los *OTAs* serán iguales pero diferentes de 1 ( $G_m = G_{mx}$ ) y se harán las modificaciones necesarias en los valores de los elementos para que las ecuaciones implementadas sean iguales a las ecuaciones originales.

En general, para la implantación de los filtros se tienen las siguientes dos estructuras sugeridas por **L. P. Huelsman**.

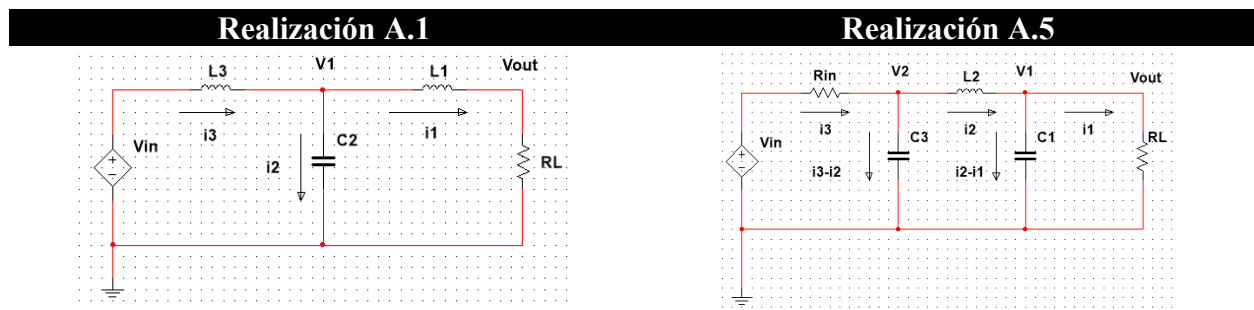


Fig. 3-63 Realizaciones para filtros Butterworth de acuerdo con lo señalado en el Anexo A del libro de **Lawrence P. Huelsman**.

Lo que conduce a las siguientes ecuaciones individuales de estado, su representación mediante *SFG* y su implantación con *OTA-C*.

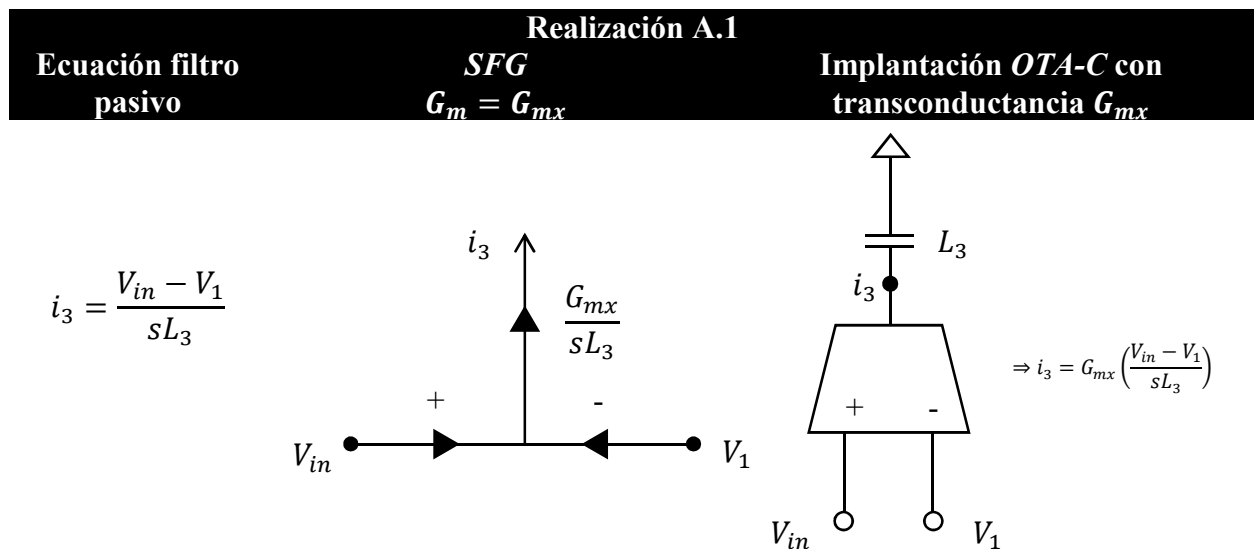


Fig. 3-64 Ecuaciones de estado, *SFG* que las representa e implantación con *OTA-C* para filtros con realización **A.1**.

Ecuación filtro pasivo	Realización A.1 <i>SFG</i> $G_m = G_{mx}$	Implantación <i>OTA-C</i> con transconductancia $G_{mx}$
------------------------	---	--

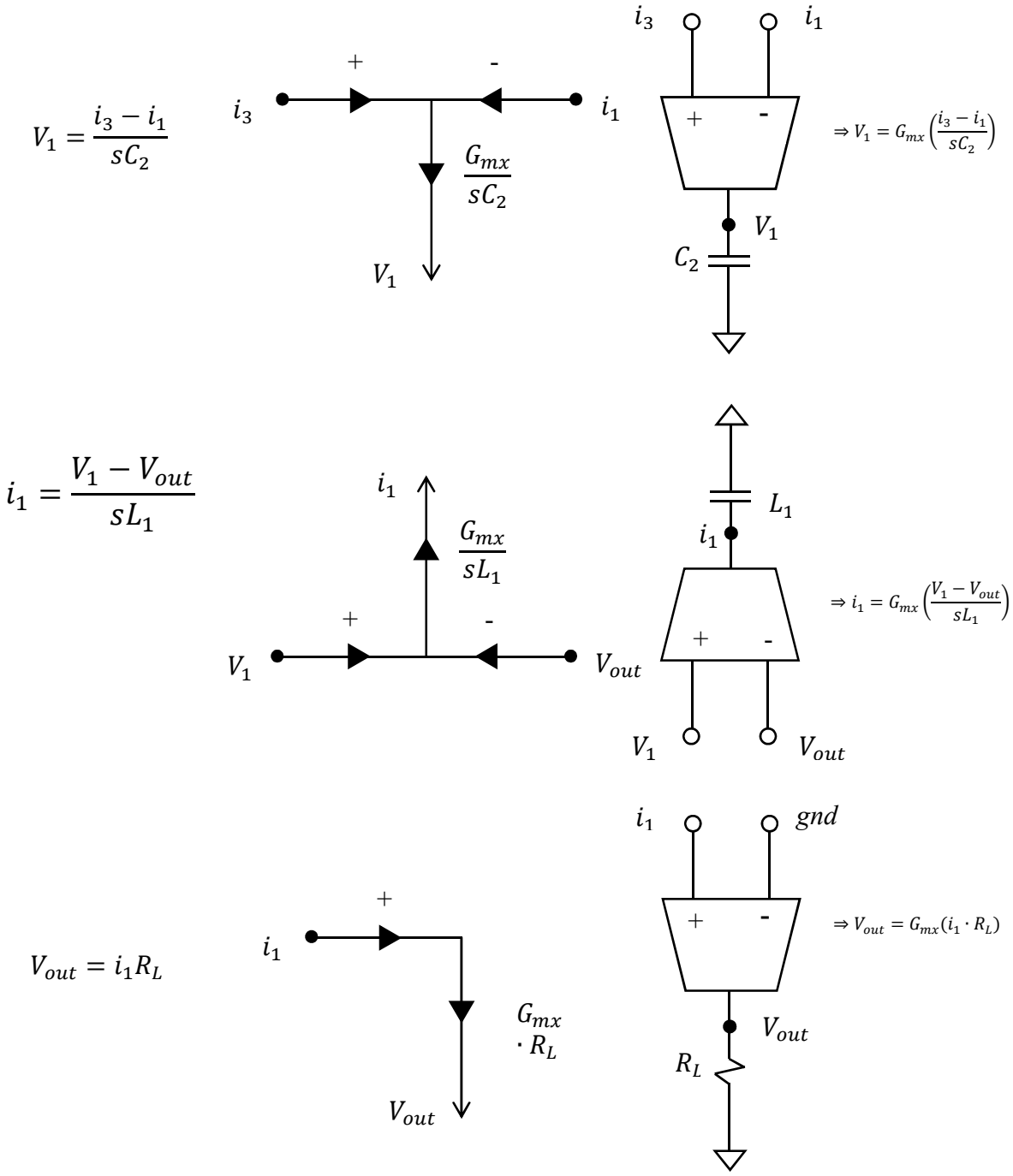


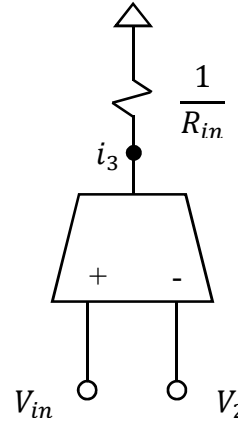
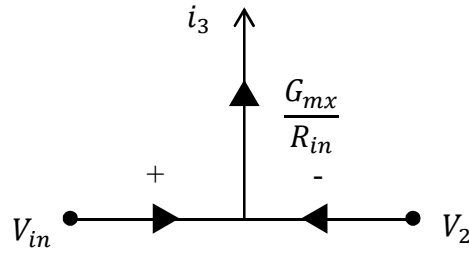
Fig. 3-65 Ecuaciones de estado, *SFG* que las representa e implantación con *OTA-C* para filtros con realización A.1 (continuación).



**Realización A.5**

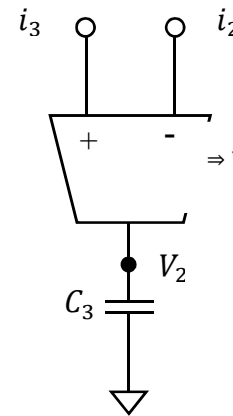
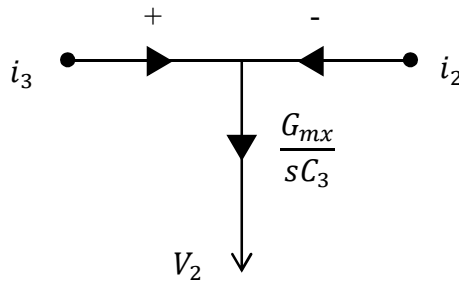
<b>Ecuación filtro pasivo</b>	<b>SFG</b> $G_m = G_{mx}$	<b>Implantación OTA-C con transconductancia <math>G_{mx}</math></b>
-------------------------------	------------------------------	---

$$i_3 = \frac{(V_{in} - V_2)}{R_{in}}$$



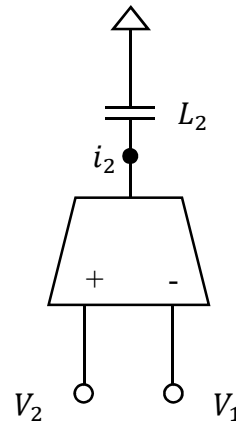
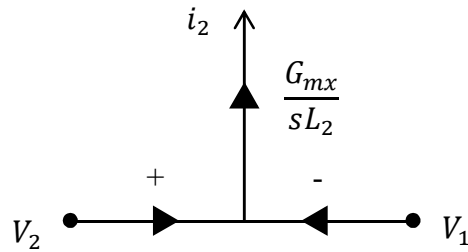
$$\Rightarrow i_3 = G_{mx} \frac{(V_{in} - V_2)}{R_{in}}$$

$$V_2 = \frac{i_3 - i_2}{sC_3}$$



$$\Rightarrow V_2 = G_{mx} \left( \frac{i_3 - i_2}{sC_3} \right)$$

$$i_2 = \frac{V_2 - V_1}{sL_2}$$



$$\Rightarrow i_2 = G_{mx} \left( \frac{V_2 - V_1}{sL_2} \right)$$

Fig. 3-66 Ecuaciones de estado, SFG que las representa e implantación con OTA-C para filtros con realización A.5.

<b>Ecuación filtro pasivo</b>	<b>Realización A.5</b> <i>SFG</i> $G_m = G_{mx}$	<b>Implantación OTA-C con transconductancia <math>G_{mx}</math></b>
-------------------------------	--	---

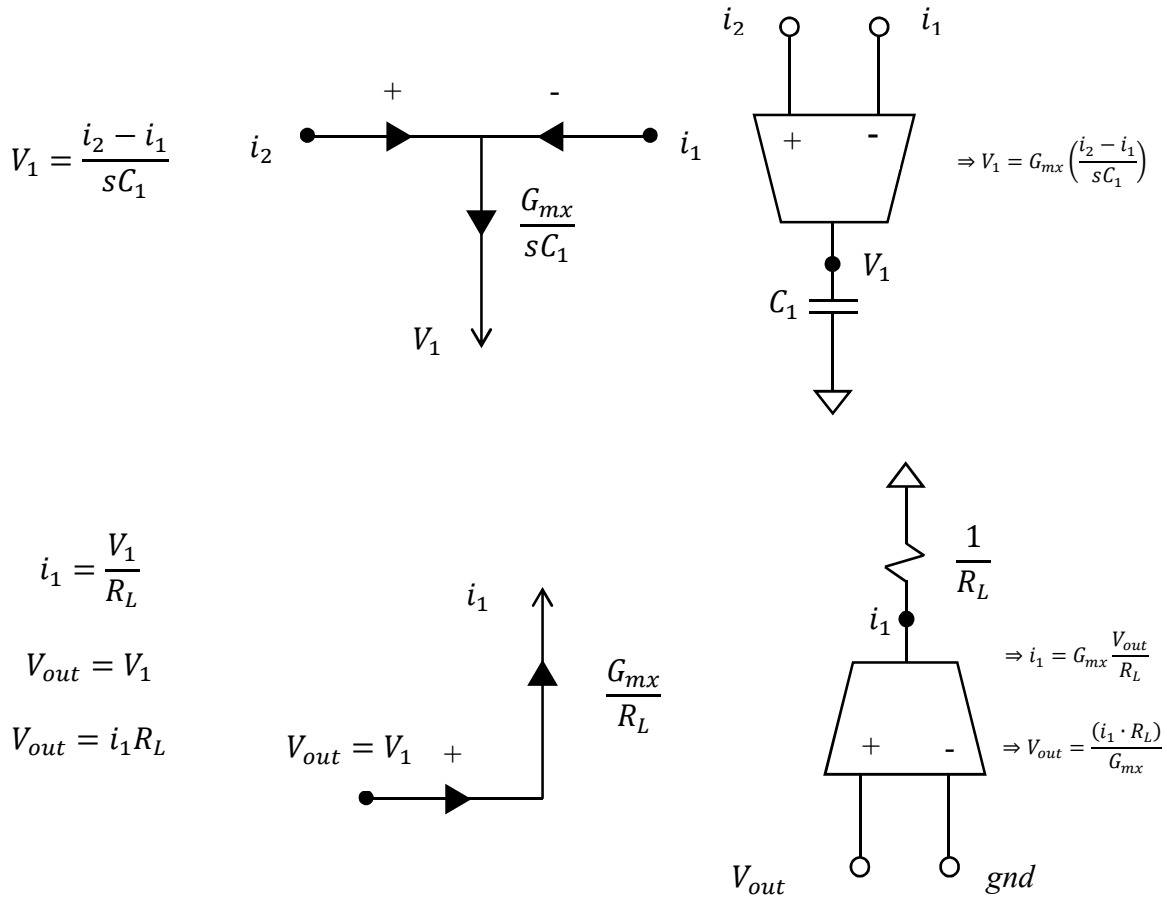


Fig. 3-67 Ecuaciones de estado, *SFG* que las representa e implantación con *OTA-C* para filtros con realización **A.5** (continuación).

La definición de la ganancia de los *OTA* como  $G_m = G_{mx}$  conlleva un nuevo cálculo de los valores de los elementos pasivos para mantener sin cambios las ecuaciones de estado.

<b>Realización A.1</b>		
<b>Ecuación con <math>G_m = G_{mx}</math></b>	<b>Nuevos valores de los elementos pasivos</b>	<b>Ecuación resultante</b>
$i_3 = G_{mx} \left( \frac{V_{in} - V_1}{sL_3} \right)$	$L_3 = G_{mx} \cdot L_{L_3}$ $L_{L_3}$ : extraído de tablas y desnormalizado en frecuencia	$i_3 = G_{mx} \left( \frac{V_{in} - V_1}{sG_{mx}L_{L_3}} \right) = \frac{V_{in} - V_1}{sL_{L_3}}$
$V_1 = G_{mx} \left( \frac{i_3 - i_1}{sC_2} \right)$	$C_2 = G_{mx} \cdot C_{C_2}$ $C_{C_2}$ : extraído de tablas y desnormalizado en frecuencia	$V_1 = G_{mx} \left( \frac{i_3 - i_1}{sG_{mx}C_{C_2}} \right) = \frac{i_3 - i_1}{sC_{C_2}}$
$i_1 = G_{mx} \left( \frac{V_1 - V_{out}}{sL_1} \right)$	$L_1 = G_{mx} \cdot L_{L_1}$ $L_{L_1}$ : extraído de tablas y desnormalizado en frecuencia	$i_1 = G_{mx} \left( \frac{V_1 - V_{out}}{sG_{mx}L_{L_1}} \right) = \frac{V_1 - V_{out}}{sL_{L_1}}$
$V_{out} = G_{mx}(i_1R_L)$	$R_L = \frac{1}{G_{mx}}$	$V_{out} = G_{mx} \left( i_1 \frac{1}{G_{mx}} \right) = i_1 \cdot 1$

Tabla 3-12 Valores de los nuevos elementos del filtro siguiendo la realización **A.1**.

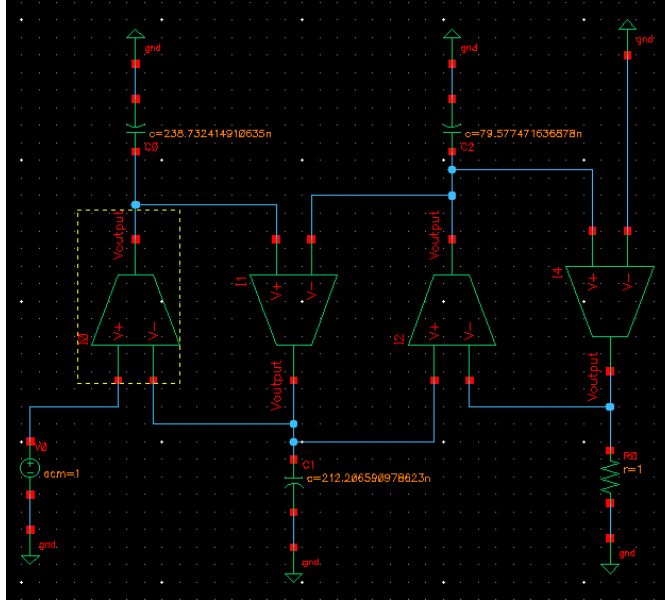
<b>Realización A.5</b>		
<b>Ecuación con <math>G_m = G_{mx}</math></b>	<b>Nuevos valores de los elementos pasivos</b>	<b>Ecuación resultante</b>
$i_3 = G_{mx} \left( \frac{V_{in} - V_2}{R_{in}} \right)$	$R_{in} = G_{mx} \cdot 1$	$i_3 = G_{mx} \left( \frac{V_{in} - V_2}{G_{mx} \cdot 1} \right)$
$V_2 = G_{mx} \left( \frac{i_3 - i_2}{sC_3} \right)$	$C_3 = G_{mx} \cdot C_{C_3}$ $C_{C_3}$ : extraído de tablas y desnormalizado en frecuencia	$V_2 = G_{mx} \left( \frac{i_3 - i_2}{sG_{mx}C_{C_3}} \right) = \frac{i_3 - i_2}{sC_{C_3}}$
$i_2 = G_{mx} \left( \frac{V_2 - V_1}{sL_2} \right)$	$L_2 = G_{mx} \cdot L_{L_2}$ $L_{L_2}$ : extraído de tablas y desnormalizado en frecuencia	$i_2 = G_{mx} \left( \frac{V_2 - V_1}{sG_{mx}L_{L_2}} \right) = \frac{V_2 - V_1}{sL_{L_2}}$
$V_1 = G_{mx} \left( \frac{i_2 - i_1}{sC_1} \right)$	$C_1 = G_{mx} \cdot C_{C_1}$ $C_{C_1}$ : extraído de tablas y desnormalizado en frecuencia	$V_1 = G_{mx} \left( \frac{i_2 - i_1}{sG_{mx}C_{C_1}} \right) = \frac{i_2 - i_1}{sC_{C_1}}$
$V_{out} = \frac{(i_1R_L)}{G_{mx}}$	$R_L = G_{mx} \cdot 1$	$V_{out} = \left( i_1 \frac{G_{mx} \cdot 1}{G_{mx}} \right) = i_1 \cdot 1$

Tabla 3-13 Valores de los nuevos elementos del filtro siguiendo la realización **A.5**.

### D. Paso 10 y 11.

Realización activa utilizando *OTA-C* y simulación de los filtros utilizando *OTAs* ideales (fuente de corriente controlada por voltaje con  $G_m = 1$  y  $R_{out} \rightarrow \infty$ ).

#### i. Caso 1, realización A.1.



$$C_{L_3} = (238.73242 \text{ [nF]})$$

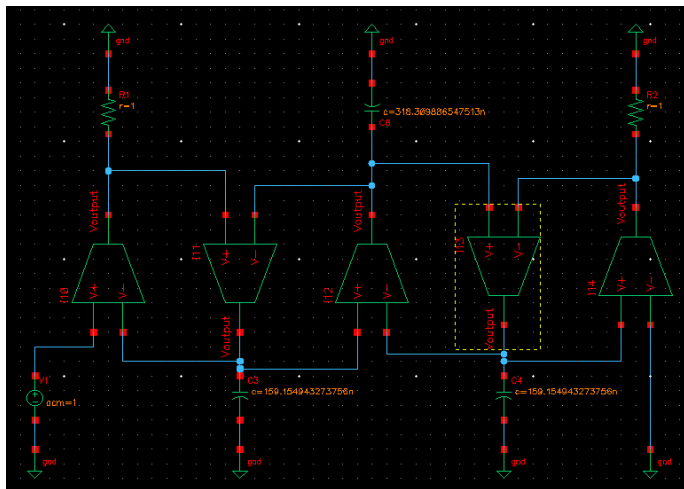
$$C_{C_2} = (212.20659 \text{ [nF]})$$

$$C_{L_1} = (79.57747 \text{ [nF]})$$

$$R_L = (1 \text{ [\Omega]})$$

Fig. 3-68 Implantación del filtro del caso 1 y realización A.1 utilizando *OTA-C*.

#### ii. Caso 1, realización A.5.



$$C_{C_3} = 159.1549 \text{ [nF]}$$

$$C_{L_2} = 318.3099 \text{ [nF]}$$

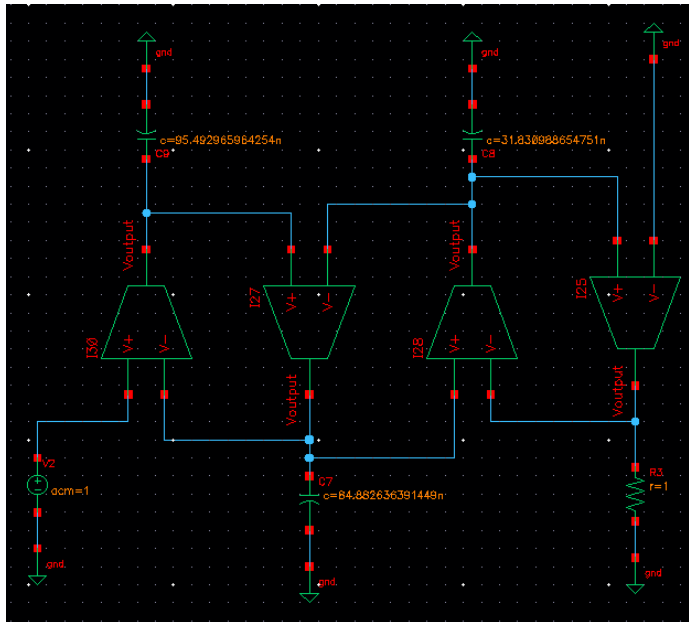
$$C_{C_1} = 159.1549 \text{ [nF]}$$

$$R_{in} = 1 \text{ [\Omega]}$$

$$R_L = 1 \text{ [\Omega]}$$

Fig. 3-69 Implantación del filtro del caso 1 y realización A.5 utilizando *OTA-C*.

iii. Caso 2, realización A.1.



$$C_{L_3} = 95.4930 \text{ [nF]}$$

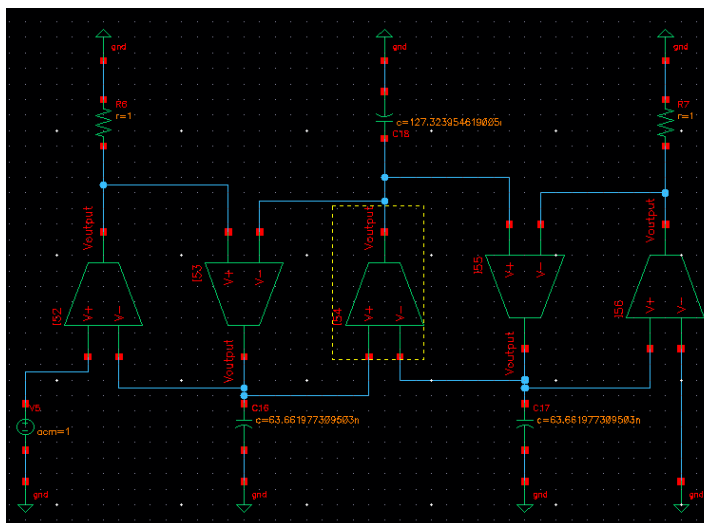
$$C_{C_2} = 84.8826 \text{ [nF]}$$

$$C_{L_1} = 31.8310 \text{ [nF]}$$

$$R_L = 1 \text{ [\Omega]}$$

Fig. 3-70 Implantación del filtro del caso 2 y realización A.1 utilizando OTA-C.

iv. Caso 2, realización A.5.



$$C_{C_3} = 63.6620 \text{ [nF]}$$

$$C_{L_2} = 127.3240 \text{ [nF]}$$

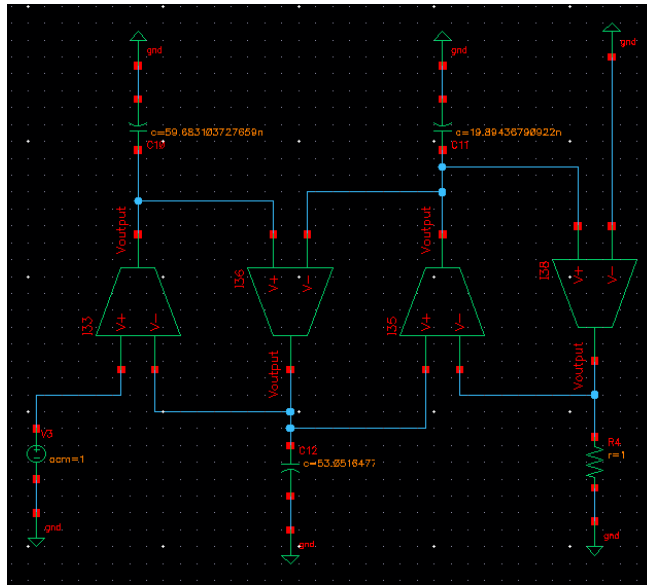
$$C_{C_1} = 63.6620 \text{ [nF]}$$

$$R_{in} = 1 \text{ [\Omega]}$$

$$R_L = 1 \text{ [\Omega]}$$

Fig. 3-71 Implantación del filtro del caso 2 y realización A.5 utilizando OTA-C.

v. Caso 3, realización A.1.



$$C_{L_3} = 59.6831 \text{ [nF]}$$

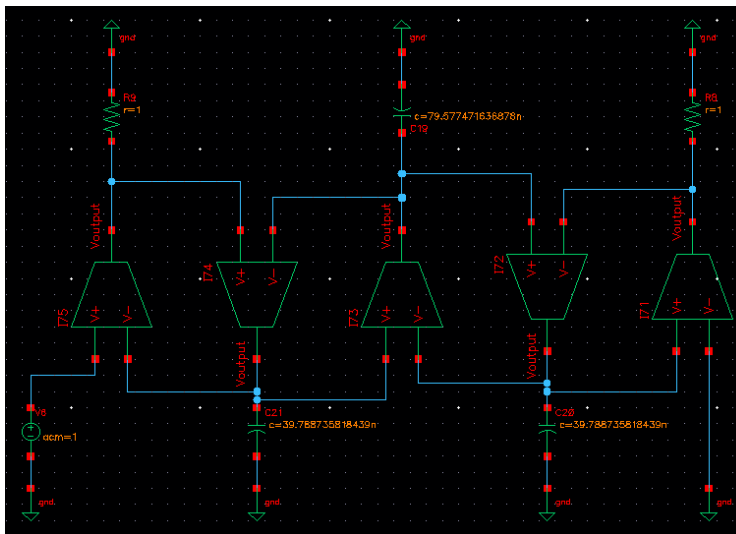
$$C_{C_2} = 53.0516 \text{ [nF]}$$

$$C_{L_1} = 19.8994 \text{ [nF]}$$

$$R_L = 1 \text{ [\Omega]}$$

Fig. 3-72 Implantación del filtro del caso 3 y realización A.1 utilizando OTA-C.

vi. Caso 3, realización A.5.



$$C_{C_3} = 39.7887 \text{ [nF]}$$

$$C_{L_2} = 79.5775 \text{ [nF]}$$

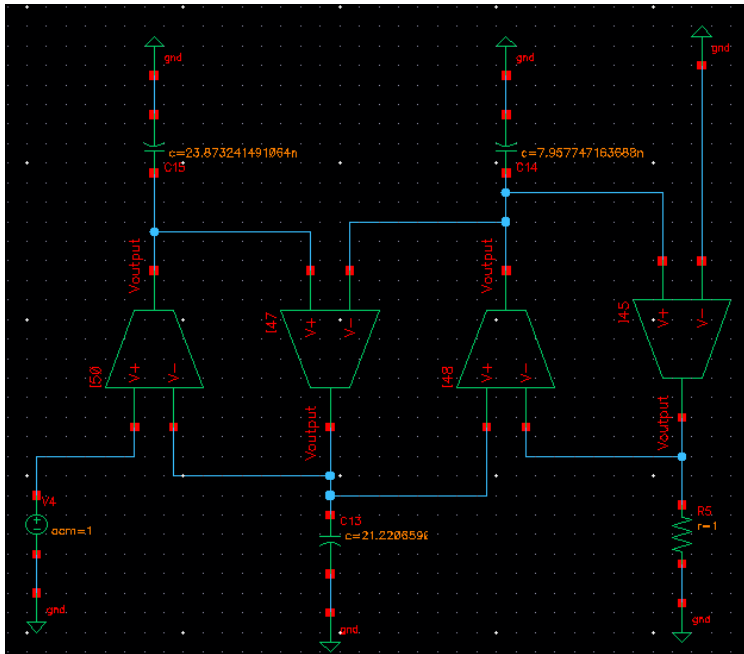
$$C_{C_1} = 39.7887 \text{ [nF]}$$

$$R_{in} = 1 \text{ [\Omega]}$$

$$R_L = 1 \text{ [\Omega]}$$

Fig. 3-73 Implantación del filtro del caso 3 y realización A.5 utilizando OTA-C.

vii. Caso 4, realización A.1.



$$C_{L_3} = 23.8732 \text{ [nF]}$$

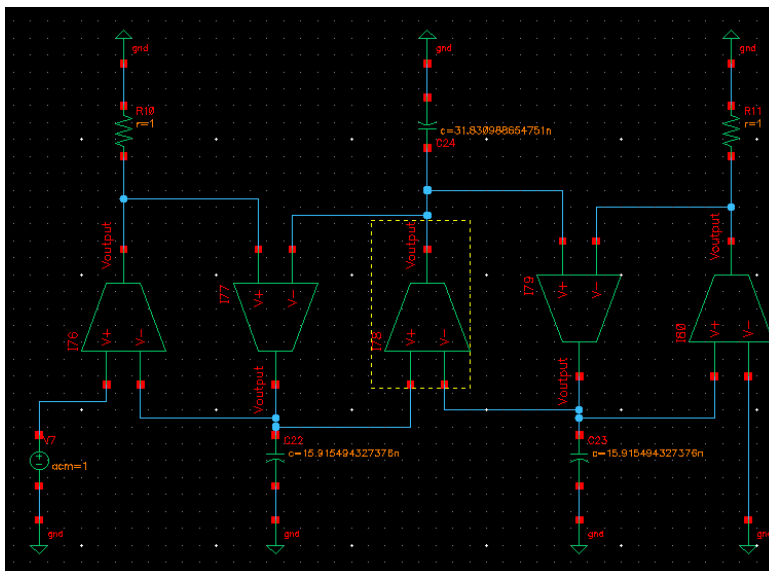
$$C_{C_2} = 21.2207 \text{ [nF]}$$

$$C_{L_1} = 7.9577 \text{ [nF]}$$

$$R_L = 1 \text{ [\Omega]}$$

Fig. 3-74 Implantación del filtro del caso 4 y realización A.1 utilizando OTA-C.

viii. Caso 4, realización A.5.



$$C_{C_3} = 15.9155 \text{ [nF]}$$

$$C_{L_2} = 31.8310 \text{ [nF]}$$

$$C_{C_1} = 15.9155 \text{ [nF]}$$

$$R_{in} = 1 \text{ [\Omega]}$$

$$R_L = 1 \text{ [\Omega]}$$

Fig. 3-75 Implantación del filtro del caso 4 y realización A.5 utilizando OTA-C.

Ejemplo de implantación de un *OTA* ideal.

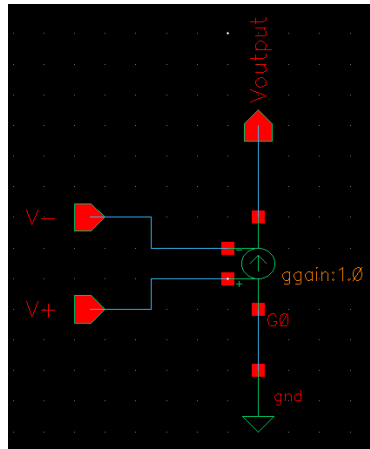


Fig. 3-76 Implantación de *OTA* ideal utilizando una fuente de corriente regulada por voltaje.

### E. Paso 12.

Magnitud y fase de la respuesta en frecuencia del filtro del caso 1 – realización **A.1**.

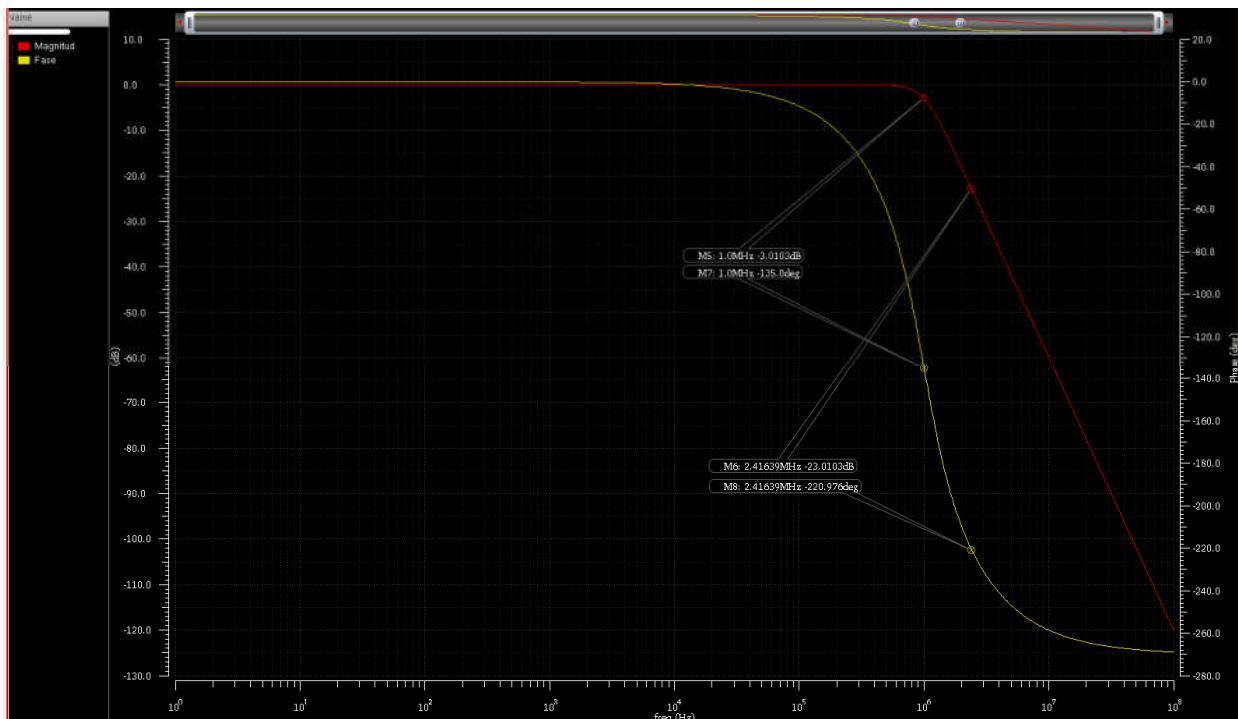


Fig. 3-77 Magnitud y fase del filtro del caso 1 – realización **A.1** implantado con *OTA-C*.



### Frecuencias y fases de corte y 'stop-band'

$$f_c = 1.0 \text{ [Mhz]}, \theta_c = -135^\circ$$

$$f_s = 2.41639 \text{ [Mhz]}, \theta_s = -220.976^\circ$$

Tabla 3-14 Frecuencias y fases de corte y rechazo del filtro del caso 1, realización A.1 implantado con *OTA-C*.

Magnitud y fase de la respuesta en frecuencia del filtro del caso 1 – realización A.5.

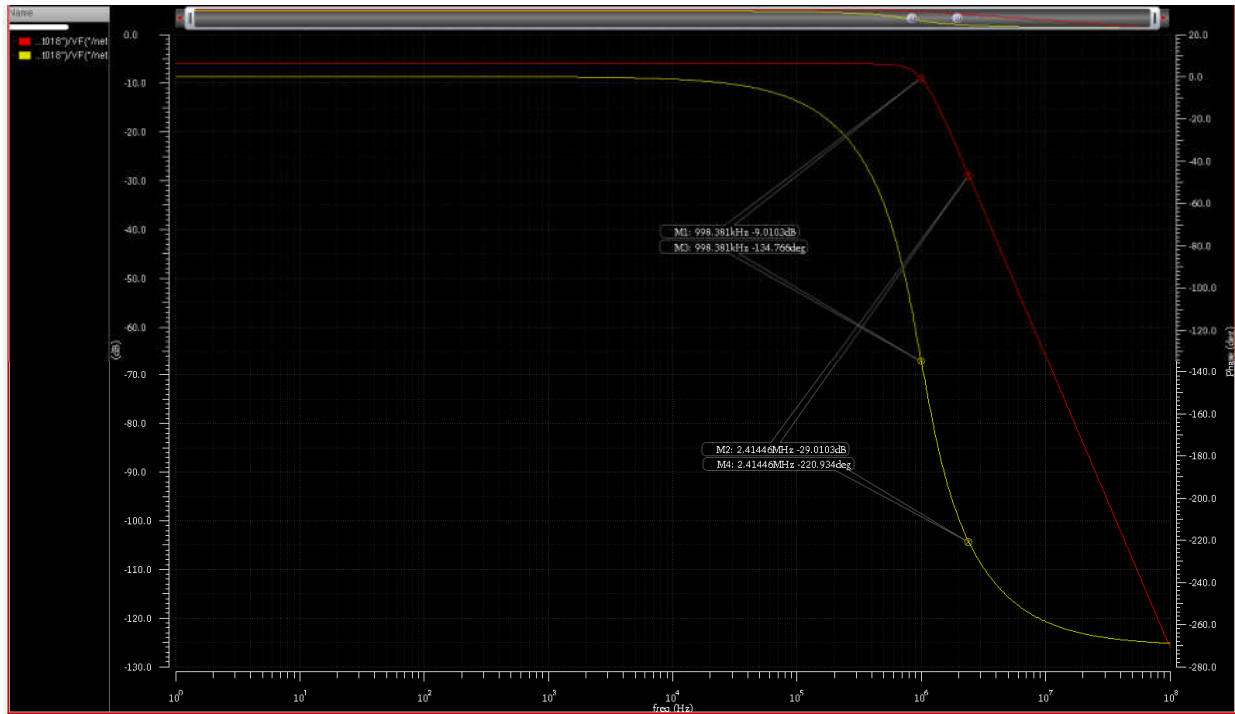


Fig. 3-78 Magnitud y fase del filtro del caso 1 – realización A.5 implantado con *OTA-C*.

### Frecuencias y fases de corte y 'stop-band'

$$f_c = 998.381 \text{ [Khz]}, \theta_c = -134.766^\circ$$

$$f_s = 2.41446 \text{ [Mhz]}, \theta_s = -220.934^\circ$$

Tabla 3-15 Frecuencias y fases de corte y rechazo del filtro del caso 1, realización A.5 implantado con *OTA-C*.

Magnitud y fase de la respuesta en frecuencia del filtro del caso 2 – realización **A.1**.

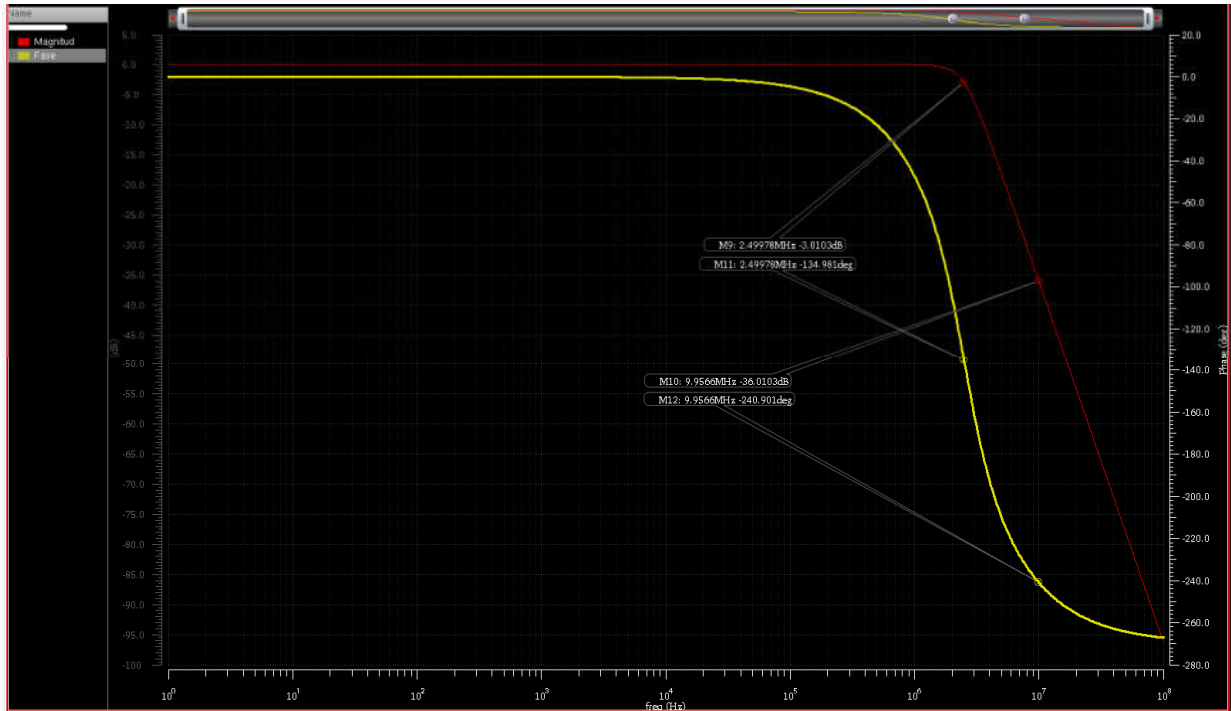


Fig. 3-79 Magnitud y fase del filtro del caso 2 – realización **A.1** implantado con *OTA-C*.

**Frecuencias y fases de corte y ‘stop-band’**

$$f_c = 2.49978 \text{ [Mhz]}, \theta_c = -134.981^\circ$$

$$f_s = 9.9566 \text{ [Mhz]}, \theta_s = -240.901^\circ$$

Tabla 3-16 Frecuencias y fases de corte y rechazo del filtro del caso 2, realización **A.1** implantado con *OTA-C*.

Magnitud y fase de la respuesta en frecuencia del filtro del caso 2 – realización A.5.

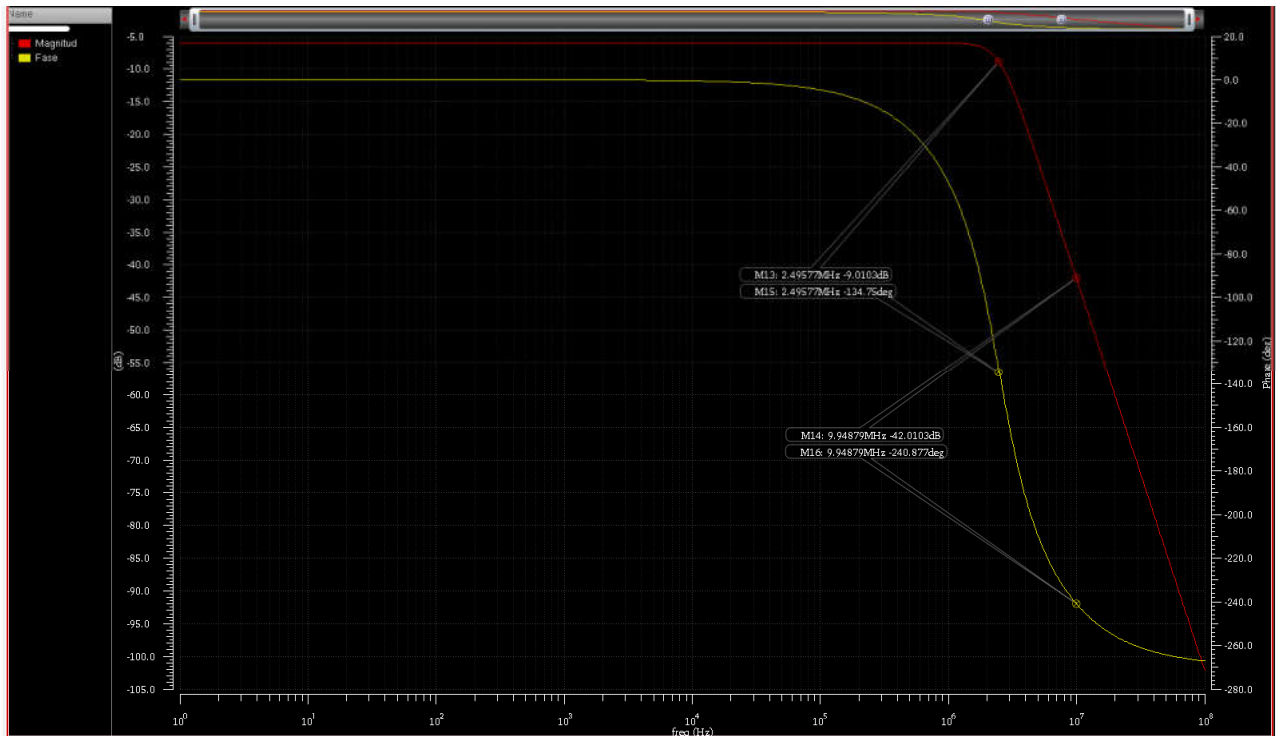


Fig. 3-80 Magnitud y fase del filtro del caso 2 – realización A.5 implantado con *OTA-C*.

**Frecuencias y fases de corte y ‘stop-band’**

$$f_c = 2.49577 \text{ [Mhz]}, \theta_c = -134.75^\circ$$

$$f_s = 9.94879 \text{ [Mhz]}, \theta_s = -240.877^\circ$$

Tabla 3-17 Frecuencias y fases de corte y rechazo del filtro del caso 2, realización A.5 implantado con *OTA-C*.

Magnitud y fase de la respuesta en frecuencia del filtro del caso 3 – realización **A.1**.

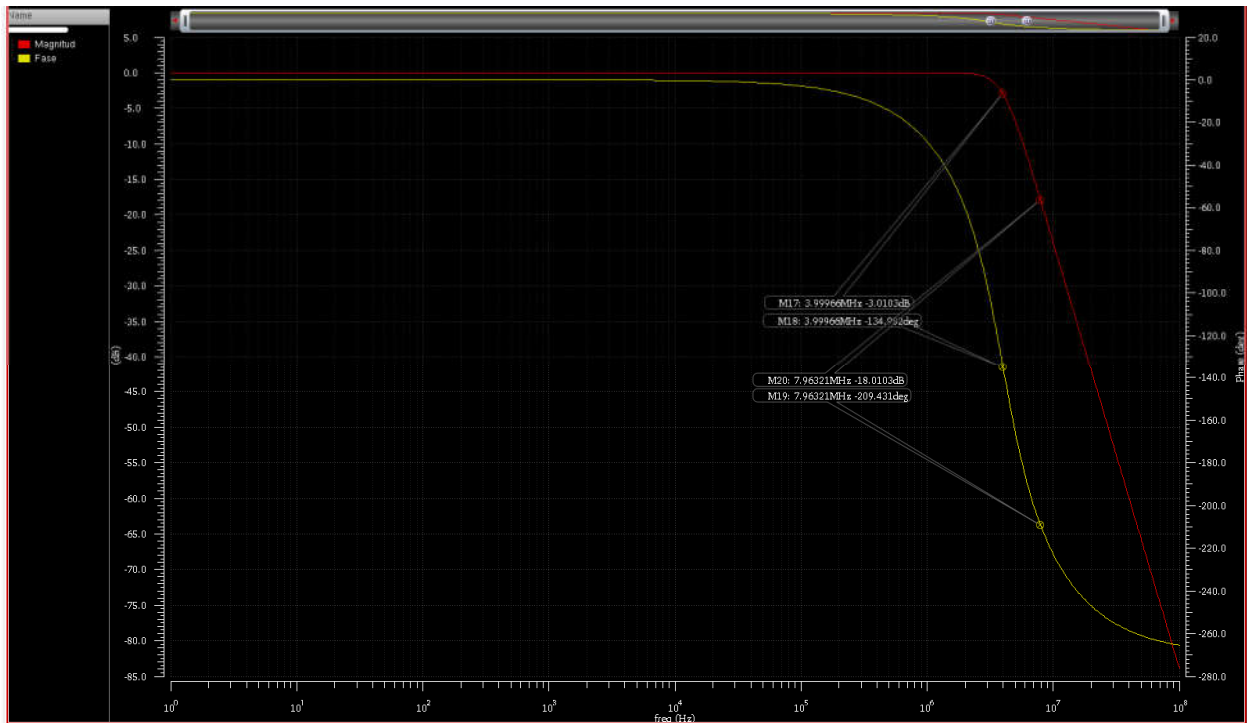


Fig. 3-81 Magnitud y fase del filtro del caso 3 – realización **A.1** implantado con *OTA-C*.

**Frecuencias y fases de corte y ‘stop-band’**

$$f_c = 3.99966 \text{ [Mhz]}, \theta_c = -134.982^\circ$$

$$f_s = 7.96321 \text{ [Mhz]}, \theta_s = -209.431^\circ$$

Tabla 3-18 Frecuencias y fases de corte y rechazo del filtro del caso 3, realización **A.1** implantado con *OTA-C*.

Magnitud y fase de la respuesta en frecuencia del filtro del caso 3 – realización **A.5**.



Fig. 3-82 Magnitud y fase del filtro del caso 3 – realización **A.5** implantado con *OTA-C*.

**Frecuencias y fases de corte y ‘stop-band’**

$$f_c = 3.99342 \text{ [Mhz]}, \theta_c = -134.76^\circ$$

$$f_s = 7.95676 \text{ [Mhz]}, \theta_s = -209.378^\circ$$

Tabla 3-19 Frecuencias y fases de corte y rechazo del filtro del caso 3, realización **A.5** implantado con *OTA-C*.

Magnitud y fase de la respuesta en frecuencia del filtro del caso 4 – realización **A.1**.

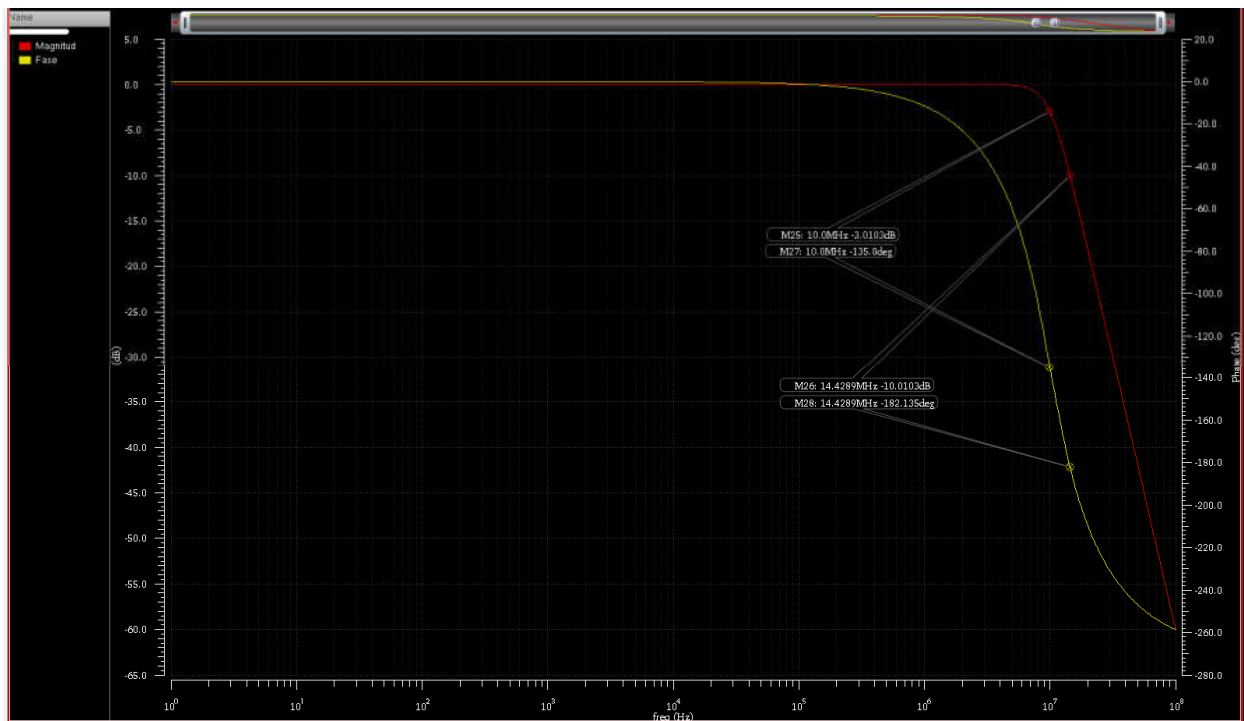


Fig. 3-83 Magnitud y fase del filtro del caso 4 – realización **A.1** implantado con *OTA-C*.

**Frecuencias y fases de corte y ‘stop-band’**

$$f_c = 10.0 \text{ [Mhz]}, \theta_c = -135^\circ$$

$$f_s = 14.4289 \text{ [Mhz]}, \theta_s = -182.135^\circ$$

Tabla 3-20 Frecuencias y fases de corte y rechazo del filtro del caso 4, realización **A.1** implantado con *OTA-C*.

Magnitud y fase de la respuesta en frecuencia del filtro del caso 4 – realización **A.5**.



Fig. 3-84 Magnitud y fase del filtro del caso 4 – realización **A.5** implantado con *OTA-C*.

### Frecuencias y fases de corte y 'stop-band'

$$f_c = 9.98381 \text{ [Mhz]}, \theta_c = -134.766^\circ$$

$$f_s = 14.4163 \text{ [Mhz]}, \theta_s = -182.041^\circ$$

Tabla 3-21 Frecuencias y fases de corte y rechazo del filtro del caso 4, realización **A.5** implantado con *OTA-C*.

### 5. Experimento adicional.

Se emplearán los filtros diseñados hasta ahora y se rediseñarán para el caso en que  $G_m = 250 \text{ } [\mu\text{S}]$ . Se simulará su comportamiento en frecuencia y se obtendrán gráficas de su magnitud y fase. En una segunda fase se considerarán  $G_m = 250 \text{ } [\mu\text{S}]$  y  $R_{out} = 4 \text{ } [\text{M}\Omega]$  y también se graficará la magnitud y fase de la respuesta en frecuencia.

Esquemáticos de la implantación del filtro con *OTA-C* y valores de los nuevos elementos al escalarse el valor de  $G_m = 250 \text{ } [\mu\text{S}]$ . Filtro caso 1 – realizaciones **A.1** y **A.5**.

Esquemático	Valores de los capacitores y resistores
	$C_{L3} = (250\mu)(238.73242 \text{ [nF]})$ $C_{C2} = (250\mu)(212.20659 \text{ [nF]})$ $C_{L1} = (250\mu)(79.57747 \text{ [nF]})$ $R_L = (1 \text{ } [\Omega]) / (250\mu)$
	$R_{In} = (1 \text{ } [\Omega]) / (250\mu)$ $C_{C3} = (250\mu)(159.15494 \text{ [nF]})$ $C_{L2} = (250\mu)(318.30989 \text{ [nF]})$ $C_{C1} = (250\mu)(159.15494 \text{ [nF]})$ $R_L = (1 \text{ } [\Omega]) / (250\mu)$

Fig. 3-85 Filtro del caso 1 – realizaciones **A.1** y **A.5**. Implantados con *OTA-C* con una  $G_m = 250 \text{ } [\mu\text{S}]$ .



Magnitud y fase de la respuesta en frecuencia del filtro del caso 1 – realización **A.1** con  $f_c = 1$  [Mhz] y  $f_s = 2.5$  [Mhz].

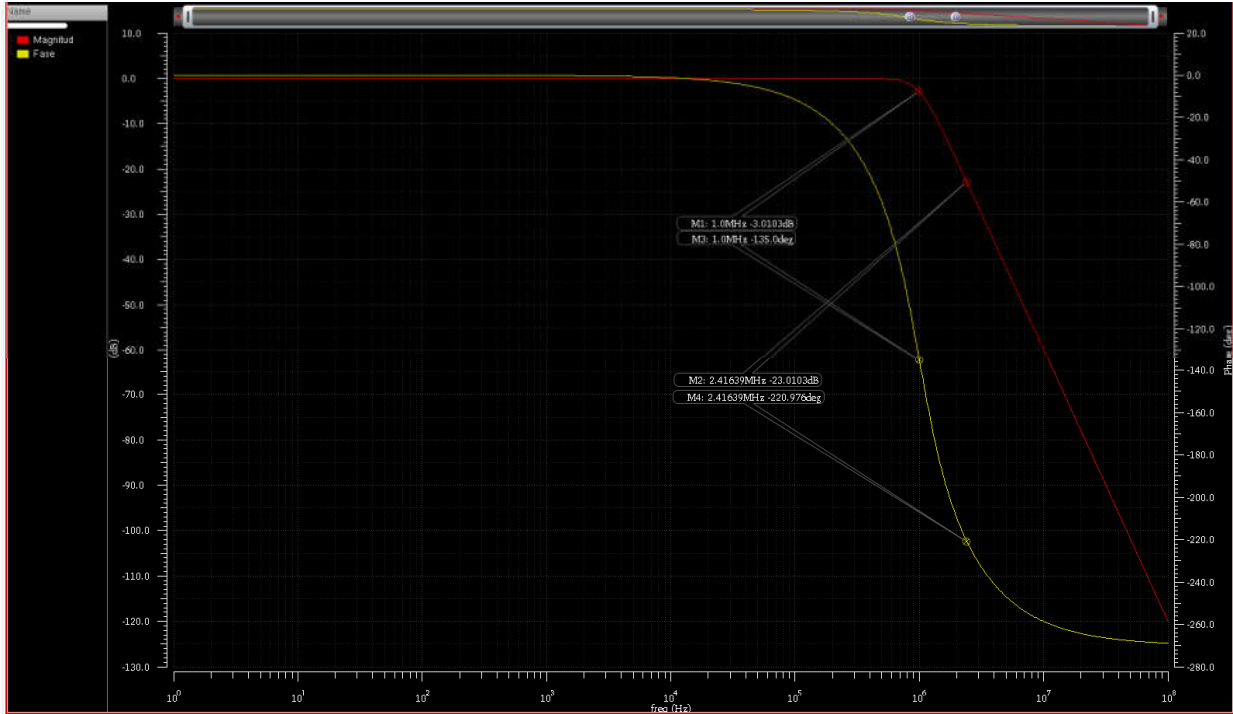


Fig. 3-86 Magnitud y fase del filtro caso 1 – realización **A.1** con  $G_m = 250$  [ $\mu S$ ].

**Frecuencias y fases de corte y ‘stop-band’**

$$f_c = 1.0 \text{ [Mhz]}, \theta_c = -135^\circ$$

$$f_s = 2.41639 \text{ [Mhz]}, \theta_s = -220.976^\circ$$

Tabla 3-22 Frecuencias y fases de corte y rechazo para el filtro del caso 1, realización **A.1** con  $G_m = 250$  [ $\mu S$ ].

Magnitud y fase de la respuesta en frecuencia del filtro del caso 1 – realización **A.5** con  $f_c = 1$  [Mhz] y  $f_s = 2.5$  [Mhz].

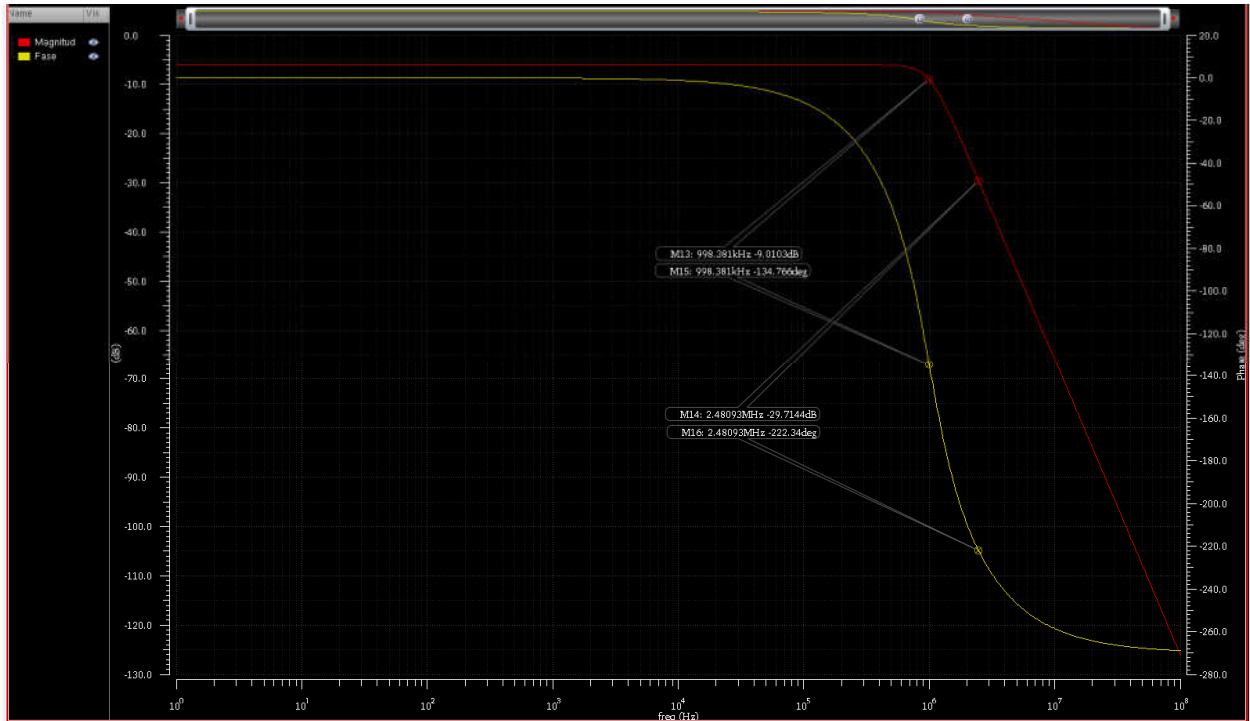


Fig. 3-87 Magnitud y fase del filtro caso 1 – realización **A.5** con  $G_m = 250$  [ $\mu S$ ].

**Frecuencias y fases de corte y ‘stop-band’**

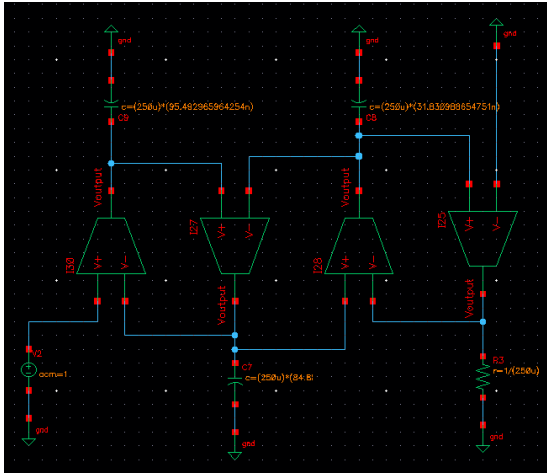
$$f_c = 998.381 \text{ [Khz]}, \theta_c = -134.766^\circ$$

$$f_s = 2.48093 \text{ [Mhz]}, \theta_s = -222.34^\circ$$

Tabla 3-23 Frecuencias y fases de corte y rechazo para el filtro del caso 1, realización **A.5** con  $G_m = 250$  [ $\mu S$ ].

Esquemáticos de la implantación del filtro con *OTA-C* y valores de los nuevos elementos al escalarse el valor de  $G_m = 250 \text{ } [\mu\text{S}]$ . Filtro caso 2 – realizaciones **A.1** y **A.5**.

Esquemático	Valores de los capacitores y resistores
-------------	---

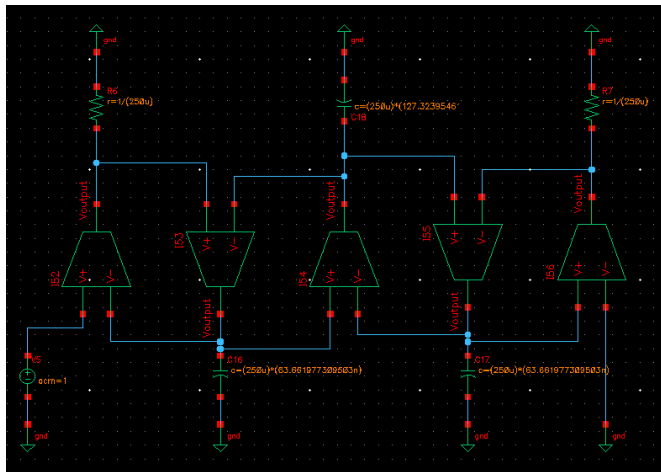


$$C_{L_3} = (250\mu)(95.49297 \text{ } [nF])$$

$$C_{C_2} = (250\mu)(84.88267 \text{ } [nF])$$

$$C_{L_1} = (250\mu)(31.83099 \text{ } [nF])$$

$$R_L = (1 \text{ } [\Omega]) / (250\mu)$$



$$R_{In} = (1 \text{ } [\Omega]) / (250\mu)$$

$$C_{C_3} = (250\mu)(63.66198 \text{ } [nF])$$

$$C_{L_2} = (250\mu)(127.32395 \text{ } [nF])$$

$$C_{C_1} = (250\mu)(63.66198 \text{ } [nF])$$

$$R_L = (1 \text{ } [\Omega]) / (250\mu)$$

Fig. 3-88 Filtro del caso 2 – realizaciones **A.1** y **A.5**. Implantados con *OTA-C* con una  $G_m = 250 \text{ } [\mu\text{S}]$ .

Magnitud y fase de la respuesta en frecuencia del filtro del caso 2 – realización **A.1** con  $f_c = 2.5$  [Mhz] y  $f_s = 10$  [Mhz].



Fig. 3-89 Magnitud y fase del filtro caso 2 – realización **A.1** con  $G_m = 250$  [ $\mu S$ ].

**Frecuencias y fases de corte y ‘stop-band’**

$$f_c = 2.49978 \text{ [Mhz]}, \theta_c = -134.981^\circ$$

$$f_s = 9.9566 \text{ [Mhz]}, \theta_s = -240.901^\circ$$

Tabla 3-24 Frecuencias y fases de corte y rechazo para el filtro del caso 2, realización **A.1** con  $G_m = 250$  [ $\mu S$ ].

Magnitud y fase de la respuesta en frecuencia del filtro del caso 2 – realización A.5 con  $f_c = 2.5$  [Mhz] y  $f_s = 10$  [Mhz].

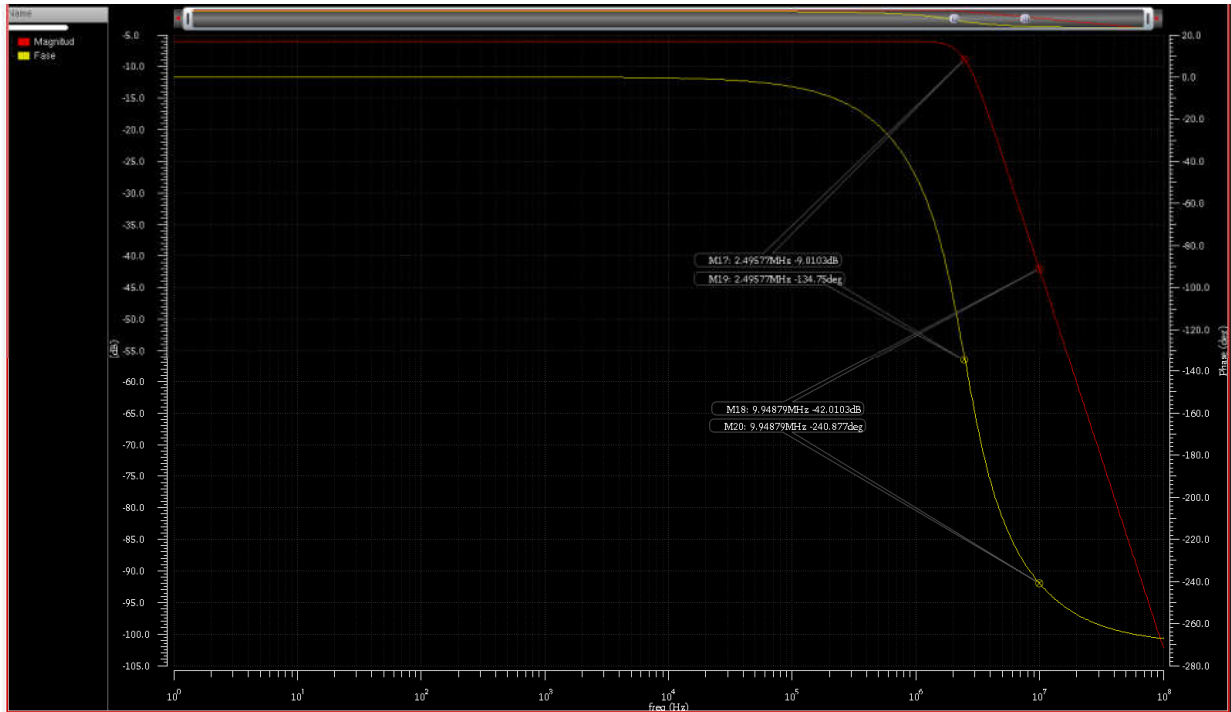


Fig. 3-90 Magnitud y fase del filtro caso 2 – realización A.5 con  $G_m = 250$  [ $\mu S$ ].

### Frecuencias y fases de corte y 'stop-band'

$$f_c = 2.49577 \text{ [Mhz]}, \theta_c = -134.75^\circ$$

$$f_s = 9.94879 \text{ [Mhz]}, \theta_s = -240.877^\circ$$

Tabla 3-25 Frecuencias y fases de corte y rechazo para el filtro del caso 2, realización A.5 con  $G_m = 250$  [ $\mu S$ ].

Esquemáticos de la implantación del filtro con *OTA-C* y valores de los nuevos elementos al escalarse el valor de  $G_m = 250 \text{ } [\mu\text{S}]$ . Filtro caso 3 – realizaciones **A.1** y **A.5**.

Esquemático	Valores de los capacitores y resistores
	$C_{L_3} = (250\mu)(59.6831 \text{ } [nF])$ $C_{C_2} = (250\mu)(53.05165 \text{ } [nF])$ $C_{L_1} = (250\mu)(19.89437 \text{ } [nF])$ $R_L = (1 \text{ } [\Omega]) / (250\mu)$
	$R_{In} = (1 \text{ } [\Omega]) / (250\mu)$ $C_{C_3} = (250\mu)(39.78874 \text{ } [nF])$ $C_{L_2} = (250\mu)(79.57747 \text{ } [nF])$ $C_{C_1} = (250\mu)(39.78874 \text{ } [nF])$ $R_L = (1 \text{ } [\Omega]) / (250\mu)$

Fig. 3-91 Filtro del caso 3 – realizaciones **A.1** y **A.5**. Implantados con *OTA-C* con una  $G_m = 250 \text{ } [\mu\text{S}]$ .

Magnitud y fase de la respuesta en frecuencia del filtro del caso 3 – realización **A.1** con  $f_c = 4$  [Mhz] y  $f_s = 8$  [Mhz].

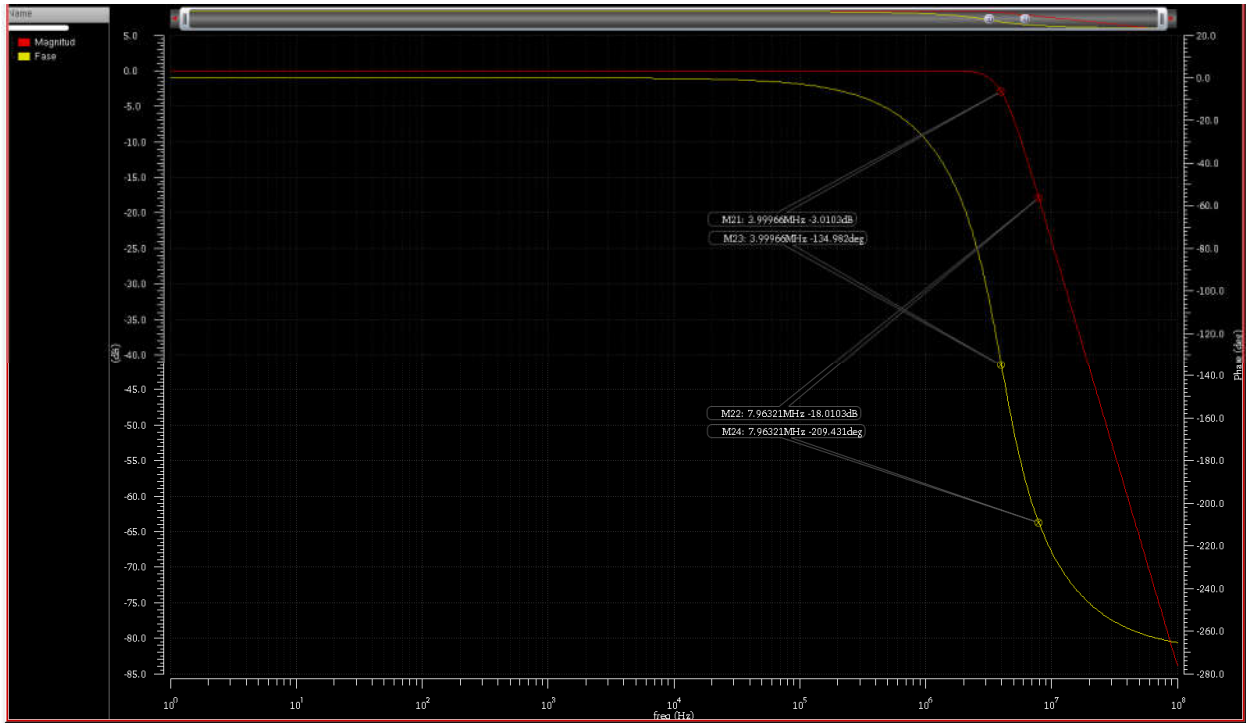


Fig. 3-92 Magnitud y fase del filtro caso 3 – realización **A.1** con  $G_m = 250$  [ $\mu S$ ].

**Frecuencias y fases de corte y ‘stop-band’**

$$f_c = 3.99966 \text{ [Mhz]}, \theta_c = -134.982^\circ$$

$$f_s = 7.96321 \text{ [Mhz]}, \theta_s = -209.431^\circ$$

Tabla 3-26 Frecuencias y fases de corte y rechazo para el filtro del caso 3, realización **A.1** con  $G_m = 250$  [ $\mu S$ ].

Magnitud y fase de la respuesta en frecuencia del filtro del caso 3 – realización **A.5** con  $f_c = 4$  [Mhz] y  $f_s = 8$  [Mhz].

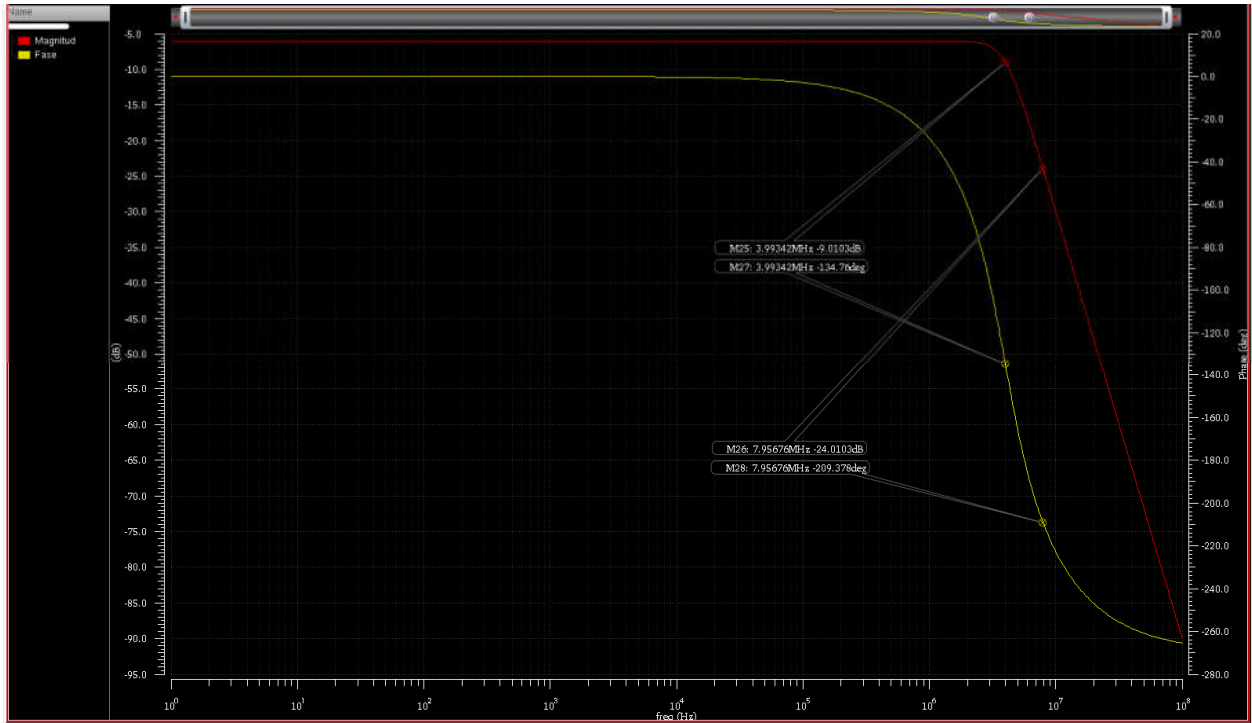


Fig. 3-93 Magnitud y fase del filtro caso 3 – realización **A.5** con  $G_m = 250$  [ $\mu S$ ].

**Frecuencias y fases de corte y ‘stop-band’**

$$f_c = 3.99342 \text{ [Mhz]}, \theta_c = -134.76^\circ$$

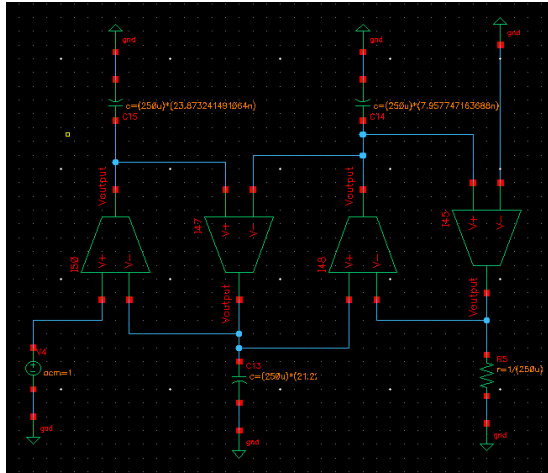
$$f_s = 7.95676 \text{ [Mhz]}, \theta_s = -209.378^\circ$$

Tabla 3-27 Frecuencias y fases de corte y rechazo para el filtro del caso 3, realización **A.5** con  $G_m = 250$  [ $\mu S$ ].



Esquemáticos de la implantación del filtro con *OTA-C* y valores de los nuevos elementos al escalarse el valor de  $G_m = 250 \text{ } [\mu\text{S}]$ . Filtro caso 4 – realizaciones **A.1** y **A.5**.

Esquemático	Valores de los capacitores y resistores
-------------	---

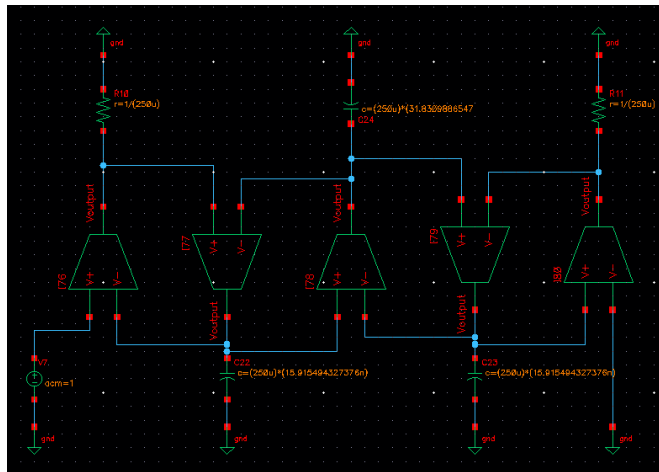


$$C_{L_3} = (250\mu)(23.87324 \text{ [nF]})$$

$$C_{C_2} = (250\mu)(21.22066 \text{ [nF]})$$

$$C_{L_1} = (250\mu)(7.95775 \text{ [nF]})$$

$$R_L = (1 \text{ } [\Omega]) / (250\mu)$$



$$R_{In} = (1 \text{ } [\Omega]) / (250\mu)$$

$$C_{C_3} = (250\mu)(15.91549 \text{ [nF]})$$

$$C_{L_2} = (250\mu)(31.83099 \text{ [nF]})$$

$$C_{C_1} = (250\mu)(15.91549 \text{ [nF]})$$

$$R_L = (1 \text{ } [\Omega]) / (250\mu)$$

Fig. 3-94 Filtro del caso 4 – realizaciones **A.1** y **A.5**. Implantados con *OTA-C* con una  $G_m = 250 \text{ } [\mu\text{S}]$ .

Magnitud y fase de la respuesta en frecuencia del filtro del caso 4 – realización **A.1** con  $f_c = 10$  [Mhz] y  $f_s = 15$  [Mhz].

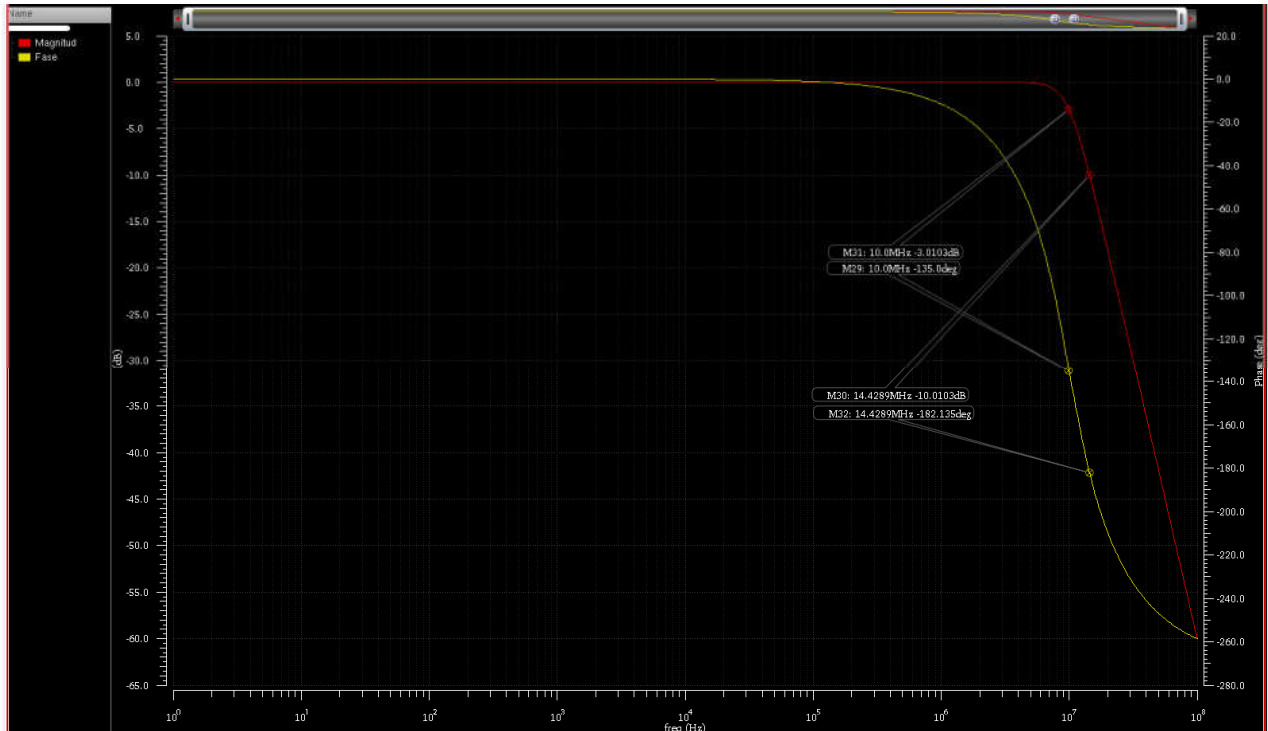


Fig. 3-95 Magnitud y fase del filtro caso 4 – realización **A.1** con  $G_m = 250$  [ $\mu S$ ].

**Frecuencias y fases de corte y ‘stop-band’**

$$f_c = 10.0 \text{ [Mhz]}, \theta_c = -135^\circ$$

$$f_s = 14.4289 \text{ [Mhz]}, \theta_s = -182.135^\circ$$

Tabla 3-28 Frecuencias y fases de corte y rechazo para el filtro del caso 4, realización **A.1** con  $G_m = 250$  [ $\mu S$ ].

Magnitud y fase de la respuesta en frecuencia del filtro del caso 4 – realización **A.5** con  $f_c = 10$  [Mhz] y  $f_s = 15$  [Mhz].

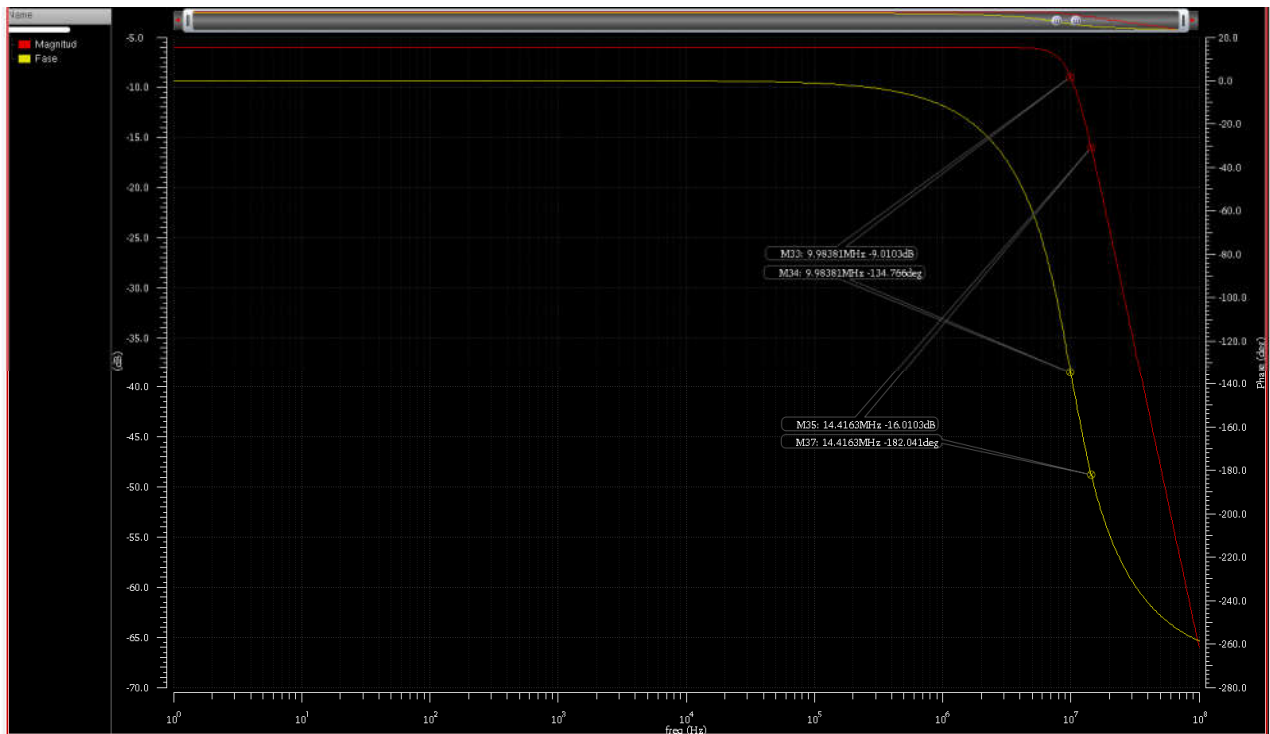


Fig. 3-96 Magnitud y fase del filtro caso 4 – realización **A.5** con  $G_m = 250$  [ $\mu S$ ].

**Frecuencias y fases de corte y ‘stop-band’**

$$f_c = 9.98381 \text{ [Mhz]}, \theta_c = -134.766^\circ$$

$$f_s = 14.4163 \text{ [Mhz]}, \theta_s = -182.041^\circ$$

Tabla 3-29 Frecuencias y fases de corte y rechazo para el filtro del caso 4, realización **A.5** con  $G_m = 250$  [ $\mu S$ ].

Las gráficas siguientes muestran la respuesta en frecuencia de los filtros diseñados hasta ahora pero con  $G_m = 250 [\mu S]$  y  $R_{out} = 4 [M\Omega]$ .

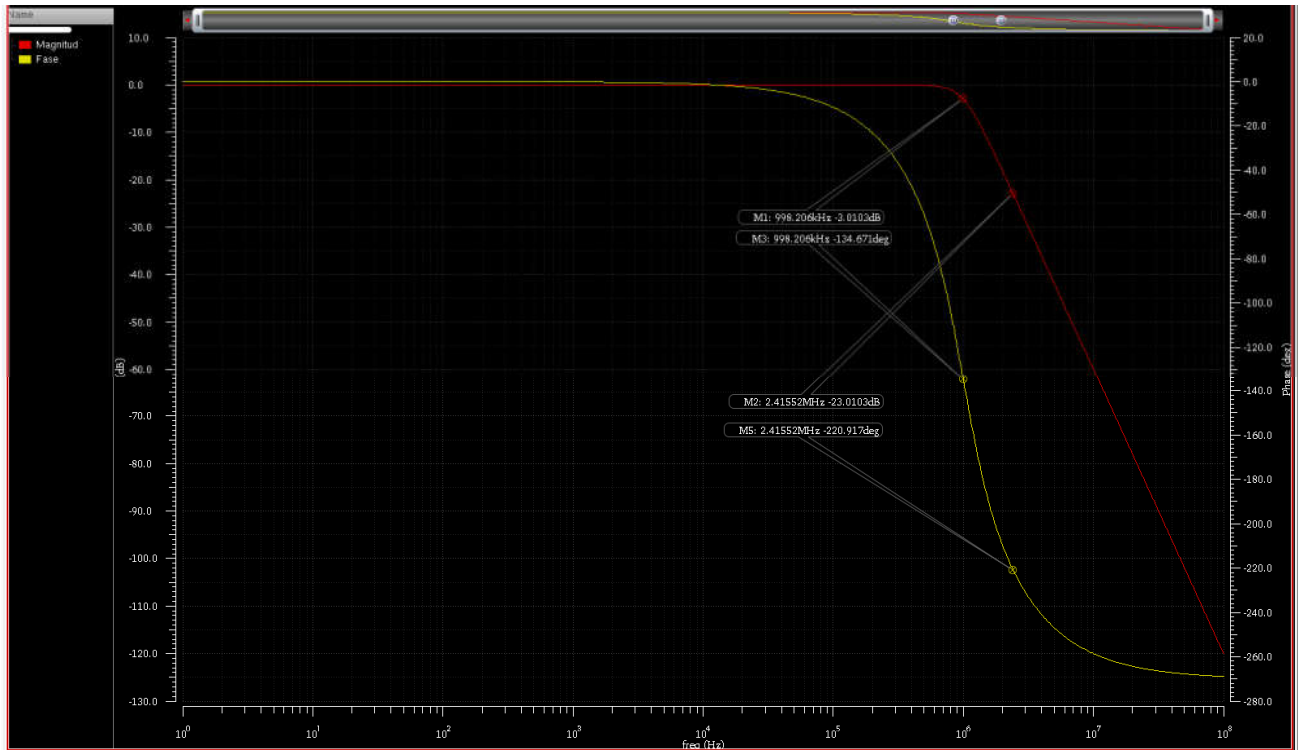


Fig. 3-97 Magnitud y fase del filtro caso 1 – realización **A.1** con  $G_m = 250 [\mu S]$  y  $R_{out} = 4 [M\Omega]$ .

#### Frecuencias y fases de corte y 'stop-band'

$$f_c = 998.206 [\text{kHz}], \theta_c = -134.671^\circ$$

$$f_s = 2.41552 [\text{MHz}], \theta_s = -220.917^\circ$$

Tabla 3-30 Frecuencias y fases de corte y rechazo para el filtro del caso 1, realización **A.1** con  $G_m = 250 [\mu S]$ . y  $R_{out} = 4 [M\Omega]$ .

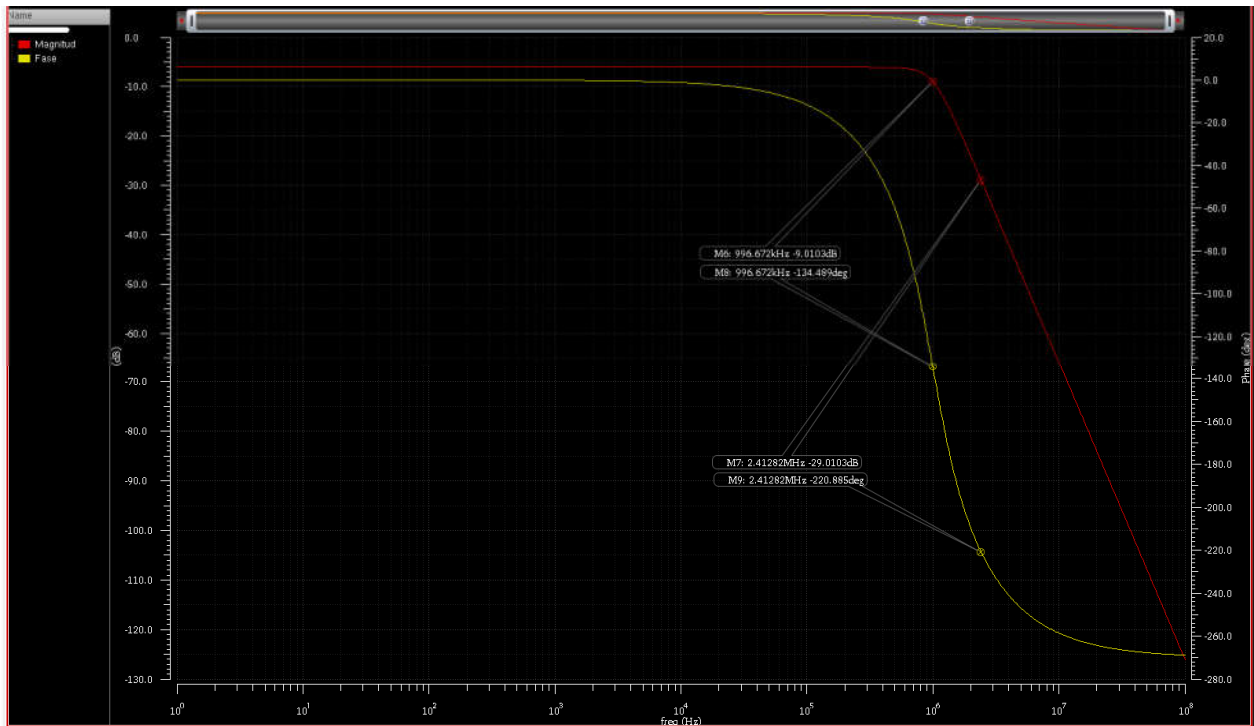


Fig. 3-98 Magnitud y fase del filtro caso 1 – realización **A.5** con  $G_m = 250 [\mu S]$  y  $R_{out} = 4 [M\Omega]$ .

### Frecuencias y fases de corte y 'stop-band'

$$f_c = 996.672 [\text{kHz}], \theta_c = -134.489^\circ$$

$$f_s = 2.41282 [\text{MHz}], \theta_s = -220.885^\circ$$

Tabla 3-31 Frecuencias y fases de corte y rechazo para el filtro del caso 1, realización **A.5** con  $G_m = 250 [\mu S]$ . y  $R_{out} = 4 [M\Omega]$ .

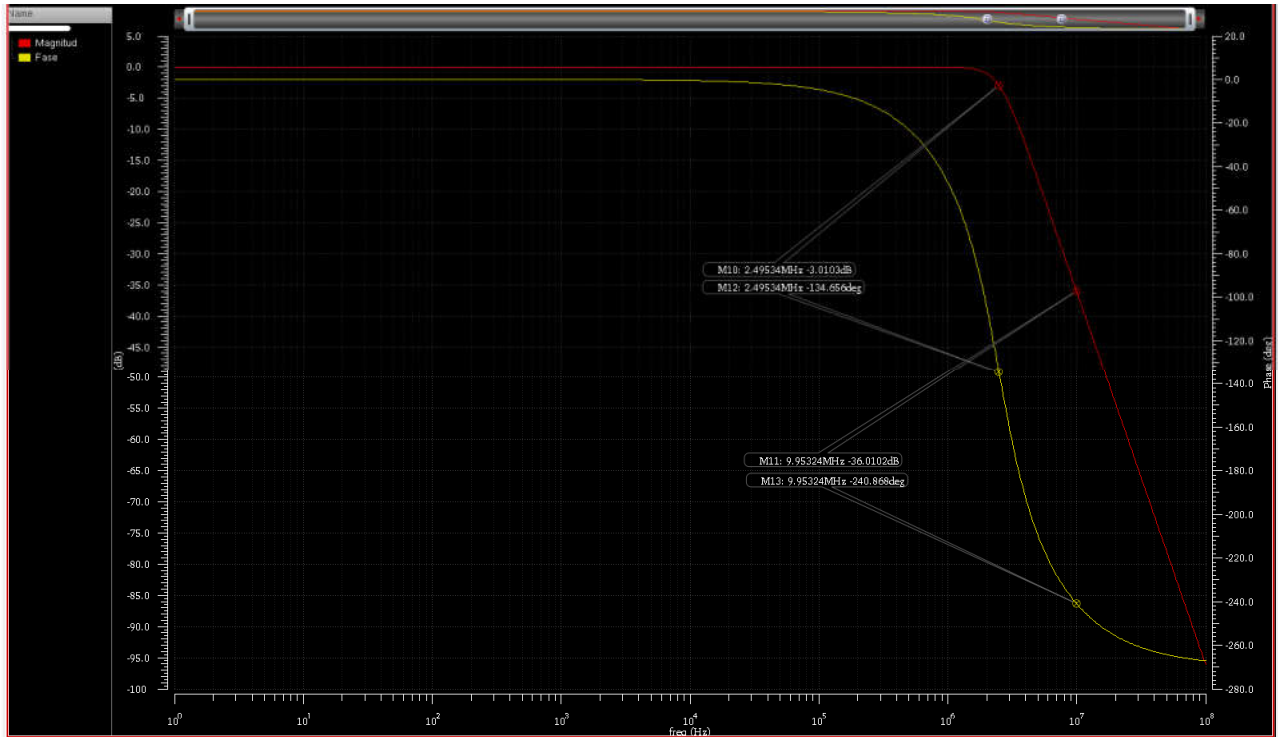


Fig. 3-99 Magnitud y fase del filtro caso 2 – realización A.1 con  $G_m = 250 [\mu S]$  y  $R_{out} = 4 [M\Omega]$ .

**Frecuencias y fases de corte y ‘stop-band’**

$$f_c = 2.49534 [Mhz], \theta_c = -134.656^\circ$$

$$f_s = 9.95324 [Mhz], \theta_s = -240.868^\circ$$

Tabla 3-32 Frecuencias y fases de corte y rechazo para el filtro del caso 2, realización A.1 con  $G_m = 250 [\mu S]$ . y  $R_{out} = 4 [M\Omega]$ .



Fig. 3-100 Magnitud y fase del filtro caso 2 – realización A.5 con  $G_m = 250 [\mu S]$  y  $R_{out} = 4 [M\Omega]$ .

**Frecuencias y fases de corte y ‘stop-band’**

$$f_c = 2.49154 [Mhz], \theta_c = -134.478^\circ$$

$$f_s = 9.94219 [Mhz], \theta_s = -240.849^\circ$$

Tabla 3-33 Frecuencias y fases de corte y rechazo para el filtro del caso 2, realización A.5 con  $G_m = 250 [\mu S]$ . y  $R_{out} = 4 [M\Omega]$ .

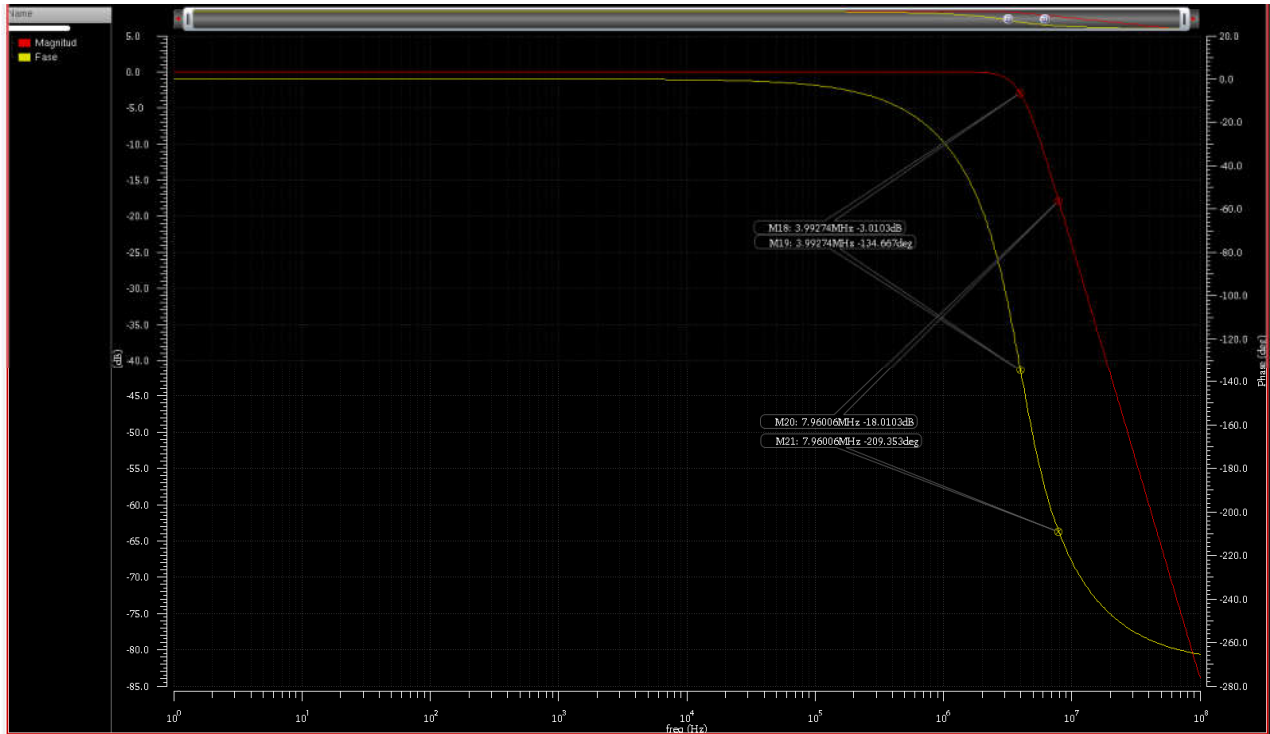


Fig. 3-101 Magnitud y fase del filtro caso 3 – realización A.1 con  $G_m = 250 [\mu S]$  y  $R_{out} = 4 [M\Omega]$ .

**Frecuencias y fases de corte y ‘stop-band’**

$$f_c = 3.99274 [Mhz], \theta_c = -134.667^\circ$$

$$f_s = 7.96006 [Mhz], \theta_s = -209.353^\circ$$

Tabla 3-34 Frecuencias y fases de corte y rechazo para el filtro del caso 3, realización A.1 con  $G_m = 250 [\mu S]$ . y  $R_{out} = 4 [M\Omega]$ .



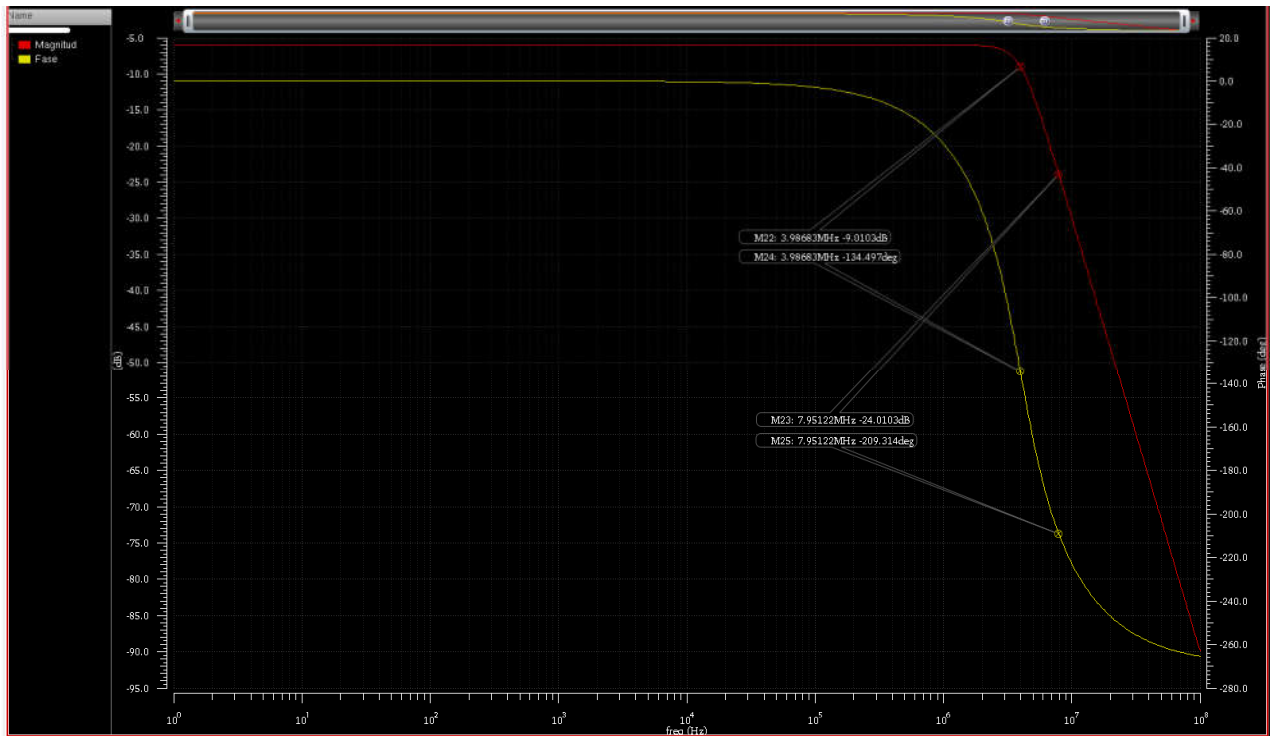


Fig. 3-102 Magnitud y fase del filtro caso 3 – realización A.5 con  $G_m = 250 [\mu S]$  y  $R_{out} = 4 [M\Omega]$ .

**Frecuencias y fases de corte y 'stop-band'**

$$f_c = 3.98683 [Mhz], \theta_c = -134.497^\circ$$

$$f_s = 7.95122 [Mhz], \theta_s = -209.314^\circ$$

Tabla 3-35 Frecuencias y fases de corte y rechazo para el filtro del caso 3, realización A.5 con  $G_m = 250 [\mu S]$ . y  $R_{out} = 4 [M\Omega]$ .

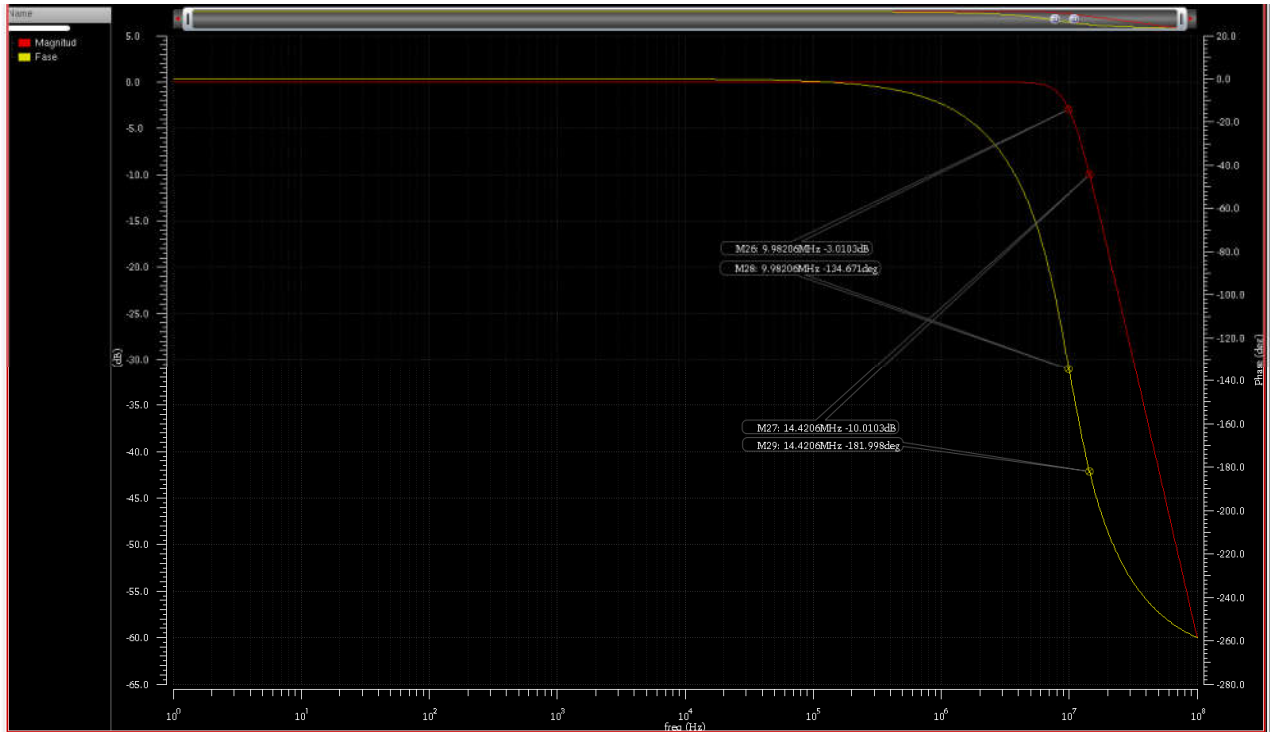


Fig. 3-103 Magnitud y fase del filtro caso 4 – realización A.1 con  $G_m = 250 [\mu S]$  y  $R_{out} = 4 [M\Omega]$ .

**Frecuencias y fases de corte y ‘stop-band’**

$$f_c = 9.98206 [Mhz], \theta_c = -134.671^\circ$$

$$f_s = 14.4206 [Mhz], \theta_s = -181.998^\circ$$

Tabla 3-36 Frecuencias y fases de corte y rechazo para el filtro del caso 4, realización A.1 con  $G_m = 250 [\mu S]$ . y  $R_{out} = 4 [M\Omega]$ .

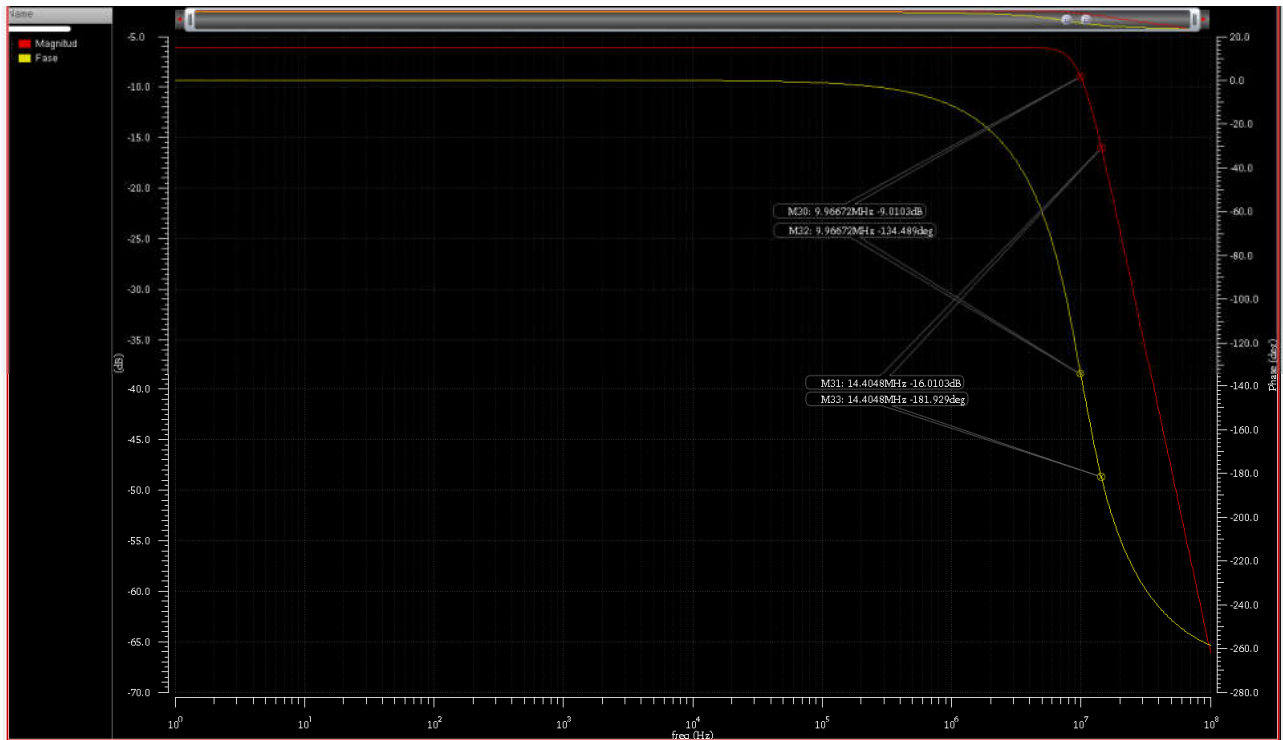


Fig. 3-104 Magnitud y fase del filtro caso 4 – realización A.5 con  $G_m = 250 [\mu S]$  y  $R_{out} = 4 [M\Omega]$ .

**Frecuencias y fases de corte y ‘stop-band’**

$$f_c = 9.96672 [Mhz], \theta_c = -134.489^\circ$$

$$f_s = 14.4048 [Mhz], \theta_s = -181.929^\circ$$

Tabla 3-37 Frecuencias y fases de corte y rechazo para el filtro del caso 4, realización A.5 con  $G_m = 250 [\mu S]$ . y  $R_{out} = 4 [M\Omega]$ .

En las siguientes tablas, se muestra la razón de las frecuencias de corte y el factor de escala entre los valores de los elementos para los filtros de 2.5 [Mhz], 4 [Mhz] y 10 [Mhz] con respecto al filtro de 1 [Mhz].

Frecuencias	2.5 [Mhz] / 1 [Mhz]	4 [Mhz] / 1 [Mhz]	10 [Mhz] / 1 [Mhz]
Razón	2.5	4	10

Tabla 3-38 Tabla con la razón de las frecuencias de corte.

i. Realización A.1

	$L_3$	$C_2$	$L_1$
Filtro 1 [Mhz]	2.387324149106350E-07	2.122065909786230E-07	7.957747163687820E-08
Filtro 2.5 [Mhz]	9.549296596425380E-08	8.488263639144940E-08	3.183098865475130E-08
Razón	2.5	2.5	2.5

Tabla 3-39 Tabla que muestra la razón entre los elementos pasivos del filtro del caso 2 contra el filtro del caso 1.

	$L_3$	$C_2$	$L_1$
Filtro 1 [Mhz]	2.38732414910635E-07	2.122065909786230E-07	7.957747163687820E-08
Filtro 4 [Mhz]	5.96831037276586E-08	5.305164774465590E-08	1.989436790921950E-08
Razón	4	4	4

Tabla 3-40 Tabla que muestra la razón entre los elementos pasivos del filtro del caso 3 contra el filtro del caso 1.

	$L_3$	$C_2$	$L_1$
Filtro 1 [Mhz]	2.387324149106350E-07	2.122065909786230E-07	7.957747163687820E-08
Filtro 10 [Mhz]	2.387324149106350E-08	2.122065909786230E-08	7.957747163687820E-09
Razón	10	10	10

Tabla 3-41 Tabla que muestra la razón entre los elementos pasivos del filtro del caso 4 contra el filtro del caso 1.

ii. Realización A.5.

	$C_3$	$L_2$	$C_1$
Filtro 1 [Mhz]	1.591549432737560E-08	3.183098865475130E-08	1.591549432737560E-08
Filtro 2.5 [Mhz]	3.978873581843910E-08	7.957747163687820E-08	3.978873581843910E-08
Razón	2.5	2.5	2.5

Tabla 3-42 Tabla que muestra la razón entre los elementos pasivos del filtro del caso 2 contra el filtro del caso 1.

	$C_3$	$L_2$	$C_1$
Filtro 1 [Mhz]	1.591549432737560E-08	3.183098865475130E-08	1.591549432737560E-08
Filtro 4 [Mhz]	6.36619773095025E-08	1.27323954619005E-07	6.36619773095025E-08
Razón	4	4	4

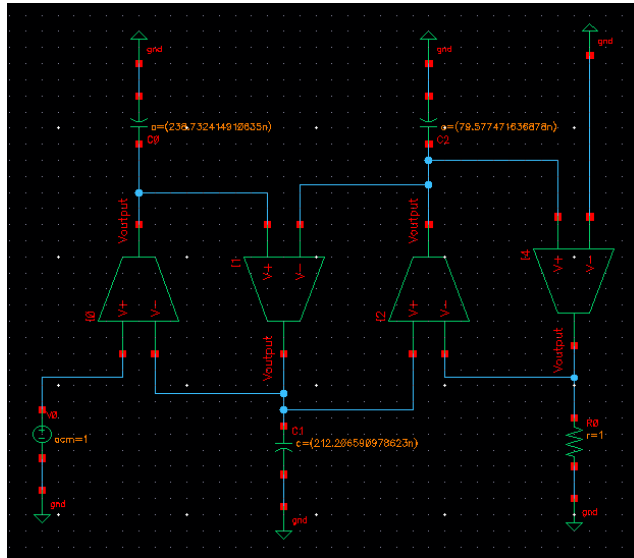
Tabla 3-43 Tabla que muestra la razón entre los elementos pasivos del filtro del caso 3 contra el filtro del caso 1.

	$C_3$	$L_2$	$C_1$
Filtro 1 [Mhz]	1.591549432737560E-08	3.183098865475130E-08	1.591549432737560E-08
Filtro 10 [Mhz]	1.591549432737560E-07	3.183098865475130E-07	1.591549432737560E-07
Razón	10	10	10

Tabla 3-44 Tabla que muestra la razón entre los elementos pasivos del filtro del caso 4 contra el filtro del caso 1.

Al comparar los datos es evidente como se logra incrementar la frecuencia a partir del escalamiento de los elementos del filtro.

Ahora se tomará el filtro del caso 1, con las realizaciones A.1 y A.5 cuya frecuencia de corte es de 1 [Mhz] y se modificará la  $G_m$  del  $OTA$  ideal entre 1, 2,5, 4 y 10 y se verá su efecto en las frecuencias de corte y de rechazo del filtro.



$$C_{L_3} = 238.73242 \text{ [nF]}$$

$$C_{C_2} = 212.20659 \text{ [nF]}$$

$$C_{L_1} = 79.57747 \text{ [nF]}$$

$$R_L = 1 \text{ [\Omega]}$$

Fig. 3-105 Implantación del filtro del caso 1 – realización A.1 con OTA-C.



Fig. 3-106 Gráficas de la ganancia para los filtros (realización A.1) con  $G_m$  igual a 1, 2.5, 4 y 10.

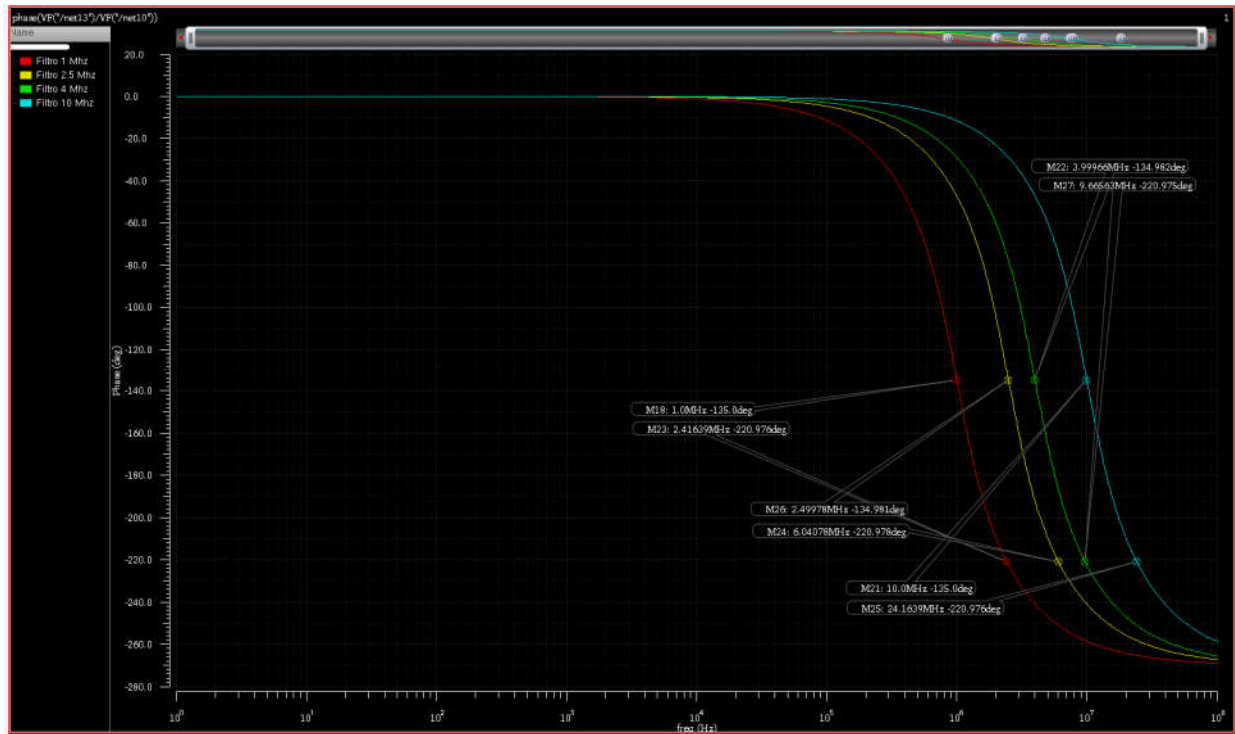
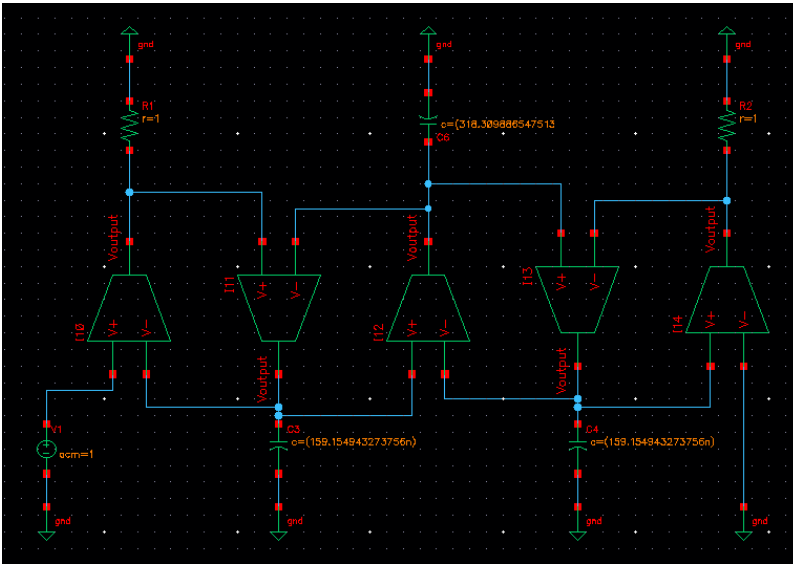


Fig. 3-107 Gráficas de la fase para los filtros (realización **A.1**) con  $G_m$  igual a 1, 2.5, 4 y 10.

	$G_m = 1$	$G_m = 2.5$	$G_m = 4$	$G_m = 10$
Frecuencia de corte	1 [Mhz]	2.49978 [Mhz]	3.99966 [Mhz]	10 [Mhz]
Fase a la frec. de corte	135°	134.981°	134.982°	135°
Frecuencia de ‘stop band’	2.41639 [Mhz]	6.04078 [Mhz]	9.66563 [Mhz]	24.1639 [Mhz]
Fase a la frec. ‘stop band’	220.976°	220.978°	220.975°	220.976°

Tabla 3-45 Resumen de frecuencias y fases de corte y de rechazo para  $G_m$  igual a 1, 2.5, 4 y 10 con el filtro del caso 1 – realización **A.1**.



$$C_{C_3} = 159.1549 \text{ [nF]}$$

$$C_{L_2} = 318.3099 \text{ [nF]}$$

$$C_{C_1} = 159.1549 \text{ [nF]}$$

$$R_{in} = 1 \text{ [\Omega]}$$

$$R_L = 1 \text{ [\Omega]}$$

Fig. 3-108 Implantación del filtro del caso 1 – realización A.5 con OTA-C.

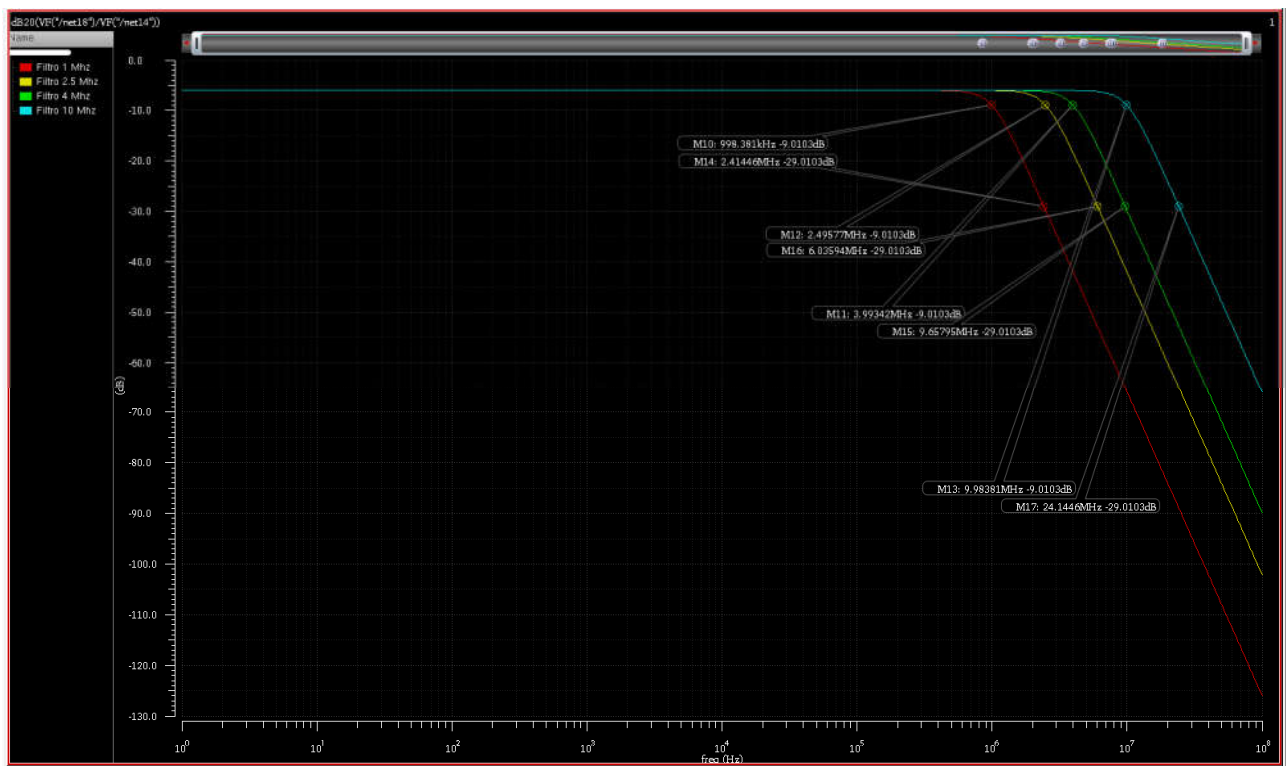


Fig. 3-109 Gráficas de la ganancia para los filtros (realización A.5) con  $G_m$  igual a 1, 2.5, 4 y 10.



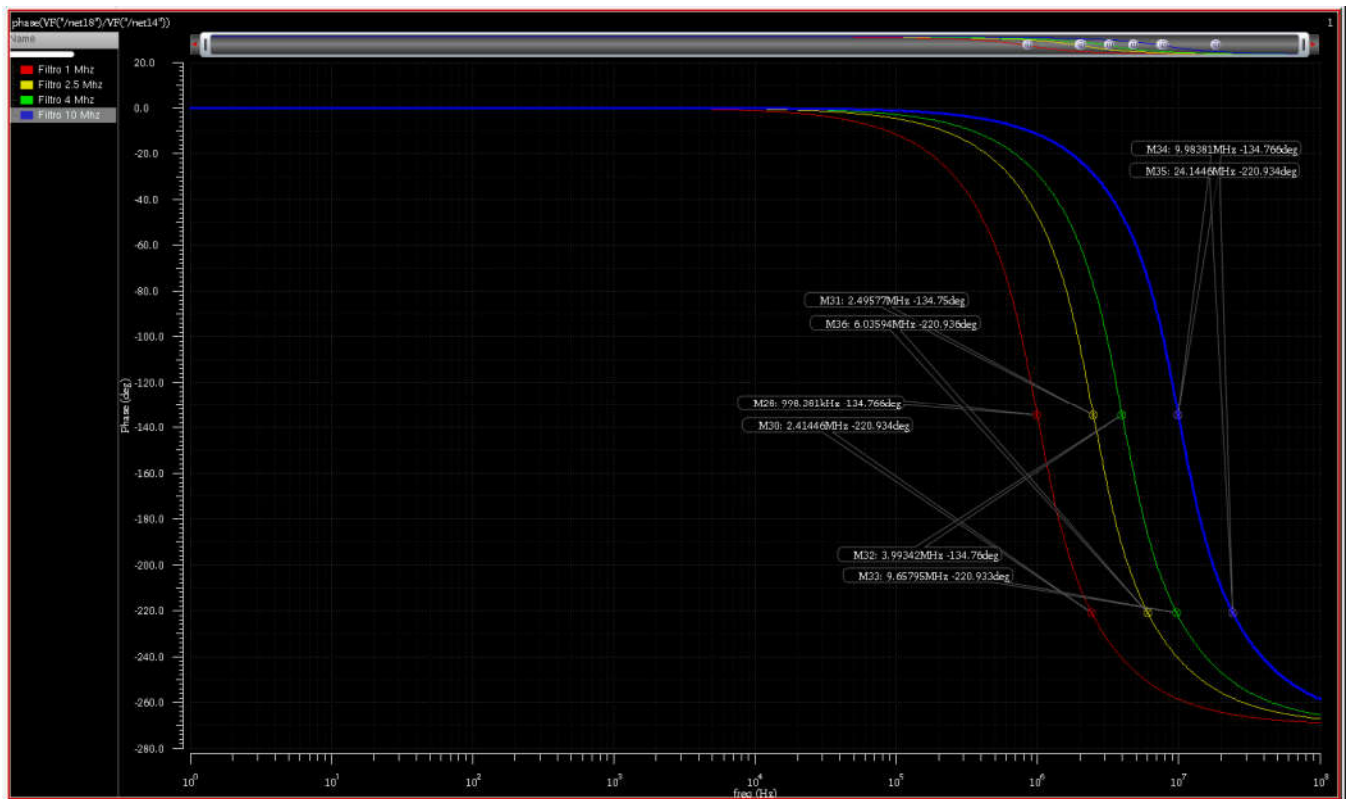


Fig. 3-110 Gráficas de la fase para los filtros (realización **A.5**) con  $G_m$  igual a 1, 2.5, 4 y 10.

	$G_m = 1$	$G_m = 2.5$	$G_m = 4$	$G_m = 10$
Frecuencia de corte	998.381 [kHz]	2.49577 [MHz]	3.99342 [MHz]	9.98381 [MHz]
Fase a la frec. de corte	134.766°	134.75°	134.76°	134.766°
Frecuencia de 'stop band'	2.41446 [MHz]	6.03594 [MHz]	9.65795 [MHz]	24.1446 [MHz]
Fase a la frec. 'stop band'	220.934°	220.936°	220.933°	220.934°

Tabla 3-46 Resumen de frecuencias y fases de corte y de rechazo para  $G_m$  igual a 1, 2.5, 4 y 10 con el filtro del caso 1 – realización **A.5**.

El incremento de la  $G_m$  equivale a un escalamiento en frecuencia, con lo cual se abre la posibilidad de diseñar filtros configurables a partir de aumentar el valor de la  $G_m$ . Esto último puede lograrse mediante el incremento de la corriente de Bias ( $I_{Bias}$ ) en el par diferencial que se encuentra en cada *OTA*.

## 5. Conclusiones.

La metodología de diseño es comprensible y confiable. Dada su simplicidad es posible semi-automatizarla con el uso de una hoja de cálculo y el simulador (*ADE*) de *Virtuoso* y probar de forma rápida los resultados.

Paso por paso se construye el filtro activo, iniciando con el diseño de un filtro pasivo normalizado, y se tienen diversos momentos en los que se puede corroborar el avance que se tiene con un resultado parcial, para que en caso de algún error, pueda corregirse antes de pasar a la siguiente fase. En cada momento es palpable la importancia que tiene una adecuada comprensión de los aspectos teóricos y cómo se traducen éstos en aspectos prácticos de diseño.

La metodología puede aplicarse sin cambios significativos al diseño de filtros tipo Chebyshev con variaciones de 0.5 [dB] y 1 [dB] en el rizado dentro de la banda de paso, al tomar como referencia para el cálculo de los elementos pasivos que conforman el filtro, otra sección de la misma tabla proveniente del libro de **Lawrence P. Huelsman** que se empleó para el diseño de los filtros tipo Butterworth.

Por supuesto, la metodología puede extenderse y aplicarse al diseño de filtros pasa-altas, pasa-banda y rechaza-banda, ya que todos ellos parten del diseño de un filtro base del tipo pasa-bajas que esté normalizado en frecuencia.

Si se reúnen las metodologías de diseño de amplificadores diferenciales (vista como primer proyecto de este reporte) y la de diseño de filtros, se tienen dos herramientas muy útiles para mostrar a los estudiantes de posgrado como pasar de las descripciones del comportamiento de los dispositivos y sistemas a su realización.

## C. DISEÑO DE CONVERTIDORES DIGITALES-ANALÓGICOS TOTALMENTE DIFERENCIALES DE BAJO Y ULTRA-BAJO VOLTAJE CON OPERACIÓN EN MODO DE CARGA

### 1. Antecedentes.

Los Convertidores Digitales-Analógicos (*DAC* por sus siglas en inglés) reconstruyen señales analógicas a partir de formas de onda generadas arbitrariamente por circuitos digitales. La fidelidad de la reconstrucción es una medida de la calidad del convertidor. Es común el uso de componentes perfectamente ajustados e igualados entre sí (resistores, capacitores o transistores) es una técnica frecuente para convertir directamente un número digital en una señal analógica cuantizada. Sin embargo, la limitada precisión con que los componentes pueden ajustarse e igualarse, permite una resolución máxima de entre 10 y 12 bits; en cuyo caso, el convertidor aún cumple con la característica de linealidad (véase [8, p. 205]).

Un *DAC* produce una salida analógica  $A$  que es proporcional a la entrada digital  $D$ :

$$A = \alpha D \quad (3-51)$$

Donde  $\alpha$  es el factor de proporcionalidad. Dado que  $D$  es una cantidad adimensional,  $\alpha$  determina tanto las unidades como el factor de escala de  $A$ , y en algunos casos es más práctico normalizar  $D$  con respecto a su valor a su valor total de escala,  $2^m$ , donde  $m$  es la resolución del convertidor. Por ejemplo, si  $\alpha$  expresa una cierta cantidad de voltaje llamada  $V_{REF}$ , entonces:

$$A = V_{REF} \frac{D}{2^m} \quad (3-52)$$

La conversión digital-analógica puede verse como una multiplicación o división de un cierto valor de referencia, donde la referencia puede ser una de tres cantidades eléctricas: voltaje, corriente y carga. La precisión de esta función determina la linealidad del *DAC*, mientras que la velocidad a la cual cada múltiplo o fracción de la referencia puede seleccionarse y transferirse a la salida indica la tasa de conversión del *DAC* [9, pp. 45-46].

La entrada digital a un *DAC* puede tener cualquier formato predefinido pero debe, eventualmente tener una forma fácilmente convertible a un valor analógico. Son formatos comunes: binario simple, termómetro y 1 de  $n$ .

Los códigos termómetro y 1 de  $n$  son mucho más compactos que el código binario simple y por ello son esenciales en el diseño de los convertidores digitales-analógicos y analógicos-digitales.

Los Convertidores Digitales-Analógicos (DAC) implementan una función de conversión digital-analógica (función D-A). Los argumentos de esta función son el dato digital, un reloj de referencia y una amplitud de referencia. La salida de la función D-A es la señal analógica de salida del DAC. La señal de entrada es discreta en el tiempo y cuantizada en amplitud y representa una trama codificada de bits. En la mayoría de los casos, los DAC son síncronos, por lo que requieren una entrada de reloj independiente para ser tomada como tiempo base véase la Fig. 3-111. También existen DAC asíncronos que obtienen el tiempo base a través de los cambios en la señal de datos de entrada. En cualquier caso, la señal analógica de salida es continua en el tiempo con una amplitud cuantizada. La cuantización de la amplitud correspondiente a la señal de salida depende de la resolución de la señal digital de entrada (véase [13, p. 12]).

La función D-A puede considerarse como la traducción de información digital abstracta a entidades analógicas concretas, como son corriente, voltaje o potencia.

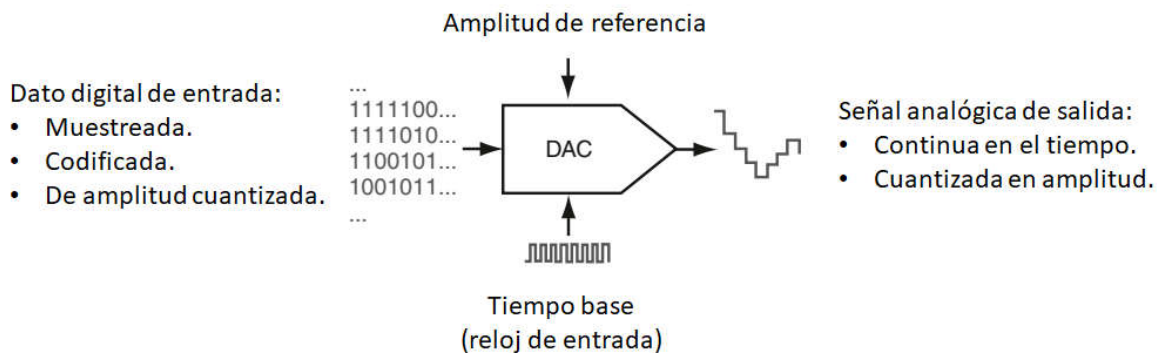


Fig. 3-111 El DAC visto como sistema. Transformación de la entrada en la salida.

Existen diversos tipos de convertidores digitales-analógicos, tales como: de conteo por modulación de ancho de pulso (véase [10, p. 167]), divisor kelvin (véase [10, pp. 149-150]), completamente codificado como termómetro (véase [10, pp. 151-152]), ponderado de forma binaria, de escalera R-2R (véase [10, pp. 155-159]), de aproximaciones sucesivas o cíclicos seriales (véase [10, pp. 167-169]), por sobremuestreo e interpolación, segmentado (véase [10, pp. 159-163]) e intencionalmente no lineales (véase [10, pp. 164-166]). Para el

presente proyecto se utilizó un convertidor **ponderado de forma binaria** que opera en **modo de carga**; dentro de los convertidores digitales-analógicos se cuenta con diversos modos de operación: modo de voltaje, modo de corriente y modo de carga.

En la Fig. 3-112 se muestra la forma general de la estructura de un convertidor digital-analógico ponderado de forma binaria y que opera en modo de carga.

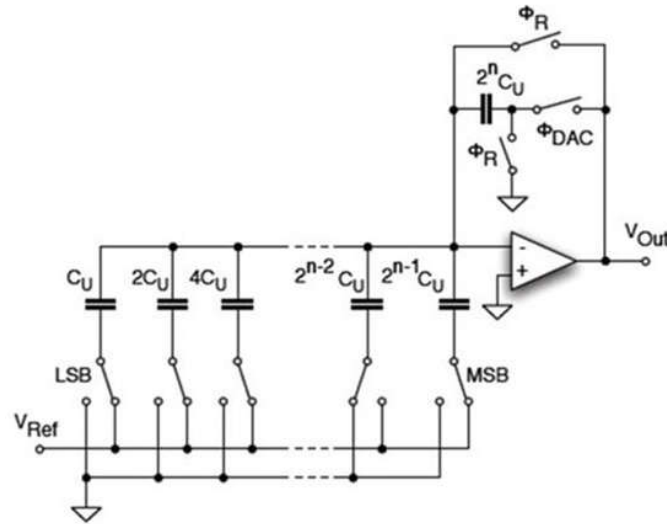


Fig. 3-112 Estructura básica de un Convertidor Digital-Analógico, ponderado de forma binaria y que opera en modo de carga.

Un DAC que opera en modo de carga es un circuito basado en conmutación de capacitores que implementa la conversión D-A en el dominio de la carga. Normalmente, la carga se almacena en un banco de capacitores que son empleados para realizar la conversión. La señal de salida es generada por un amplificador, cuya velocidad y linealidad son comúnmente las principales limitaciones de operación del convertidor. Más aún, la precisión de este tipo de convertidores está limitada por la precisión con que los valores de capacitancia de los capacitores que emplea son reproducidos y escalados de uno a otro elemento.

Otra fuerte objeción a este tipo de convertidores digitales-analógicos es que el uso de capacitores puede conllevar la presencia de corrientes de fuga que a su vez provocarán que el convertidor pierda su precisión luego de unos pocos milisegundos. Esto hace al convertidor digital-analógico capacitivo adecuado para trabajar con convertidores analógico-digitales (*ADC* por las siglas de su nombre en inglés *Analog-to-Digital Converter*) de aproximaciones

sucesivas, dado que la conversión se completa en unos cuantos microsegundos, o en mucho menos, antes de que pérdida por la presencia de corrientes de fuga tenga un efecto apreciable.

Gracias a la evolución y significativas mejoras del proceso de fabricación *CMOS*, hoy es posible disponer de *DAC* capacitivos muy pequeños, baratos y precisos. Los *DAC* capacitivos con redistribución de carga ofrecen, además, otra ventaja: en sí mismos se comportan como un circuito *sample-and-hold (SHA)*, de modo que no se requiere de un *SHA* externo ni de uso de área dentro del chip para fabricar uno integrado (véase [10, pp. 153-155]).

Algunos métricos que caracterizan a los convertidores digitales-analógicos son:

- *Differential nonlinearity (DNL)* es la desviación máxima en el tamaño del paso de salida con referencia al valor ideal de alguno de los bit menos significativo (*LSB* por sus siglas en inglés).
- *Integral nonlinearity (INL)* es la desviación máxima de la propia relación entrada/salida característica considerada a partir de la línea recta que pasa por sus puntos inicial y final. La diferencia entre la relación característica ideal y real se conoce como perfil *INL*.
- *Offset* es la intercepción con el eje vertical de la línea recta que pasa por los puntos final e inicial de la relación entrada/salida característica.
- *Gain error* es la desviación de su valor ideal (normalmente, la unidad), de la pendiente de la línea recta que pasa a través de los puntos inicial y final de la relación entrada/salida característica.
- *Settling time* es el tiempo requerido para que la salida experimente su transición completa y se asiente con una cierta banda específica de error, alrededor de su valor final.
- *Glitch impulse area* es el área máxima bajo cualquier falla extraña que aparezca a la salida luego de que el código de entrada ha cambiado.
- *Latency* es el retardo total desde el momento en que la entrada digital cambia hasta el momento en que la salida digital se ha asentado dentro de la banda de error aceptable alrededor de su valor final. La latencia puede darse en

múltiplos del periodo de la señal fundamental de reloj en el sistema si el DAC la comparte con el resto de la circuitería digital.

- *Signal to noise + distorsion ratio (SNDR)* es la razón de la potencia de la señal con respecto al ruido total y la distorsión armónica presentes en la salida cuando la entrada es una señal de tipo senoide digital.

El desempeño de los *DAC* está limitado por sus características de *DNL* e *INL*. Estos parámetros son usualmente determinados por la precisión de la división o multiplicación de la referencia (discrepancias en los valores de resistencia y capacitancia entre los componentes del convertidor). El denominado desempeño estático es descrito frecuentemente mediante mediciones de las no-linealidades diferenciales e integrales, es decir, *DNL* e *INL* y limita la precisión a baja velocidad.

*Settling time* y *delay* están en función de la carga a la salida y la velocidad de conmutación del circuito y *glitch impulse* depende de la arquitectura y diseño del convertidor digital-analógico [9, pp. 48-49].

Otro tipo de errores presentes en los *DAC* y que son importantes conforme se incrementan las frecuencias de las señales y las frecuencias de muestreo, con los errores dinámicos. Para el presente proyecto, dado que las frecuencias de las señales se mantendrán en el orden de unos pocos kilohertz y las frecuencias de muestreo seguirán el teorema de Nyquist (al menos el doble de la frecuencia fundamental de la señal), los errores dinámicos no serán considerados.

Una resolución adecuada para un *DAC* dedicado a este tipo de aplicaciones puede ir desde los 6 y hasta los 12 bits. El ancho de banda requerido puede ser de unos cuantos cientos de kilohertz hasta decenas de megahertz; el consumo debe mantenerse en el orden de unos pocos microwatts y la fuente de voltaje típicamente puede proporcionar un volt de alimentación.

## **2. Especificaciones.**

### **a. Diseño de bajo voltaje. *OTA* tipo *Miller* de bajo voltaje.**

Con el empleo de tecnología *CMOS* de 130 [nm], diseñese un Convertidor Digital – Analógico Fully Differential de bajo voltaje que opere en modo de carga utilizando

capacitores con valores C, 2C, 4C, 8C, 16C y 32C (6 bits),  $C_f = 64C$ . Inclúyase una fuente de DC como offset (con valor de entre 0.5 [mV] a 2 [mV]) en serie con una de las terminales de entrada del OpAmp. También colóquense unas fuentes de DC flotantes  $V_{Bat}$  en serie con ambas entradas del OpAmp y con ambas entradas de la red de realimentación de modo común para cubrir los requerimientos de alimentación eléctrica del convertidor. Utilícese como capacitancia unitaria  $C=0.5$  [pF] (también puede utilizarse  $C=0.25$  [pF]).

**Resumen de las características de diseño.**

$V_{DD} = 0.4$ [V]	$I_{Bias} = 80$ [ $\mu$ A]
$V_{SS} = -0.4$ [V]	$f_{CLK} = 2.5 - 5$ [Mhz]
$V_{Bat} = 0.2$ [V]	$f_{b1} = f_{CLK}/2, f_{b2} = f_{CLK}/4 \dots f_{b6} = f_{CLK}/64$
$V_{Ref} = \pm 0.25$ [V]	$P_Q = 6 * I_{Bias} * (V_{DD} - V_{SS})$

Tabla 3-47 Características generales de diseño para el DAC de bajo voltaje.

Se tomó como base el diseño del amplificador Free Class AB con compensación Miller elaborado durante el curso y se hicieron los ajustes necesarios para lograr una ganancia superior a 45 [dB] y un GBW igual o superior a 50 [Mhz].

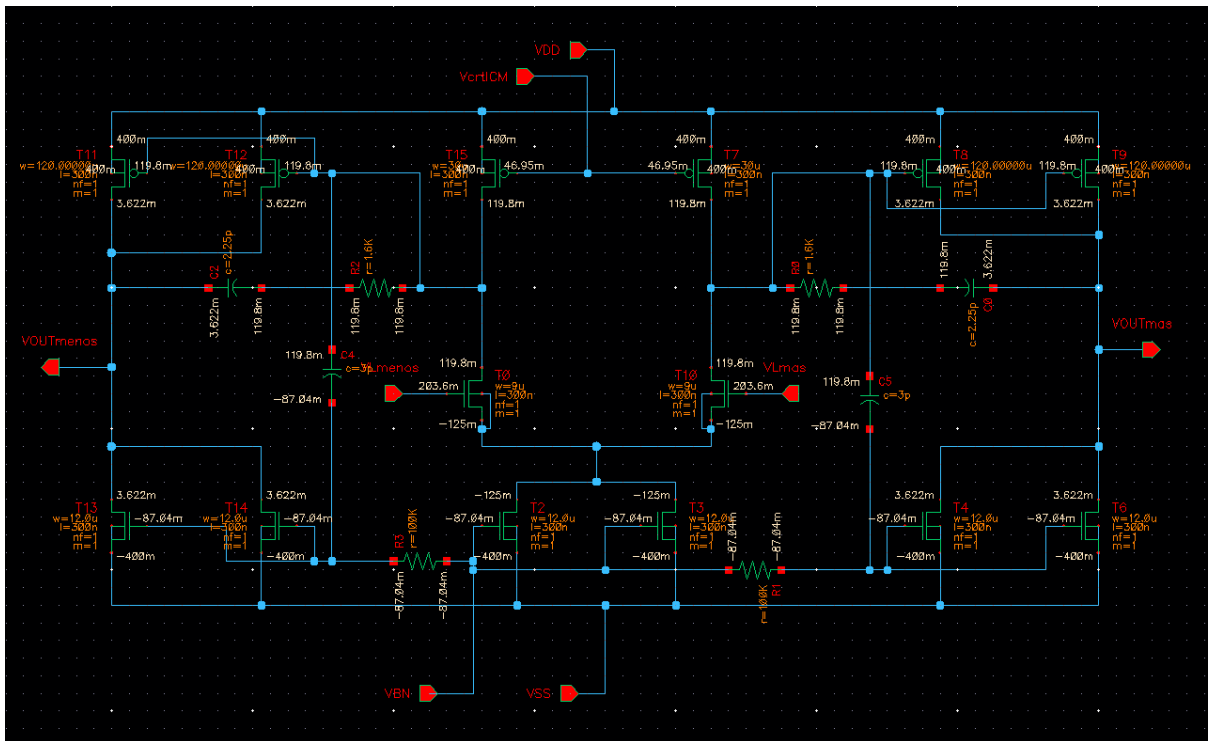


Fig. 3-113 Esquemático del Amplificador Free Class AB con compensación Miller empleado para la implantación del DAC de 6 bits de bajo voltaje.



Las dimensiones de los transistores, resistores y capacitores del amplificador son:

Transistor	Valores
T <sub>0</sub> y T <sub>10</sub>	$W = 9 \text{ } [\mu\text{m}]$ y $L = 300 \text{ } [\text{nm}]$
T <sub>2</sub> , T <sub>3</sub> , T <sub>4</sub> , T <sub>6</sub> , T <sub>13</sub> y T <sub>14</sub>	$W = 12 \text{ } [\mu\text{m}]$ y $L = 300 \text{ } [\text{nm}]$
T <sub>7</sub> y T <sub>15</sub>	$W = 30 \text{ } [\mu\text{m}]$ y $L = 300 \text{ } [\text{nm}]$
T <sub>8</sub> , T <sub>9</sub> , T <sub>11</sub> y T <sub>12</sub>	$W = 120 \text{ } [\mu\text{m}]$ y $L = 300 \text{ } [\text{nm}]$
R <sub>0</sub> y R <sub>2</sub>	1.6 [kΩ]
C <sub>0</sub> y C <sub>2</sub>	2.25 [pF]
R <sub>1</sub> y R <sub>3</sub>	100 [kΩ]
C <sub>4</sub> y C <sub>5</sub>	3 [pF]

Tabla 3-48 Resumen de las dimensiones de los transistores y de los valores de los elementos en el Amplificador Free Class AB tipo Miller empleado en el DAC de bajo voltaje.

En todos los casos los transistores tienen una relación  $\frac{g_m}{g_{ds}}$  mayor a 8.

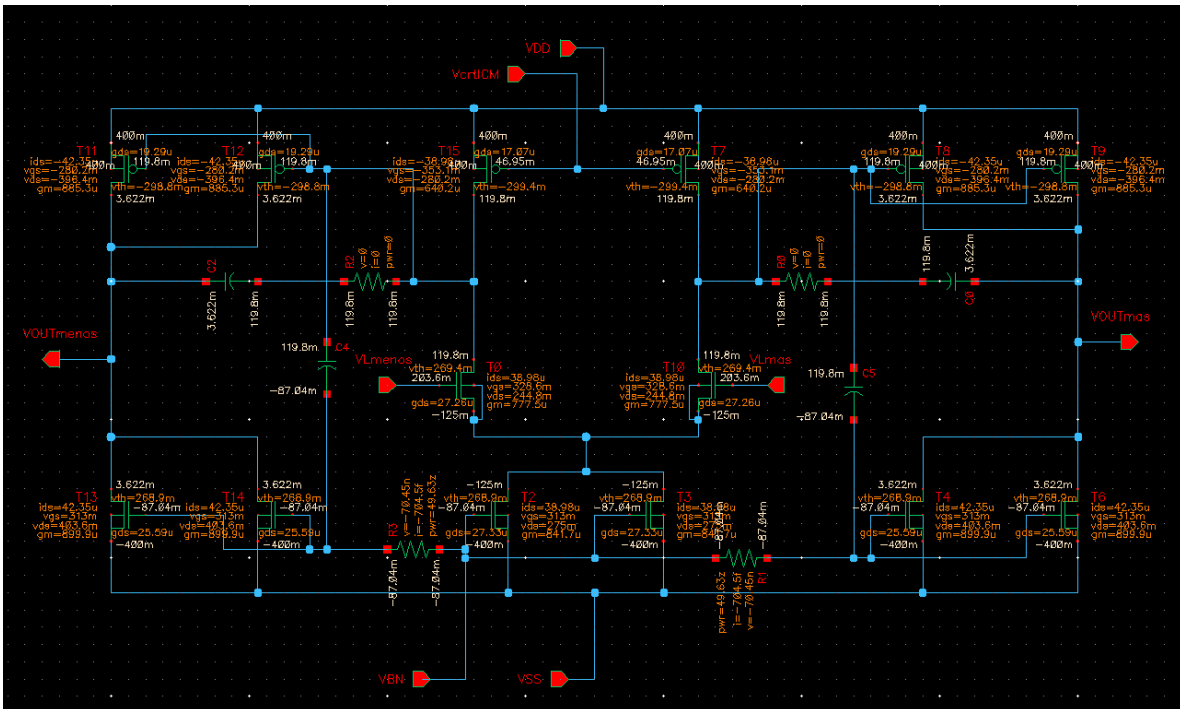


Fig. 3-114 Valores de corrientes, voltajes y  $G_m$  para cada transistor empleado en el Amplificador Free Class AB tipo Miller en el punto de operación de los transistores del par diferencial base.

Resultados del Amplificador Free Class AB tipo Miller: ganancia de 47.25 [dB], ancho de banda de 258.32 [kHz] y UGF de 56.18 [Mhz].

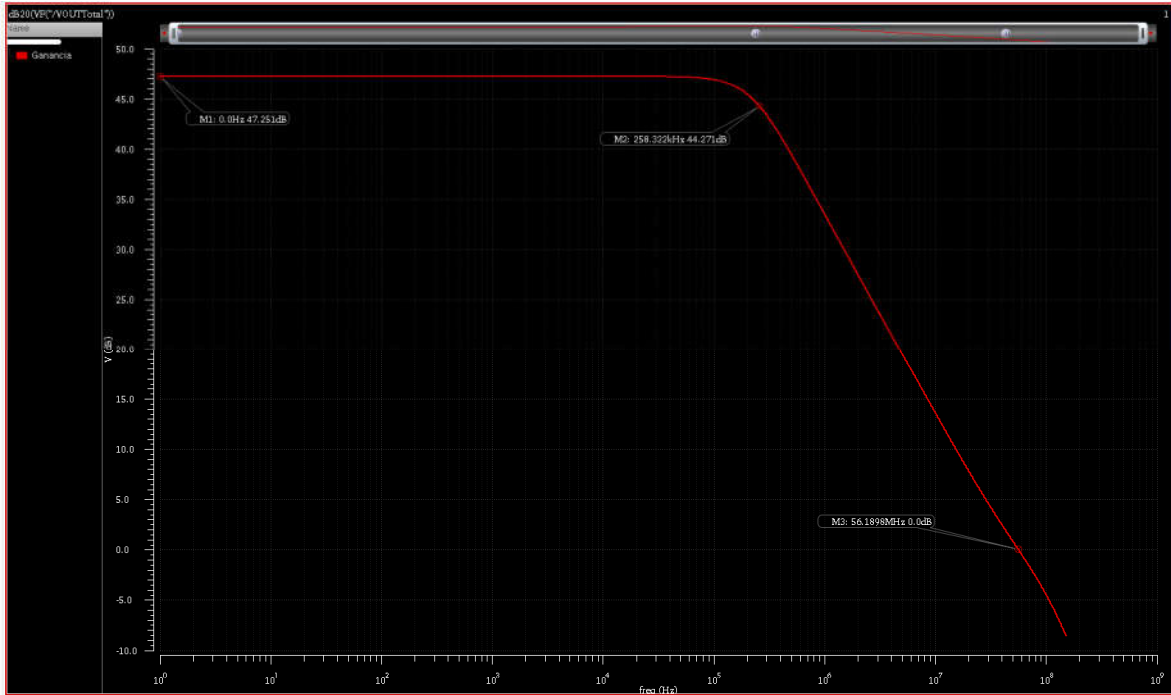


Fig. 3-115 Gráfica de ganancia del Amplificador Free Class AB tipo Miller.

Margen de fase del Amplificador Free Class AB: 86.07°.

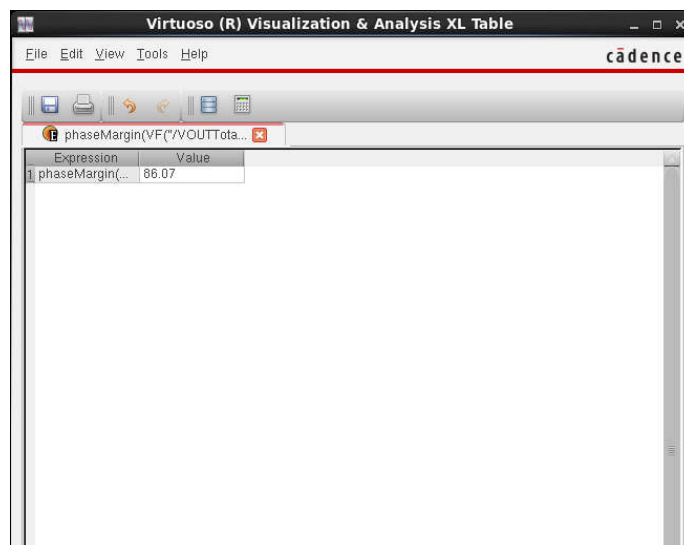


Fig. 3-116 Valor del margen de fase del Amplificador Free Class AB tipo Miller. Obtenido con el simulador *Analog Design Environment*.

Gráfica de fase y ganancia, así como el valor del margen de fase de 86°.

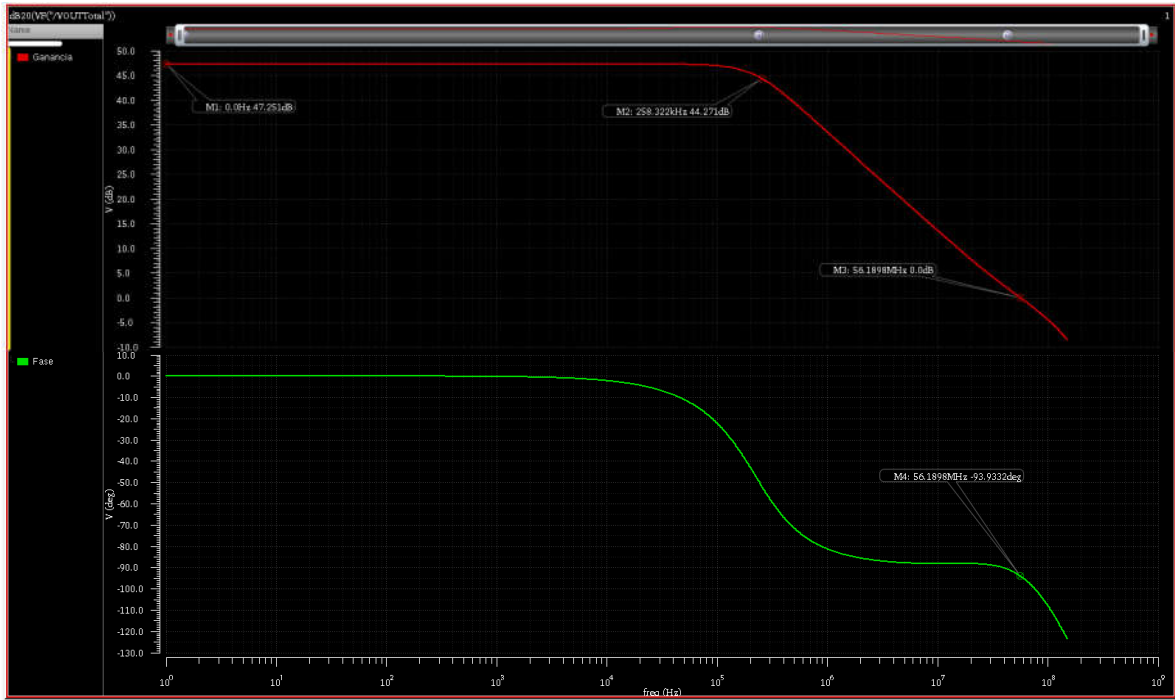


Fig. 3-117 Gráficas de ganancia y fase del Amplificador Free Class AB tipo Miller.

También se adecuaron las dimensiones de los transistores de la red de realimentación de modo común.

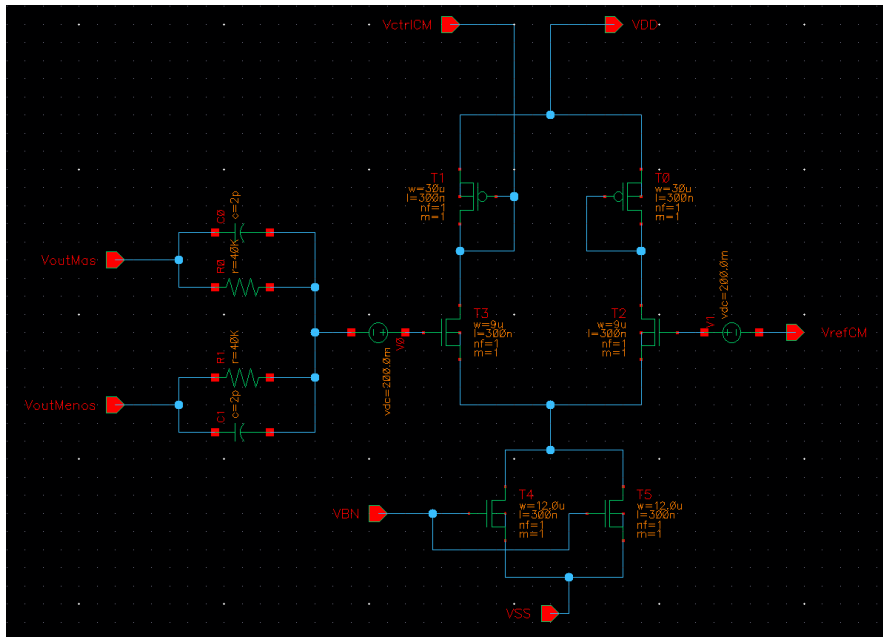


Fig. 3-118 Dimensiones de los transistores de la red de realimentación de modo común.

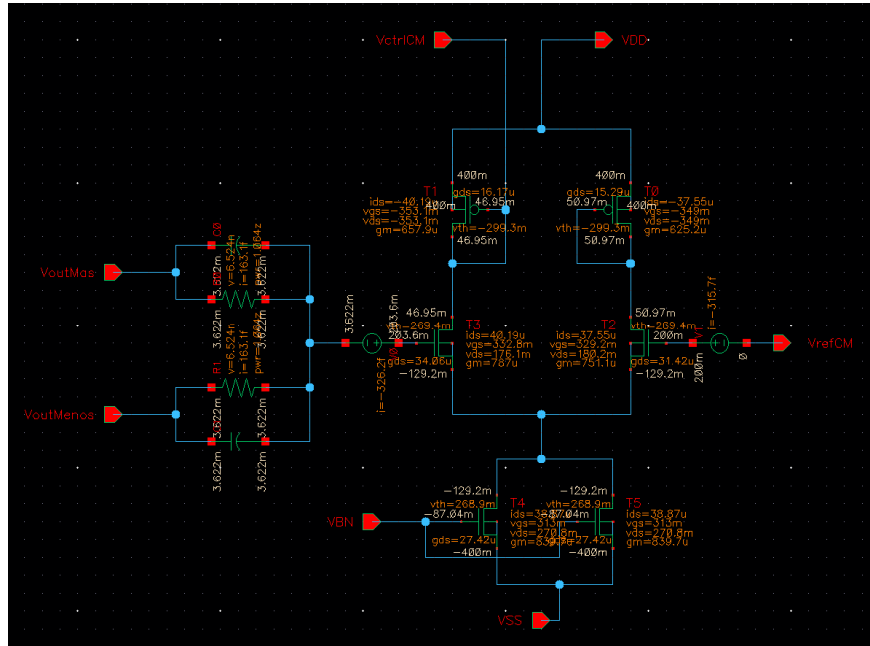


Fig. 3-119 Valores de corrientes, voltajes y  $G_m$  para cada transistor empleado en la red de realimentación de modo común en el punto de operación de los transistores del par diferencial base del Amplificador Free Class AB tipo Miller.

Circuito que proporciona la corriente de Bias al Amplificador Free Class AB tipo Miller.

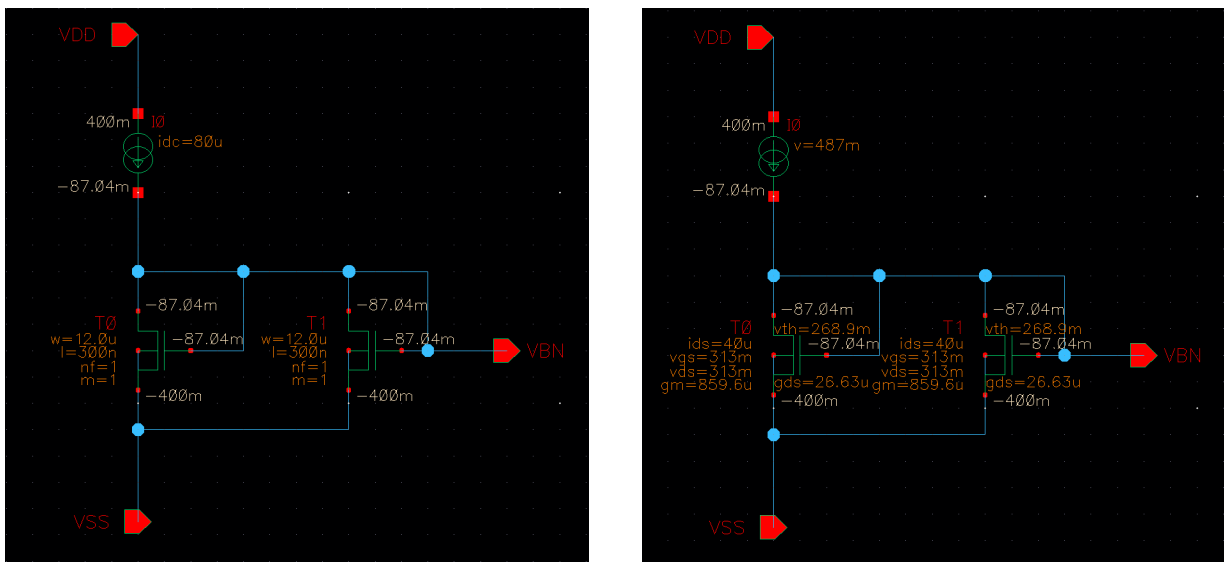


Fig. 3-120 Dimensiones y valores de parámetros eléctricos del espejo de corriente (que proporciona  $I_{Bias}$ ) en el punto de operación del par diferencial base del Amplificador Free Class AB tipo Miller.

Test Bench para obtener el comportamiento en ganancia y fase del amplificador.

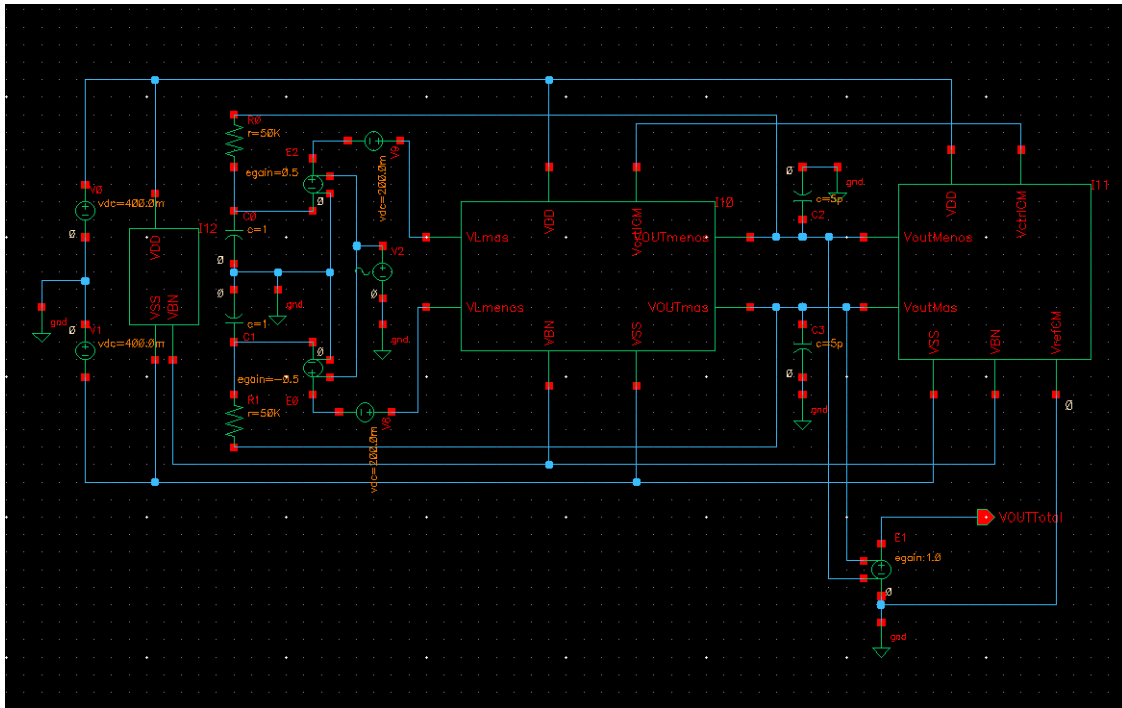


Fig. 3-121 Diagrama del circuito de prueba empleado para obtener la ganancia y fase del Amplificador Free Class AB tipo Miller.

Test bench para obtener el Slew Rate del amplificador.

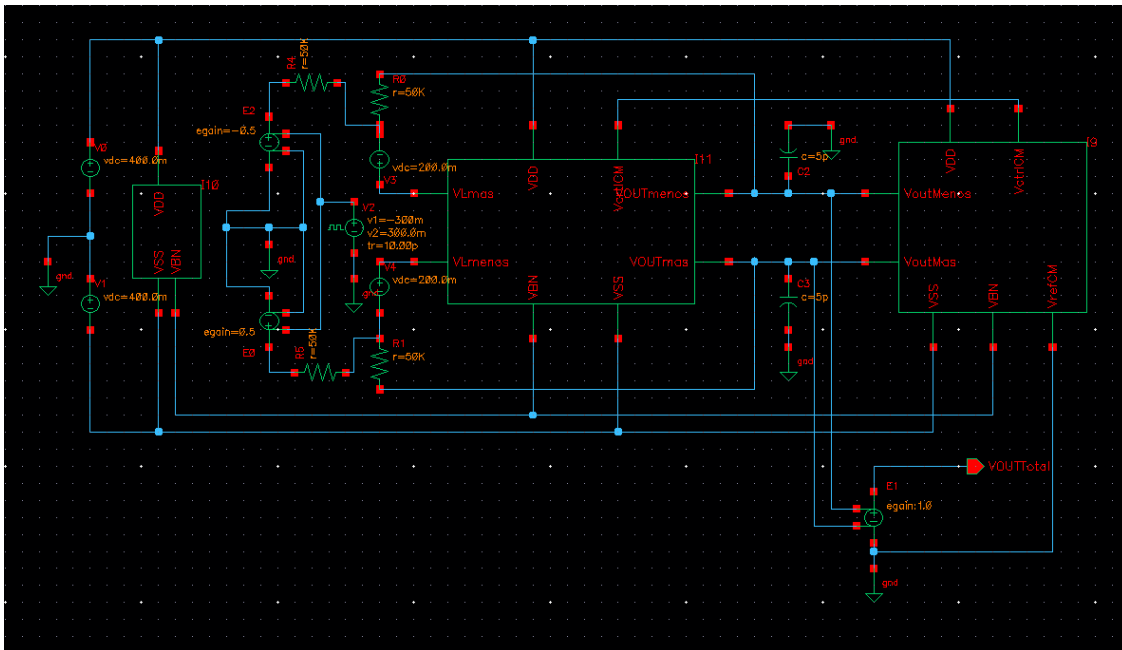


Fig. 3-122 Diagrama del circuito de prueba empleado para obtener el Slew Rate del Amplificador Free Class AB tipo Miller.

El Slew Rate de levantamiento para el amplificador fue de 32.0539 [V/ $\mu$ s] y el Slew Rate de descenso para el amplificador fue de 38.8704 [V/ $\mu$ s]. Por lo que el Slew Rate dominante (el más lento) corresponde al Slew Rate de levantamiento.

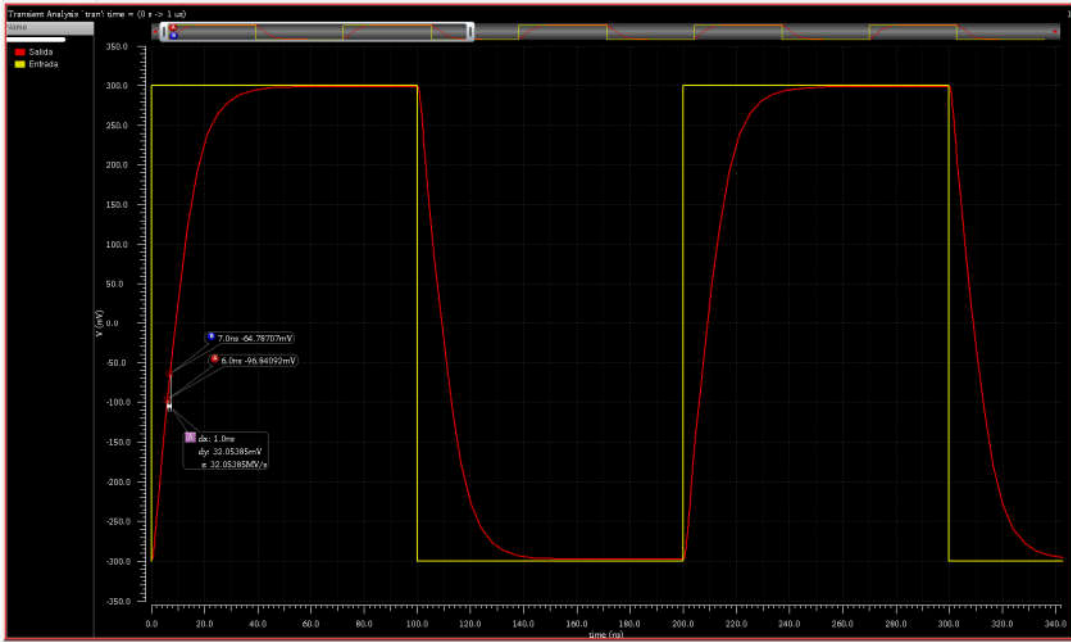


Fig. 3-123 Gráfica del SR de levantamiento del Amplificador Free Class AB tipo Miller.

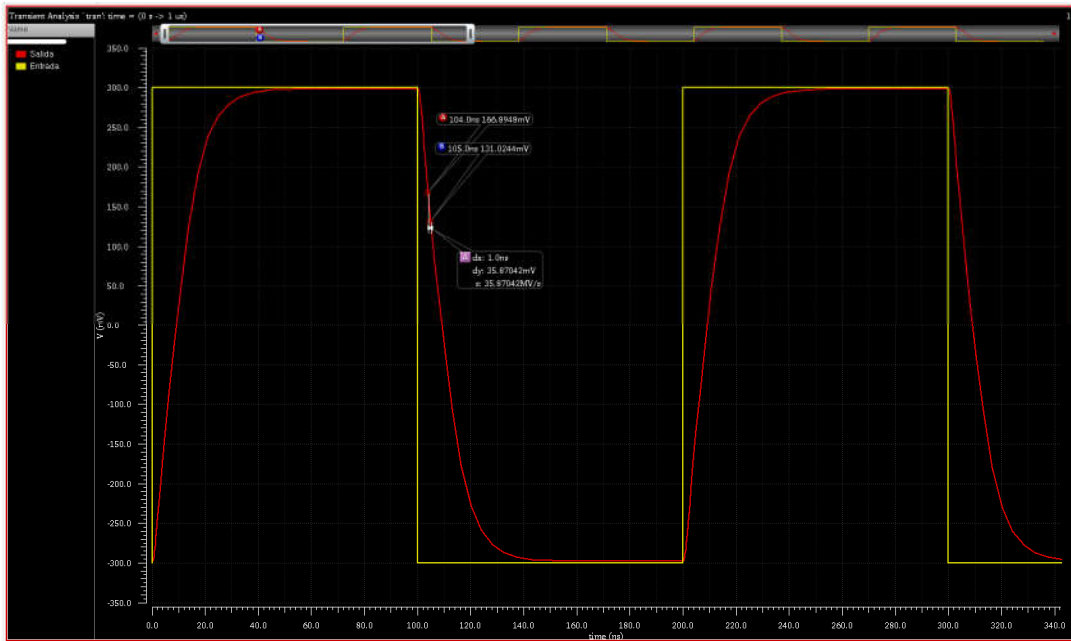


Fig. 3-124 Gráfica del SR de caída del Amplificador Free Class AB tipo Miller.

Resumen de las características del Amplificador Free Class AB tipo Miller:

Característica del amplificador	Valor
$I_{Bias}$	80 [ $\mu A$ ]
$C_L$	5 [pF]
$A_{OL-DC}$	47.251 [dB]
$f_{p-Dominante}$	258.322 [khz]
Ancho de Banda	258.322 [khz]
GBW	59.5266 [Mhz]
Unity Gain Frequency	56.1898 [Mhz]
Phase Margin	86.07°
Slew Rate (Rise)	32.0539 [V/ $\mu s$ ]
Slew Rate (Fall)	38.8704 [V/ $\mu s$ ]

Tabla 3-49 Características del Amplificador Free Class AB tipo Miller.

### Diseño del DAC Fully Differential Charge Mode de 6 bits y bajo voltaje.

Detalles de la implantación del Convertidor Digital – Analógico Fully Differential Charge Mode de 6 bits. En esta primera imagen se aprecian los arreglos de capacitores de los bits más significativos. El valor más alto de capacitancia fue de 16 [pF] a partir de una capacitancia unitaria de 500 [fF].

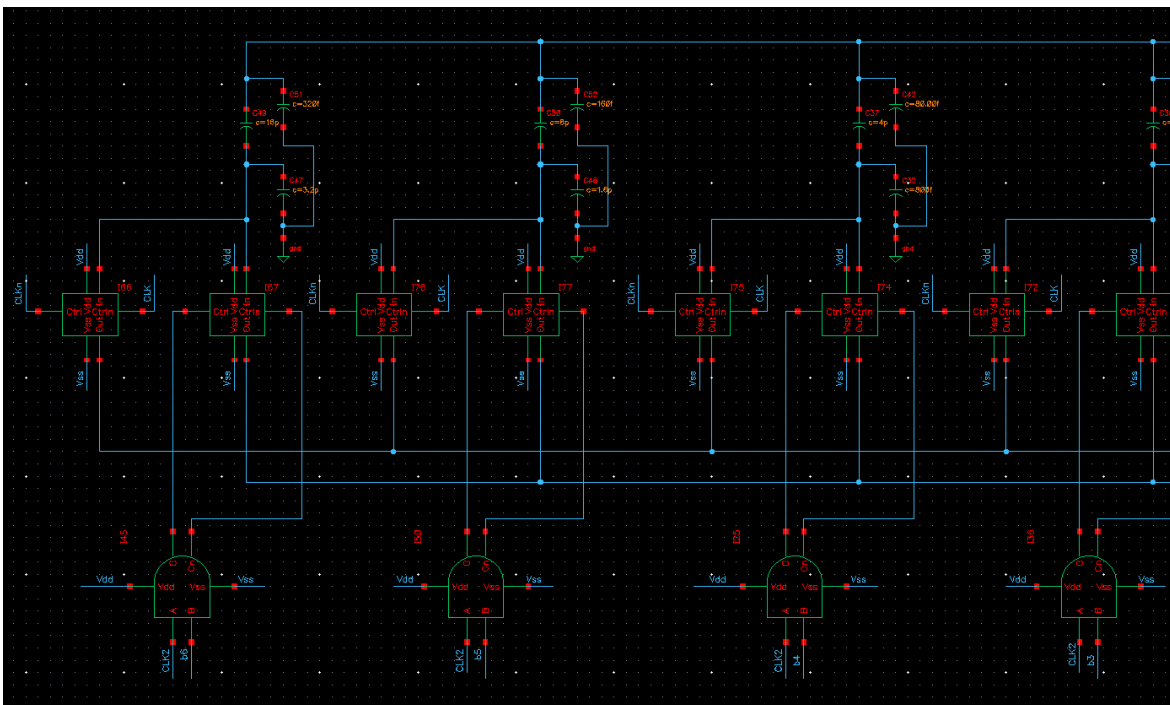


Fig. 3-125 Detalles de la implantación del Convertidor Digital – Analógico Fully Differential Charge Mode de 6 bits.

La carga capacitiva del bit menos significativo es de 500 [fF].

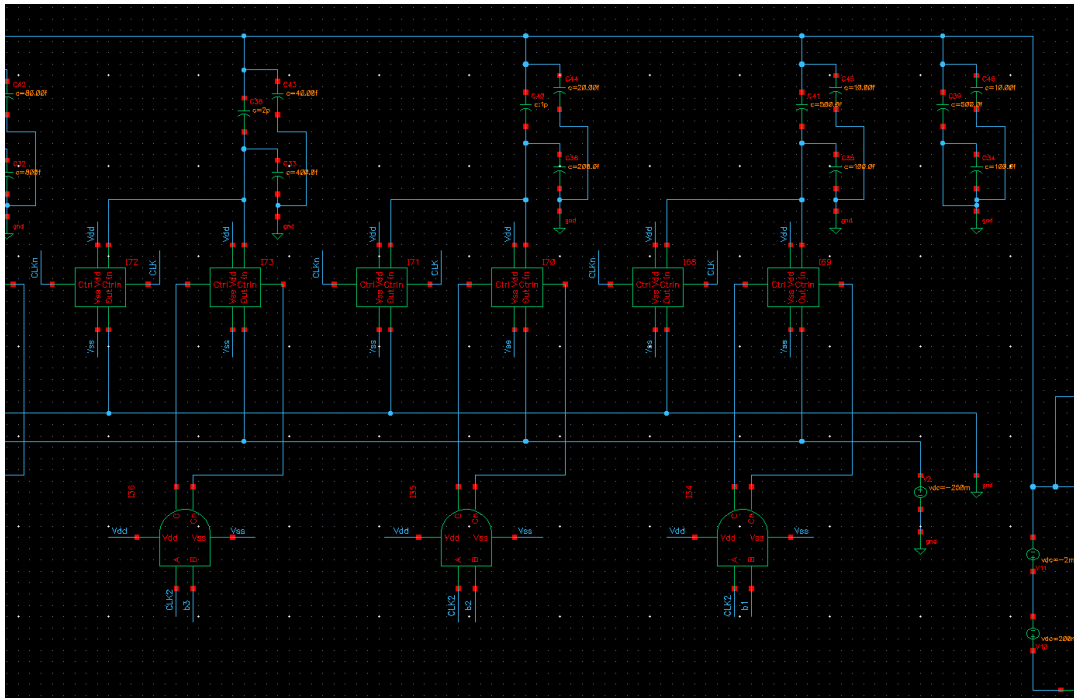


Fig. 3-126 Detalle de la rama superior del banco de capacitores conmutados del DAC.

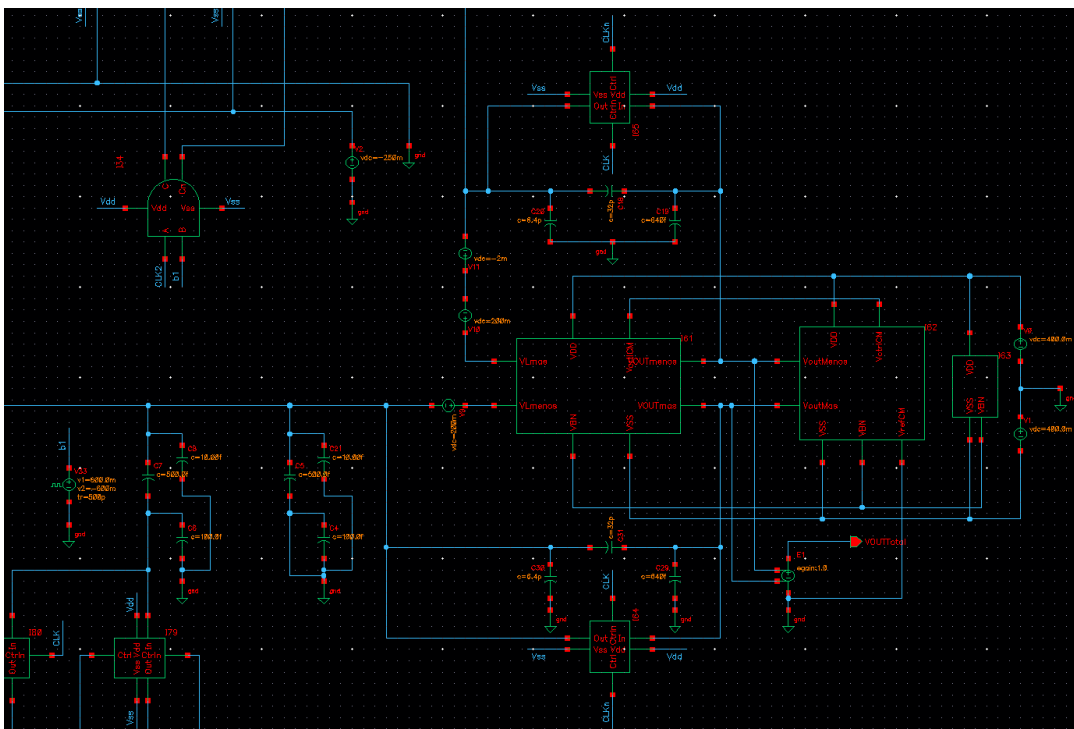


Fig. 3-127 Detalle del uso de  $C_{Bat}$  (fuentes de voltaje) y fuentes de voltaje para agregar un voltaje de offset.



Se aprecian las fuentes de voltaje que funcionan como  $C_{Bat}$  y alimentan al par diferencial del amplificador con 200 [mV] y la fuente de voltaje que agrega un voltaje de offset de -2 [mV]. También se aprecia una de las fuentes de voltaje de referencia con un valor fijo de -250 [mV].

Rama inferior con cargas capacitivas. La carga asociada con el bit más significativo es de 16 [pF]. El reloj principal mantiene una frecuencia de 5 [Mhz] y la alimentación para el OpAmp va de  $VSS = -400$  [mV] a  $VDD = 400$  [mV].

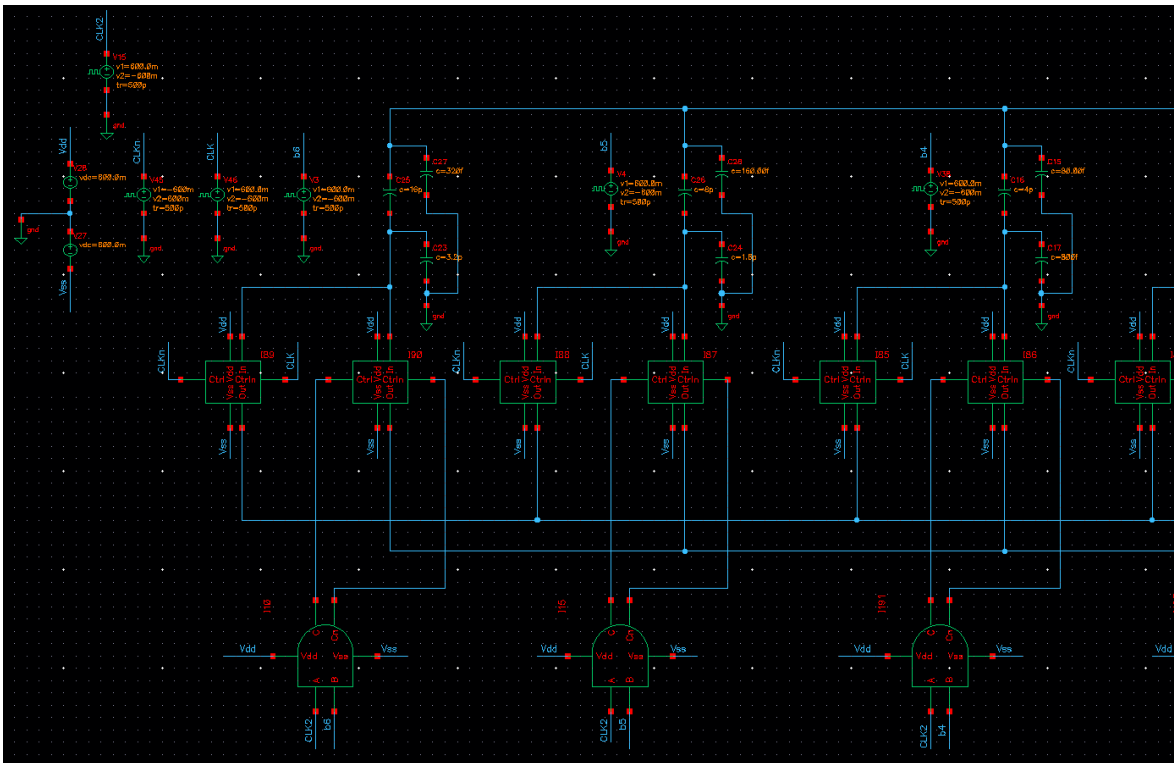


Fig. 3-128 Arreglo de capacitores conmutados de la rama inferior del DAC. Bits más significativos y multiplicación de la señal de reloj y los bits de entrada.

Bits menos significativos de la rama inferior del DAC.

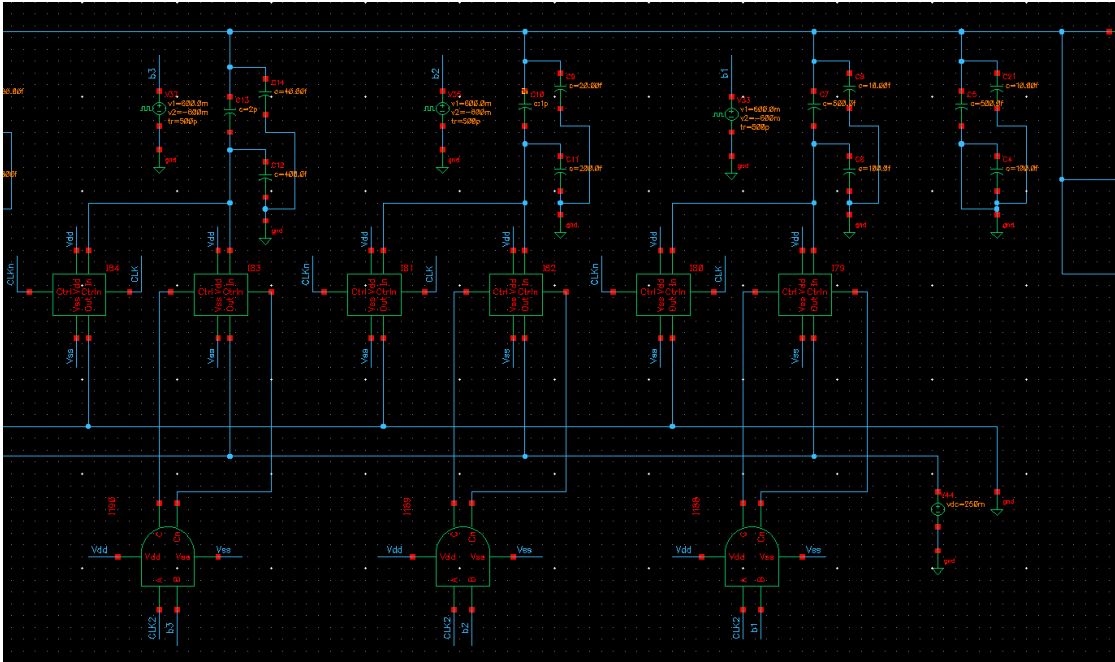


Fig. 3-129 Arreglo de capacitores conmutados de la rama inferior del DAC. Bits menos significativos.

Señal de reloj de 50 [Mhz] y señales de los bits que forman la palabra digital.

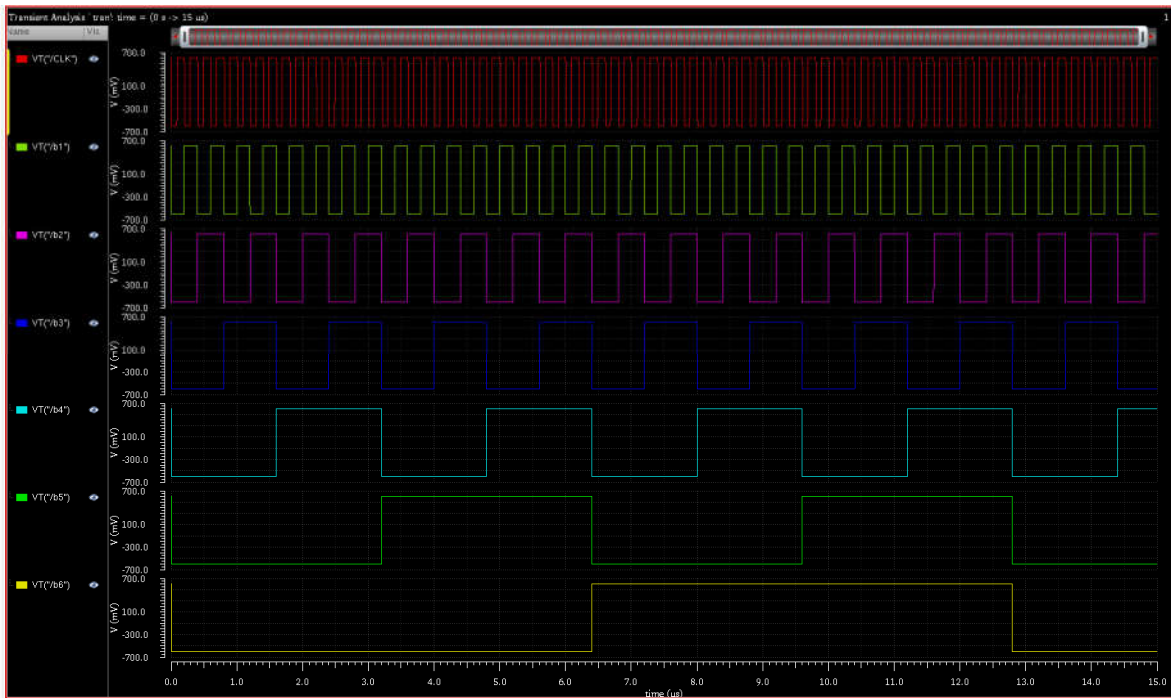


Fig. 3-130 Señal de reloj y de los bits de entrada al DAC.

Señales de CLK\*b1, CLK\*b2... CLK\*b6.

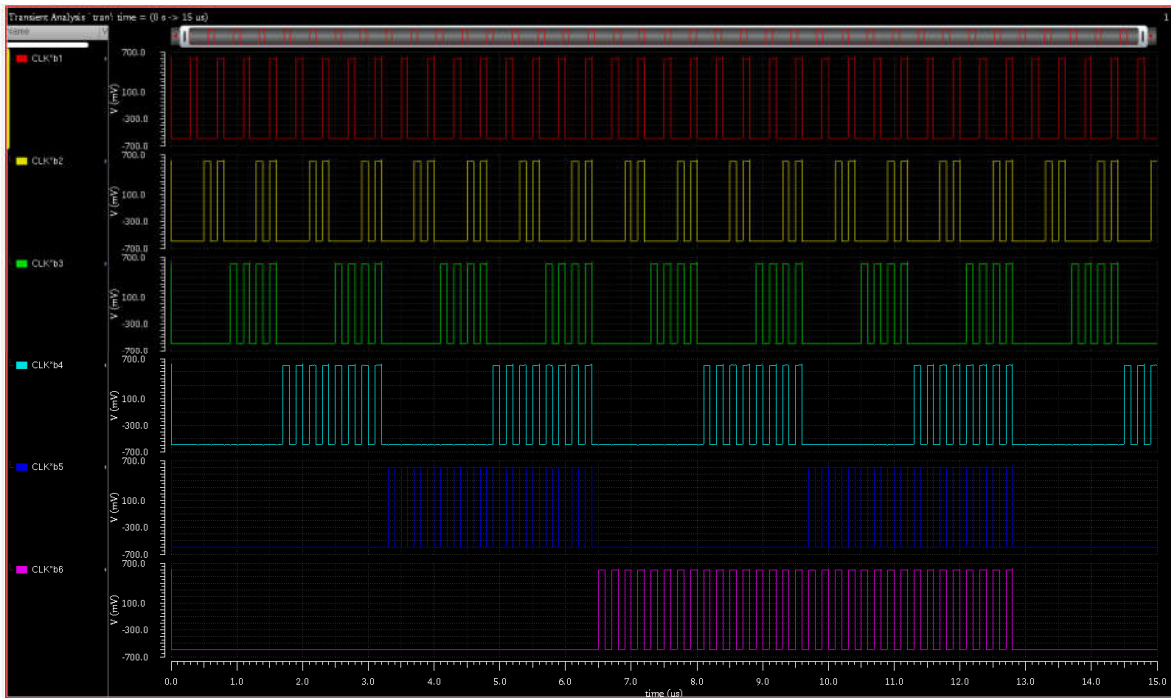


Fig. 3-131 Detalle de la señal de reloj multiplicada por los bits de entrada.

Salida del DAC – 64 niveles de voltaje entre 0 y 500 [mV].

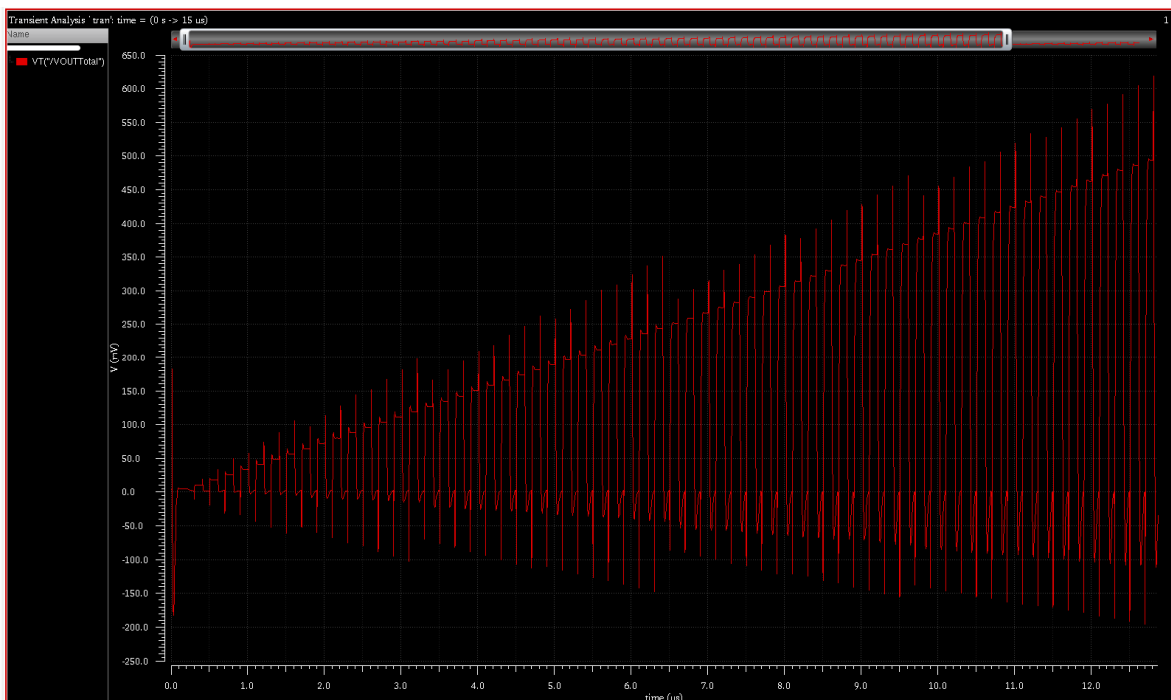


Fig. 3-132 Gráfica de los 64 niveles de voltaje de salida del DAC. Los valores van de 0 a 500 [mV].

Parte baja de la salida. Niveles de voltaje de las primeras 5 palabras digitales de conversión de 000000 a 000101.

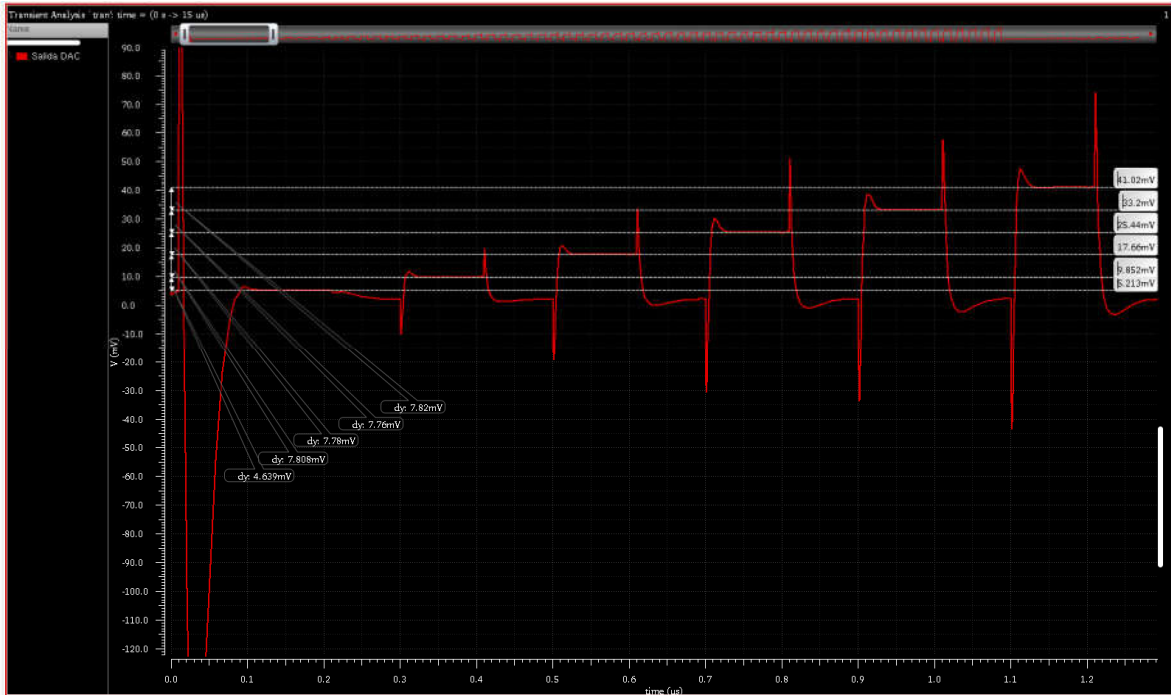


Fig. 3-133 Detalle de los niveles bajos de salida del DAC.

Parte media de la salida. Niveles de voltaje de las palabras digitales 011101 a 100010.

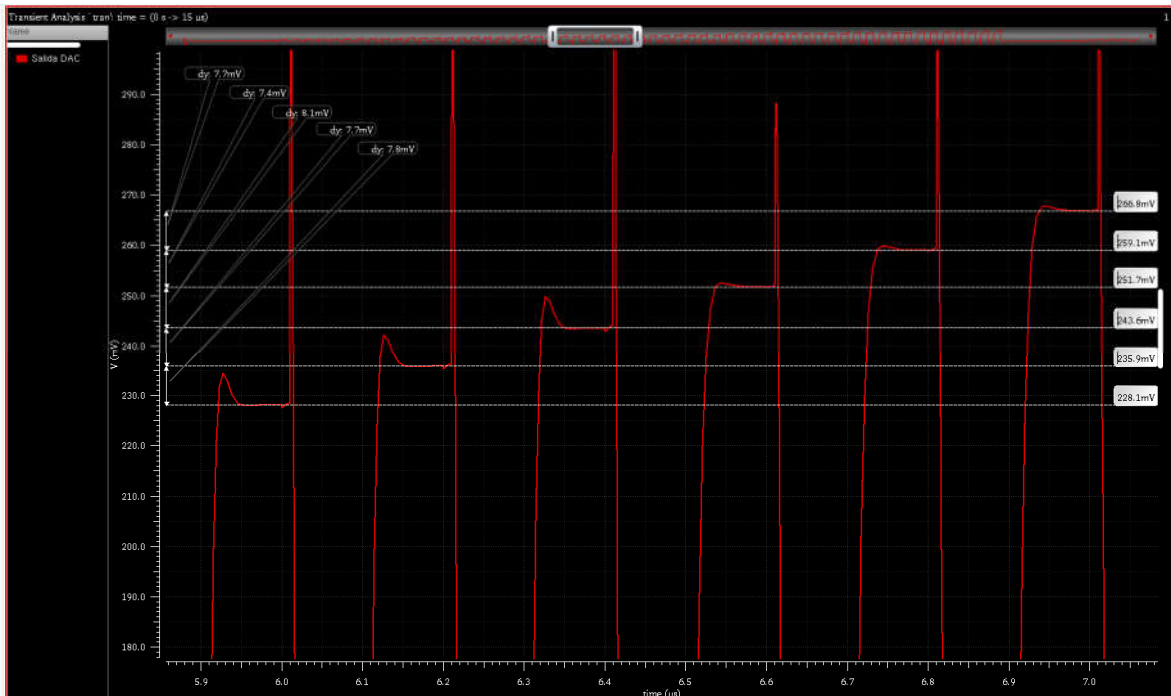


Fig. 3-134 Detalle de los niveles intermedios de salida del DAC.

Parte alta de la salida. Niveles de voltaje de las últimas palabras de la escala de conversión.

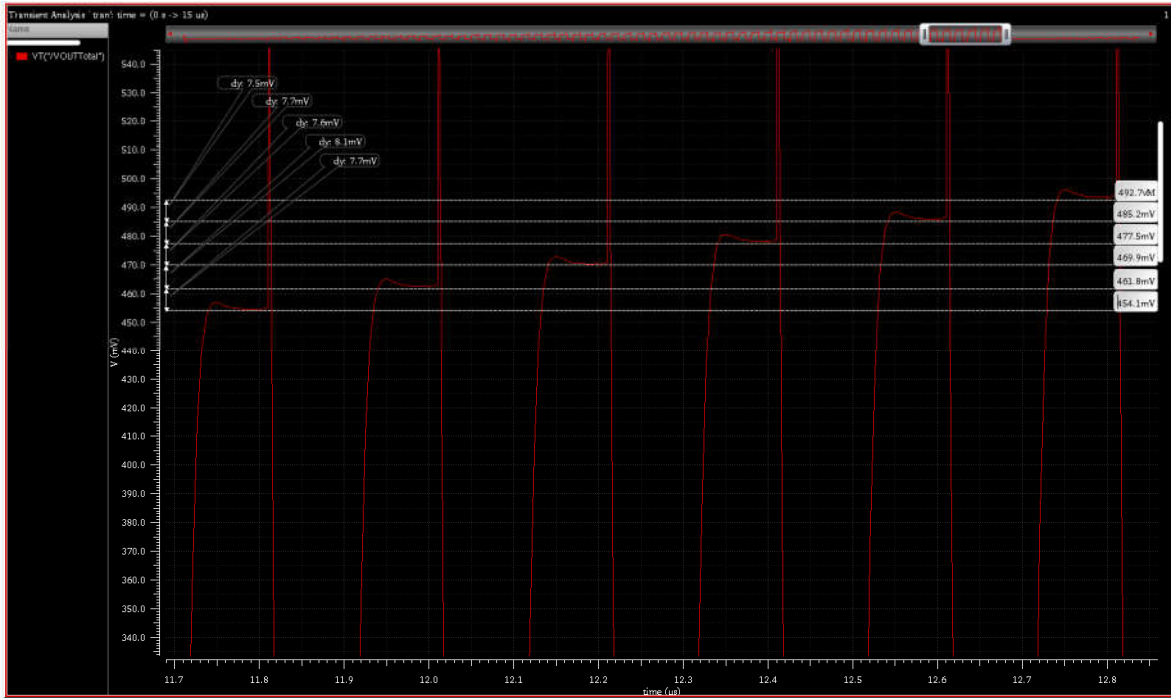


Fig. 3-135 Detalle de los niveles altos de salida del DAC.

Resumen del Convertidor Analógico – Digital Fully Differential Charge Mode de 6 bits. Todos los valores aquí mostrados se obtuvieron mediante una hoja de cálculo cuyo archivo se anexa como parte del proyecto.

DAC Charge Mode Fully Differential	
Parámetro	Valor
$V_{ref}$	De -0.25 a 0.25 [V]
$V_{LSB} = \frac{V_{ref}}{2^N}$	0.0078125 [V]
Error de offset en $V_{LSB}$	0.667264
Error de ganancia en $V_{LSB}$	-0.499264
Mayor error en [V]	0.005213
Precisión absoluta (bits)	6.58367
Máxima magnitud entre DNL	1.057525
Máxima magnitud entre DNL en [V]	0.008262
Precisión relativa (bits)	5.919308

Tabla 3-50 Resumen de las características del Convertidor Analógico – Digital Fully Differential de 6 bits.

**b. Diseño de ultra bajo voltaje. *OTA* tipo Miller de bajo voltaje.**

**Resumen de las características de diseño.**

$V_{DD} = 0.25$ [V]	$I_{Bias} = 1.5$ [ $\mu$ A]
$V_{SS} = -0.25$ [V]	$f_{CLK} = 1$ [Mhz]
$V_{Bat} = 0.2$ [V]	$f_{b1} = f_{CLK}/2, f_{b2} = f_{CLK}/4 \dots f_{b6} = f_{CLK}/64$
$V_{Ref} = \pm 0.2$ [V]	$P_Q = 600$ [nW]

Tabla 3-51 Características generales de diseño para el DAC de ultra bajo voltaje.

Se tomó como base el diseño del amplificador Free Class AB con compensación Miller elaborado en clase y se hicieron los ajustes necesarios para lograr una ganancia superior a 25 [dB] y un GBW igual o superior a 1 [Mhz].

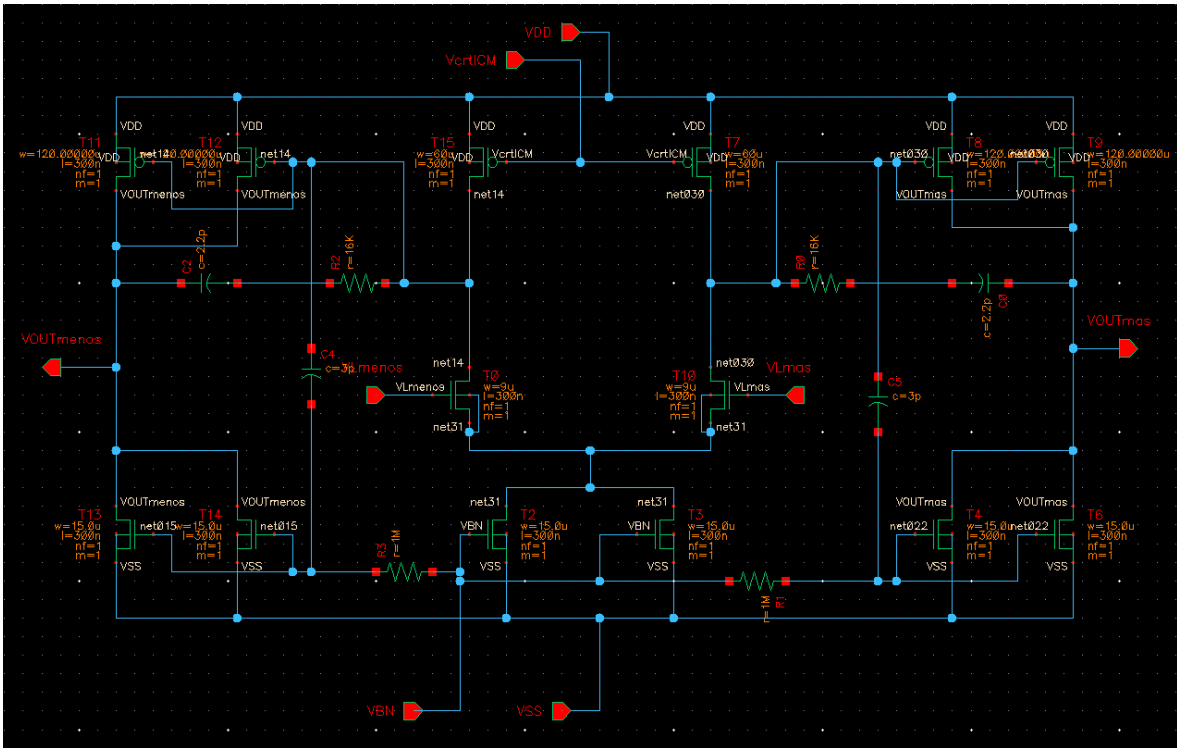


Fig. 3-136 Esquemático del Amplificador Free Class AB con compensación Miller empleado para la implantación del DAC de 6 bits de ultra bajo voltaje.

Las dimensiones de los transistores, resistores y capacitores del amplificador son:

Transistor	Valores
T <sub>0</sub> y T <sub>10</sub>	$W = 9 \text{ } [\mu\text{m}]$ y $L = 300 \text{ } [\text{nm}]$
T <sub>2</sub> , T <sub>3</sub> , T <sub>4</sub> , T <sub>6</sub> , T <sub>13</sub> y T <sub>14</sub>	$W = 15 \text{ } [\mu\text{m}]$ y $L = 300 \text{ } [\text{nm}]$
T <sub>7</sub> y T <sub>15</sub>	$W = 60 \text{ } [\mu\text{m}]$ y $L = 300 \text{ } [\text{nm}]$
T <sub>8</sub> , T <sub>9</sub> , T <sub>11</sub> y T <sub>12</sub>	$W = 120 \text{ } [\mu\text{m}]$ y $L = 300 \text{ } [\text{nm}]$
R <sub>0</sub> y R <sub>2</sub>	16 [kΩ]
C <sub>0</sub> y C <sub>2</sub>	2.2 [pF]
R <sub>1</sub> y R <sub>3</sub>	1 [MΩ]
C <sub>4</sub> y C <sub>5</sub>	3 [pF]

Tabla 3-52 Resumen de las dimensiones de los transistores y de los valores de los elementos en el Amplificador Free Class AB tipo Miller empleado en el DAC de ultra bajo voltaje.

En todos los casos los transistores tienen una relación  $\frac{g_m}{g_{as}}$  mayor a 8.

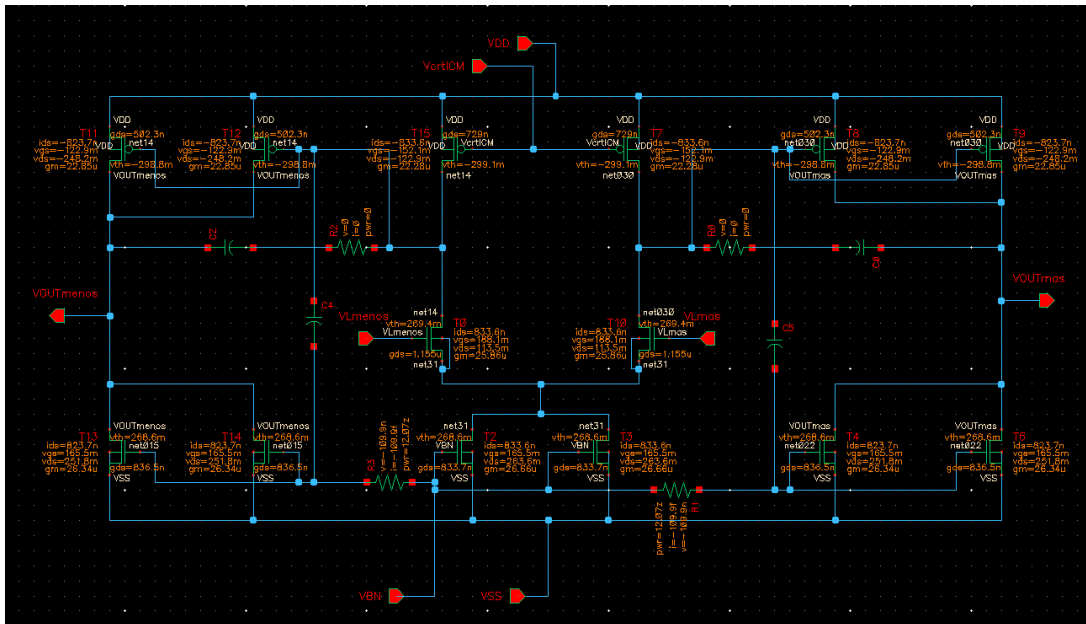


Fig. 3-137 Valores de corrientes, voltajes y  $G_m$  para cada transistor empleado en el Amplificador Free Class AB tipo Miller en el punto de operación de los transistores del par diferencial base.

La ganancia obtenida fue de 28.46 [dB], el ancho de banda fue de 57.57 [kHz], el margen de fase fue de 72.87° y el UGF fue de 1.21 [Mhz].

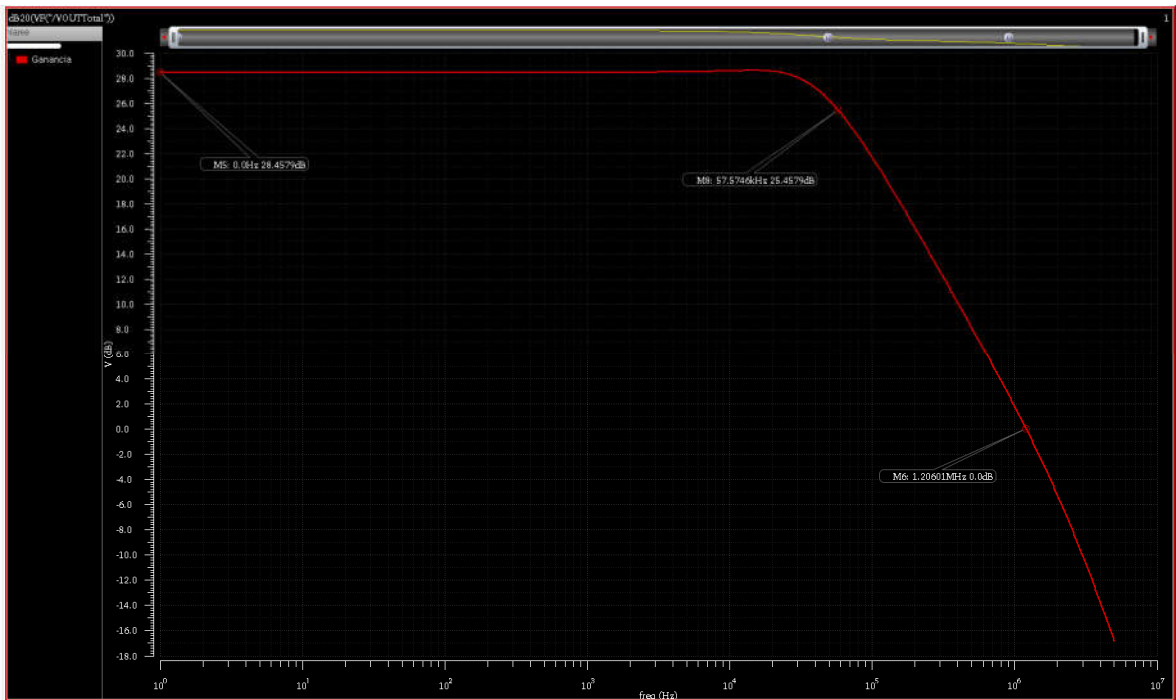


Fig. 3-138 Gráfica de ganancia del Amplificador Free Class AB tipo Miller para el DAC de ultra bajo voltaje.

Margen de fase obtenido: 72.87°.

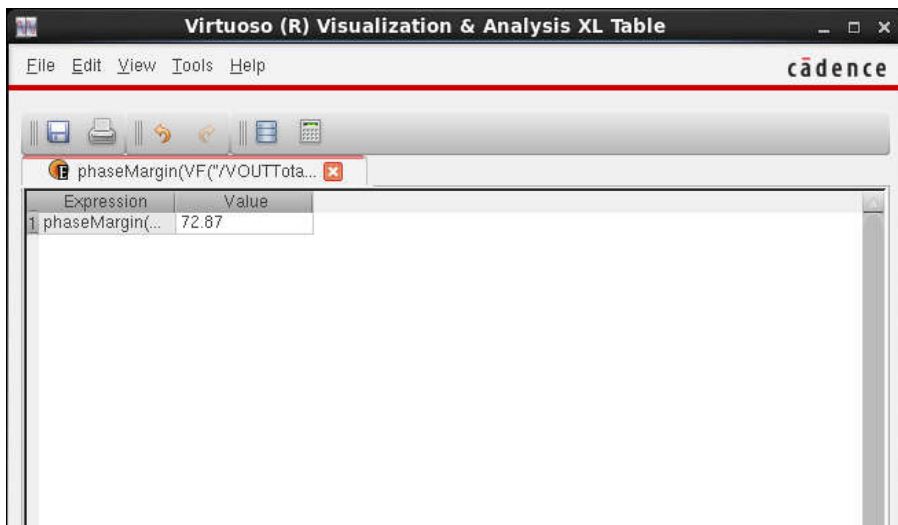


Fig. 3-139 Valor del margen de fase del Amplificador Free Class AB tipo Miller para el DAC de ultra bajo voltaje. Obtenido con el simulador *Analog Design Environment*.



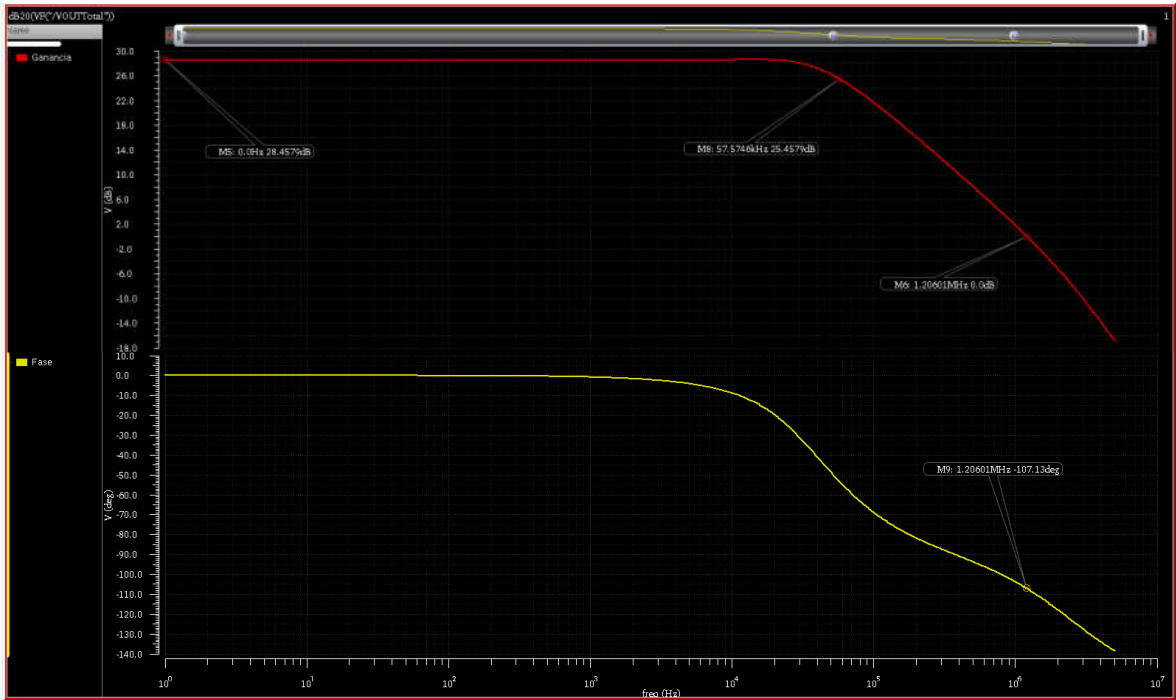


Fig. 3-140 Gráficas de ganancia y fase del Amplificador Free Class AB tipo Miller para el DAC de ultra bajo voltaje.

También se adecuaron las dimensiones de los transistores de la red de realimentación de modo común.

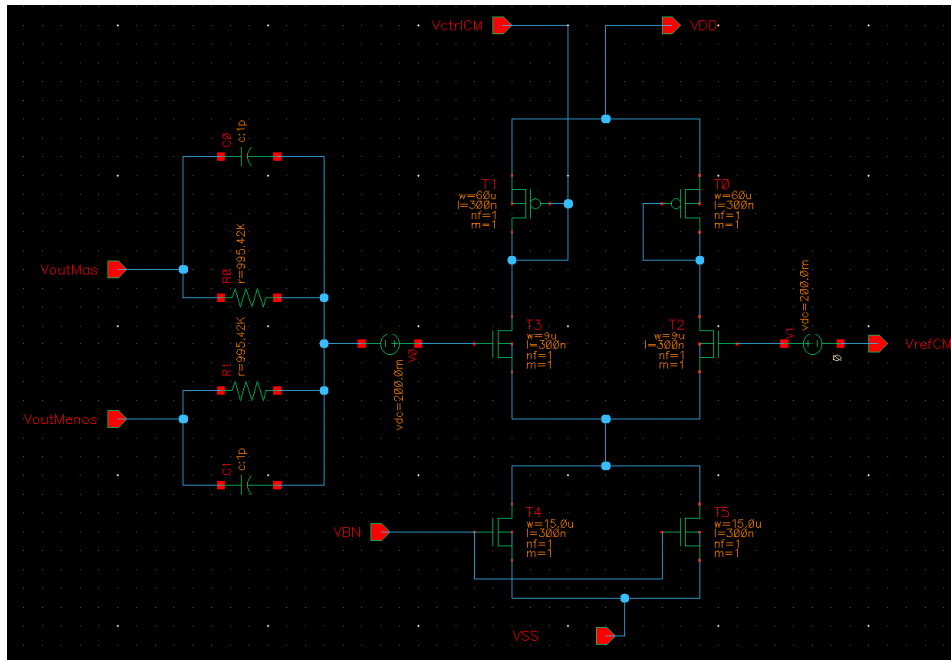


Fig. 3-141 Dimensiones de los transistores de la red de realimentación de modo común.

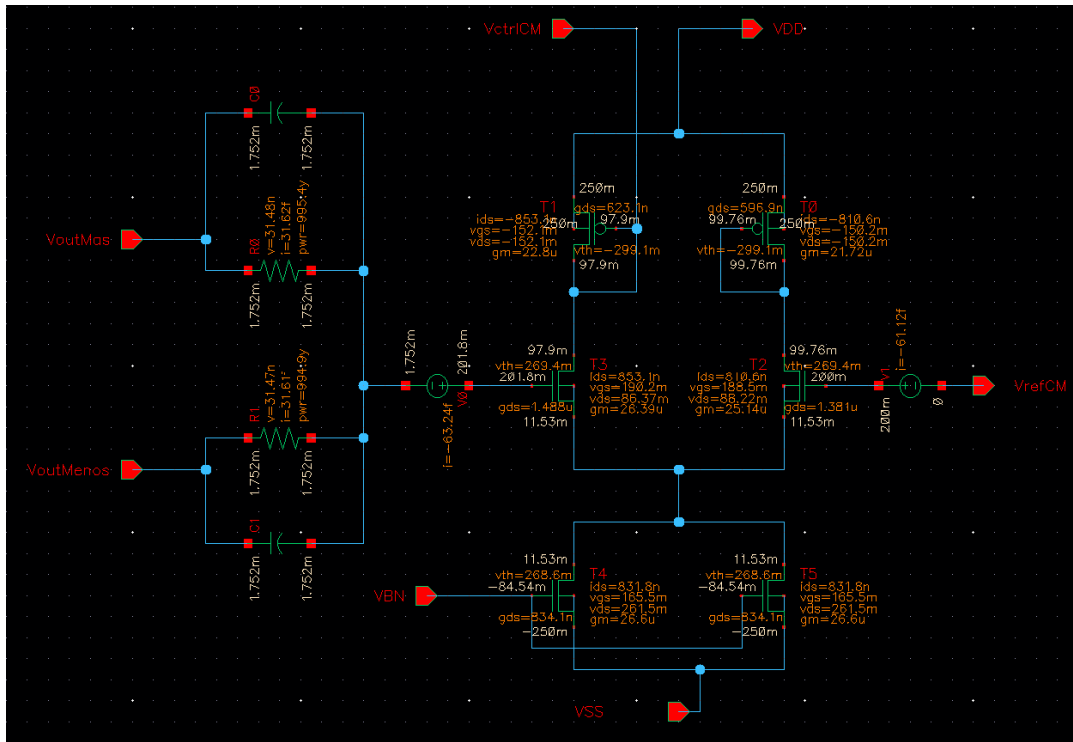


Fig. 3-142 Corrientes, voltajes y  $G_m$  para cada transistor empleado en la red de realimentación de modo común en el punto de operación de los transistores del par diferencial base del Amplificador Free Class AB tipo Miller para el DAC de ultra bajo voltaje.

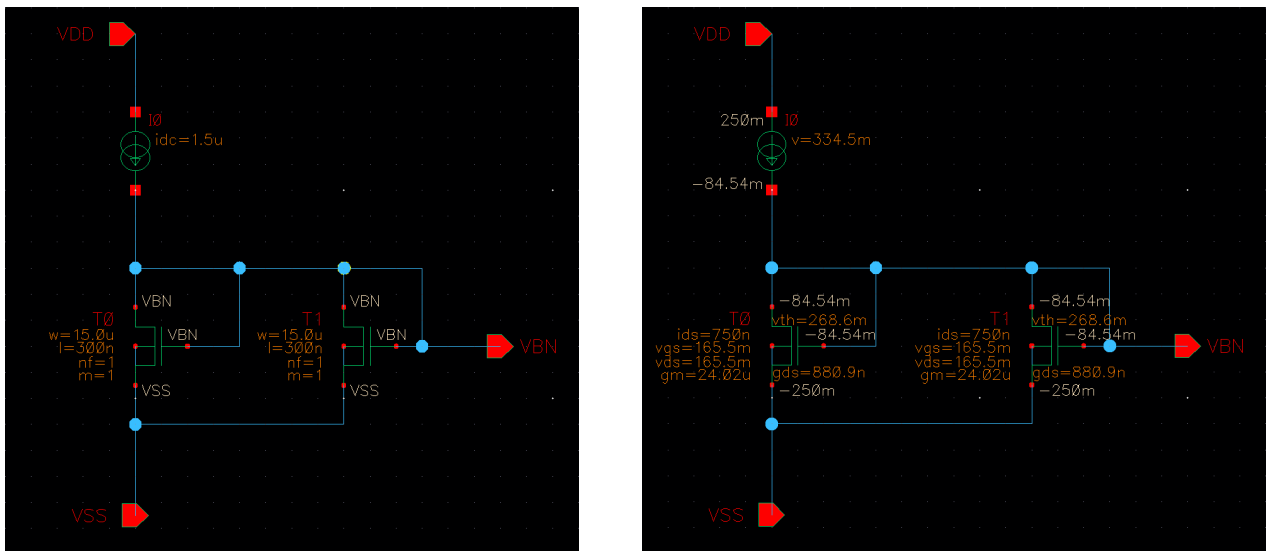


Fig. 3-143 Características del espejo de corriente que alimenta  $I_{Bias}$  el par diferencial base del Amplificador Free Class AB tipo Miller para el DAC de ultra bajo voltaje.

Test Bench para obtener el comportamiento en ganancia y fase del amplificador.

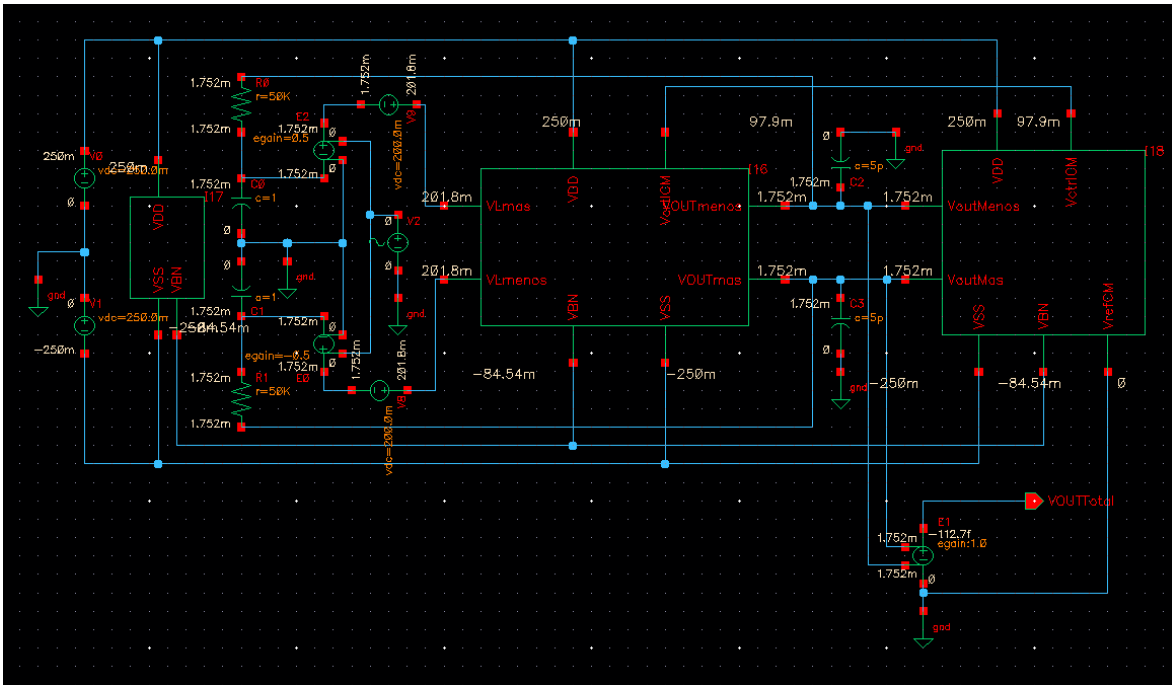


Fig. 3-144 Diagrama del circuito de prueba empleado para obtener la ganancia y fase del Amplificador Free Class AB tipo Miller para el DAC de ultra bajo voltaje.

Test bench para obtener el Slew Rate del *OTA tipo Miller*.

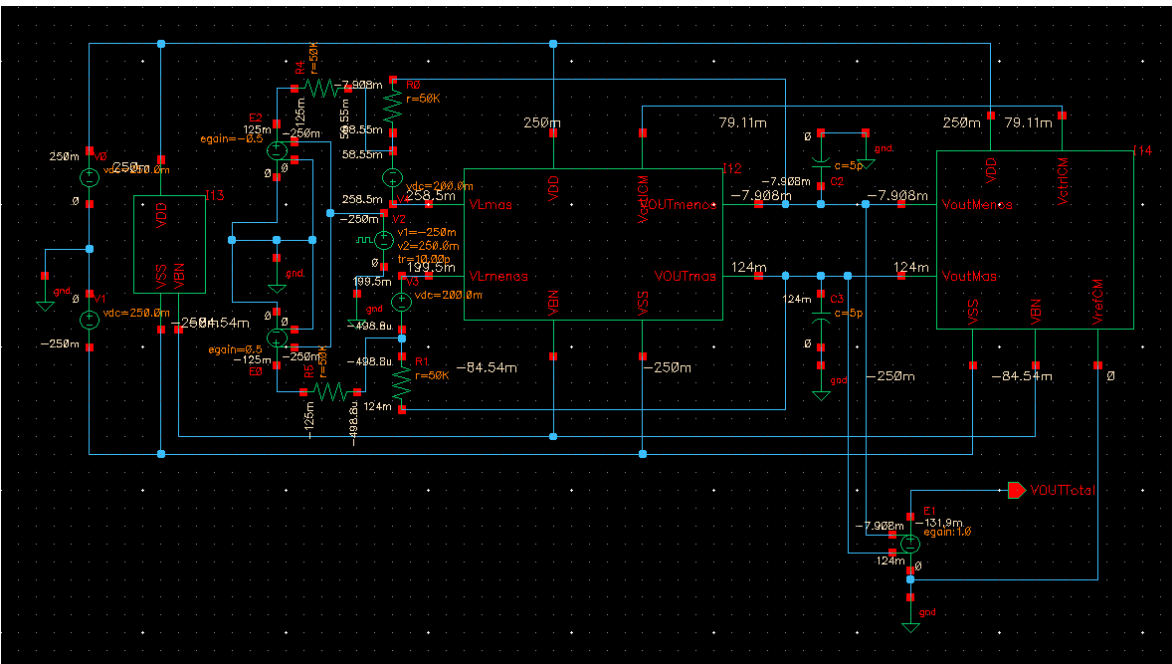


Fig. 3-145 Diagrama del circuito de prueba empleado para obtener el Slew Rate del Amplificador Free Class AB tipo Miller para el DAC de ultra bajo voltaje.

El Slew Rate de levantamiento para el amplificador fue de  $0.4533 \text{ [V}/\mu\text{s]}$  y el Slew Rate de descenso para el amplificador fue de  $0.5819 \text{ [V}/\mu\text{s]}$ . Por lo que el Slew Rate dominante (el más lento) corresponde al Slew Rate de levantamiento.

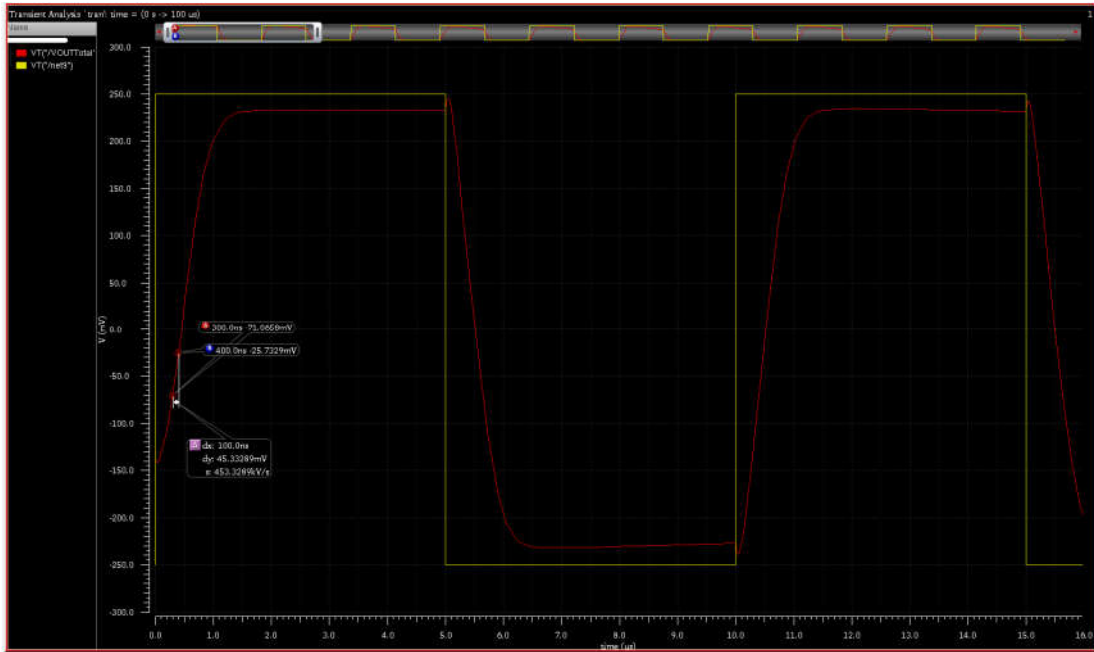


Fig. 3-146 SR de levantamiento del *OTA tipo Miller* para el DAC de ultra bajo voltaje.

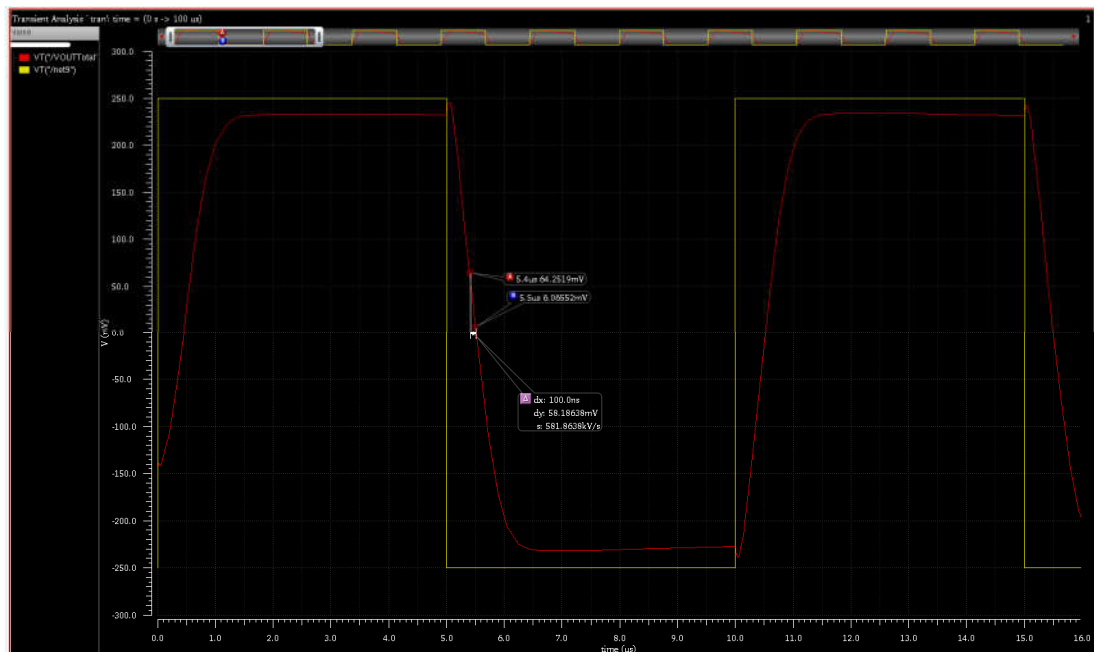


Fig. 3-147 SR de caída del *OTA tipo Miller* para el DAC de ultra bajo voltaje.

Resumen de las características del *OTA tipo Miller* para el DAC de ultra bajo voltaje:

Característica del amplificador	Valor
$I_{Bias}$	1.5 [ $\mu A$ ]
$C_L$	5 [pF]
AOL-DC	28.4579 [dB]
$f_{p-Dominante}$	57.57 [kHz]
Ancho de Banda	57.57 [kHz]
GBW	1.524 [Mhz]
Unity Gain Frequency	1.21 [Mhz]
Phase Margin	72.87°
Slew Rate (Rise)	0.4533 [V/ $\mu s$ ]
Slew Rate (Fall)	0.5819 [V/ $\mu s$ ]

Tabla 3-53 Características del *OTA tipo Miller* para el DAC de ultra bajo voltaje.

### Diseño del DAC Fully Differential Charge Mode de 6 bits y ultra bajo voltaje.

Detalles de la implantación del Convertidor Digital – Analógico Fully Differential Charge Mode de 6 bits. En esta primera imagen se aprecian los arreglos de capacitores de los bits más significativos. El valor más alto de capacitancia fue de 8 [pF] a partir de una capacitancia unitaria de 250 [fF].

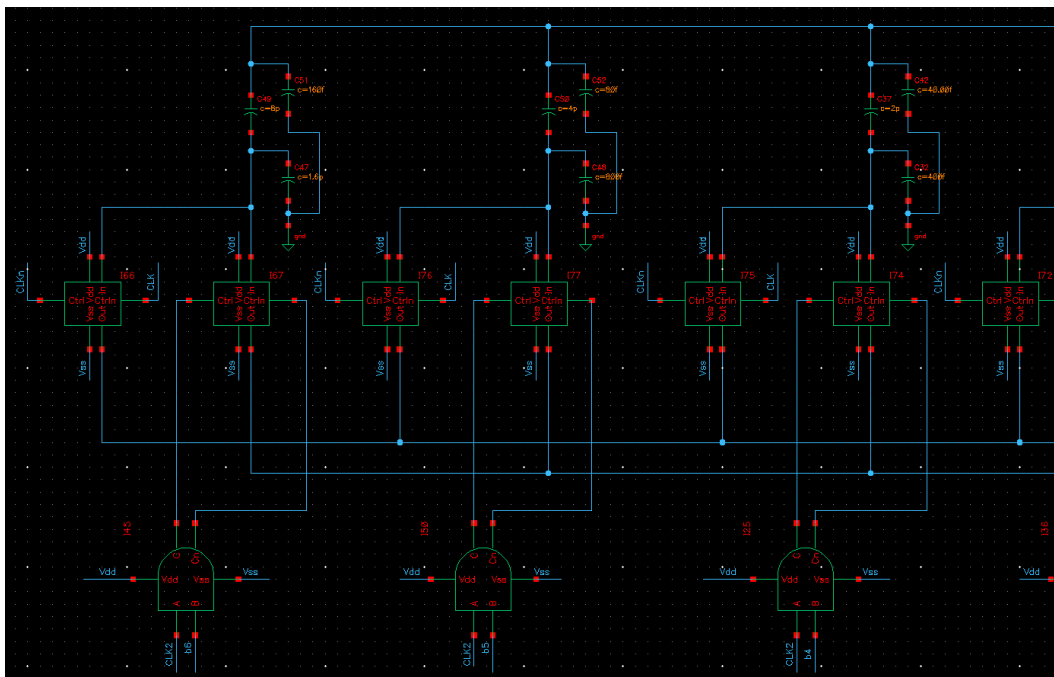


Fig. 3-148 Detalles de la implantación del Convertidor Digital – Analógico Fully Differential Charge Mode de 6 bits de ultra bajo voltaje.

La carga capacitiva del bit menos significativo es de 250 [fF].

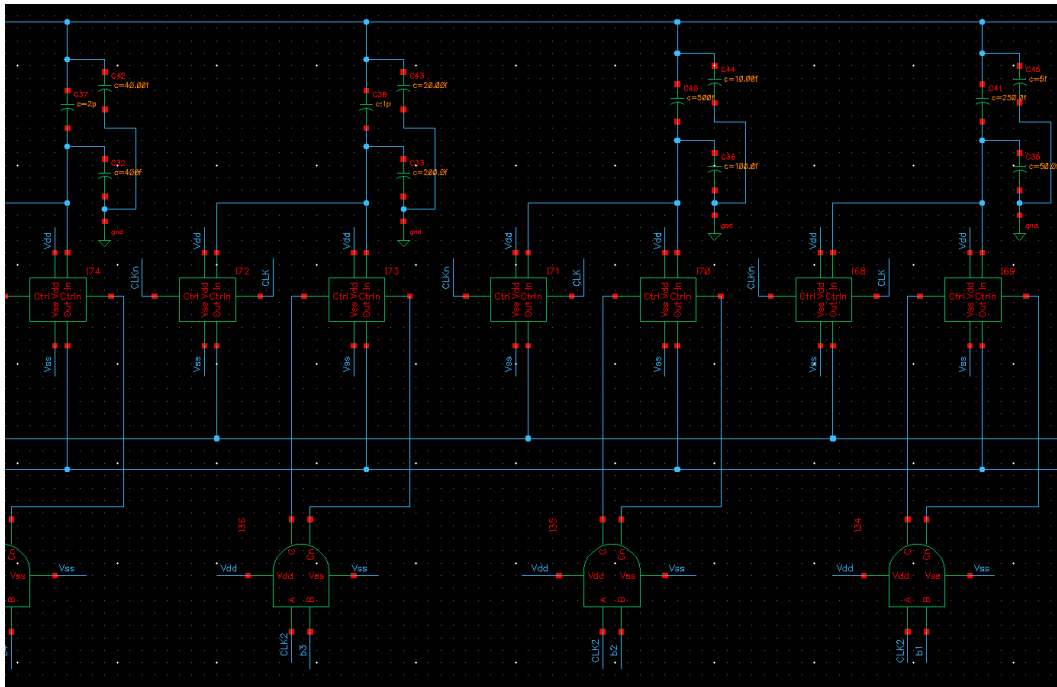


Fig. 3-149 Detalle de la rama superior del banco de capacitores conmutados del DAC de 6 bits y ultra bajo voltaje.

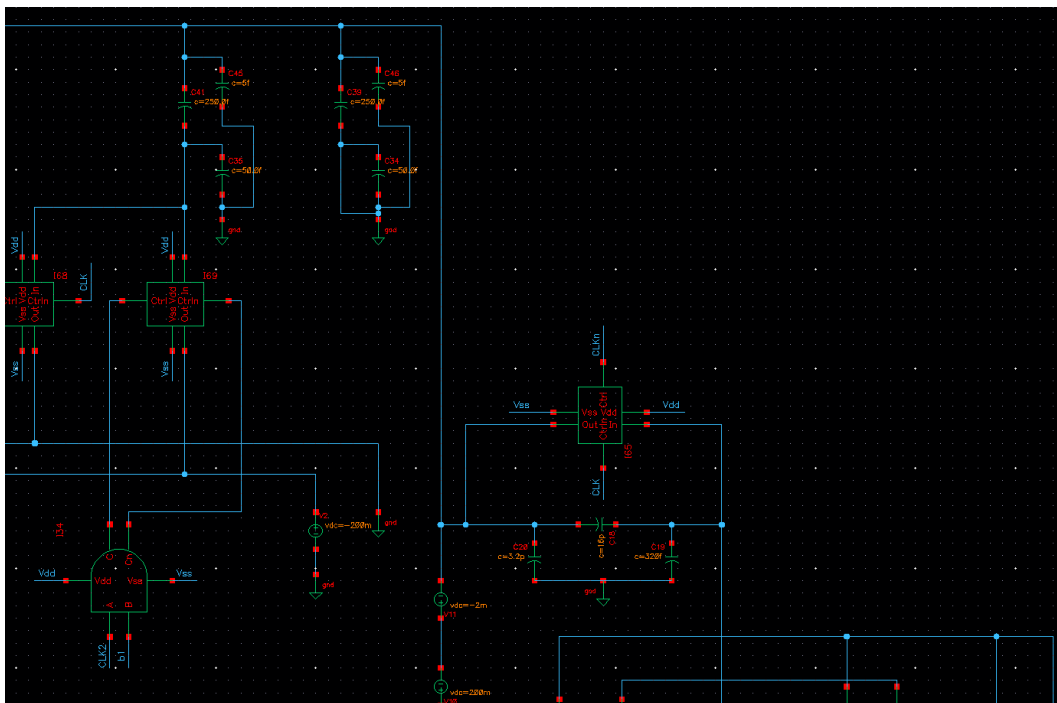


Fig. 3-150 Detalle de las capacitancias en el lazo de realimentación del OTA.

Se aprecian las fuentes de voltaje que funcionan como  $C_{Bat}$  y alimentan el par diferencial del amplificador con 200 [mV] y la fuente de voltaje que agrega un voltaje de offset de -2 [mV]. También se aprecia una de las fuentes de voltaje de referencia con un valor fijo de -200 [mV].

Las capacitancias colocadas en los lazos de realimentación son de 16 [pF]. Los voltajes de alimentación son  $VSS = -0.250$  [mV] y  $VDD = 0.250$  [mV].

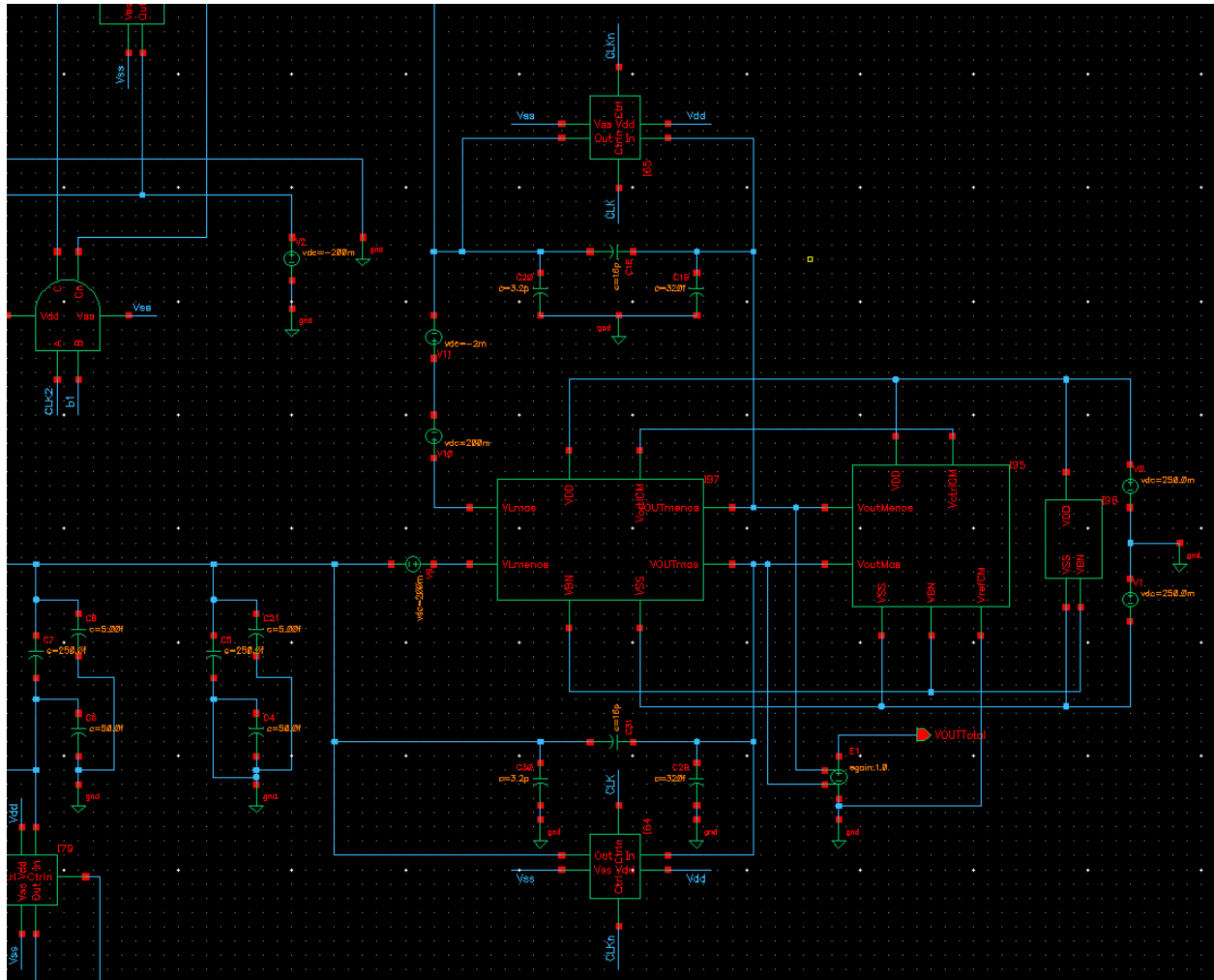


Fig. 3-151 Detalle del uso de  $C_{Bat}$  (fuentes de voltaje) y fuentes de voltaje para agregar un voltaje de offset.

Rama inferior con cargas capacitivas. La carga asociada con el bit menos significativo es de 250 [fF]. El reloj principal mantiene una frecuencia de 1 [Mhz] y la alimentación para el OpAmp va de  $VSS = -200$  [mV] a  $VDD = 200$  [mV].

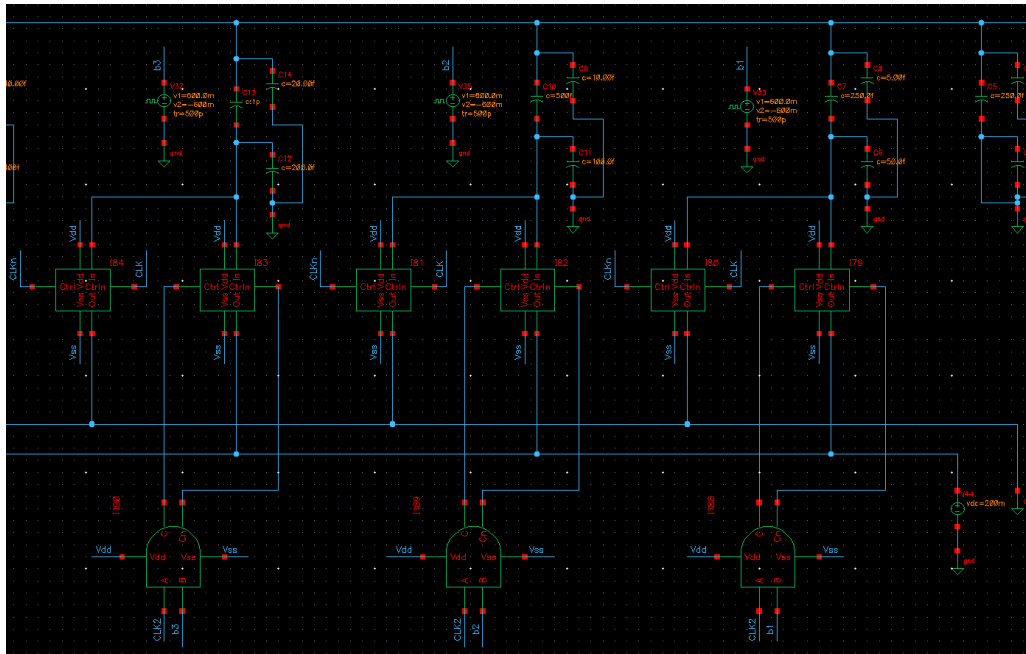


Fig. 3-152 Arreglo de capacitores conmutados de la rama inferior del DAC. Bits menos significativos.

El bit más significativo tiene asociada una capacitancia de 8 [pF].

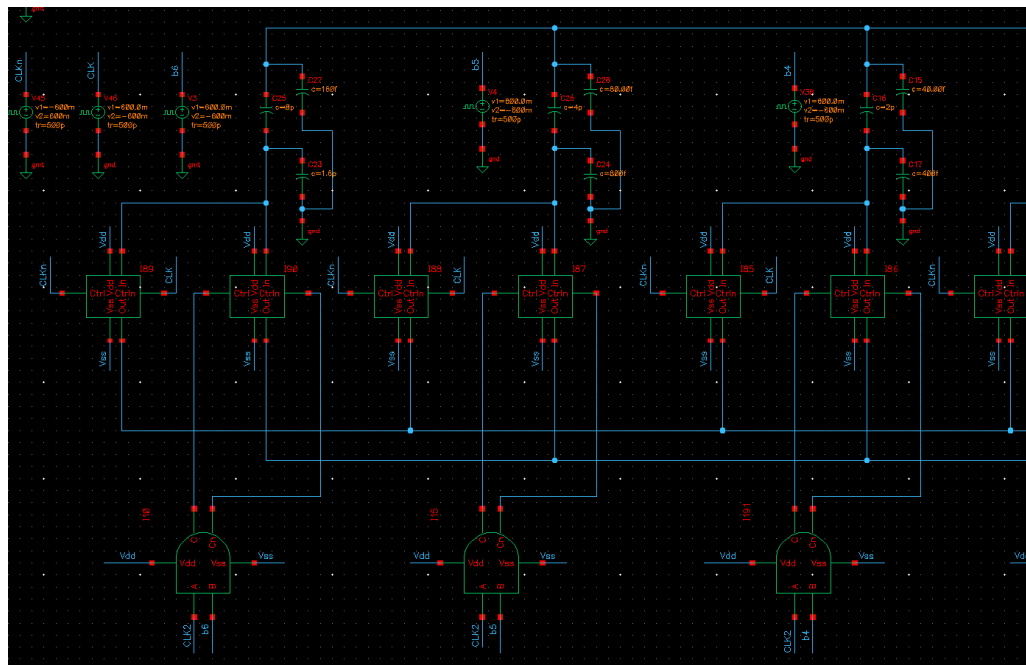


Fig. 3-153 Arreglo de capacitores conmutados de la rama inferior del DAC. Bits más significativos.



Señales de reloj no traslapadas.

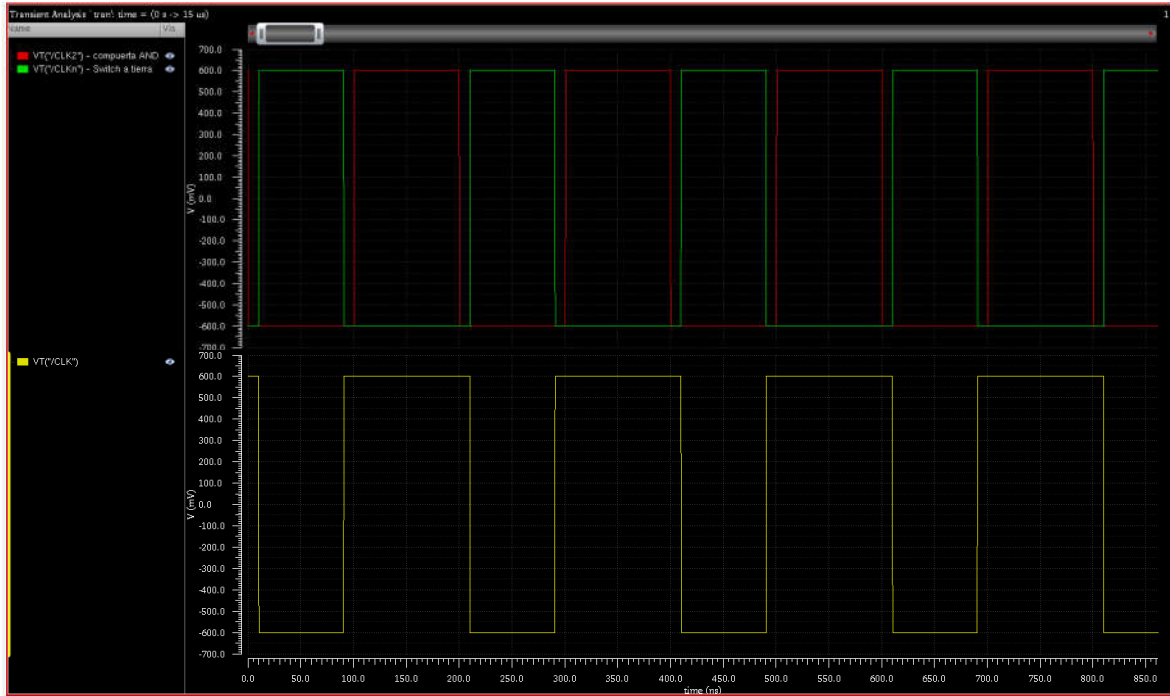


Fig. 3-154 Detalle de las señales de reloj empleadas en el DAC.

Señal de reloj de 100 [kHz] y señales de los bits de la palabra digital.

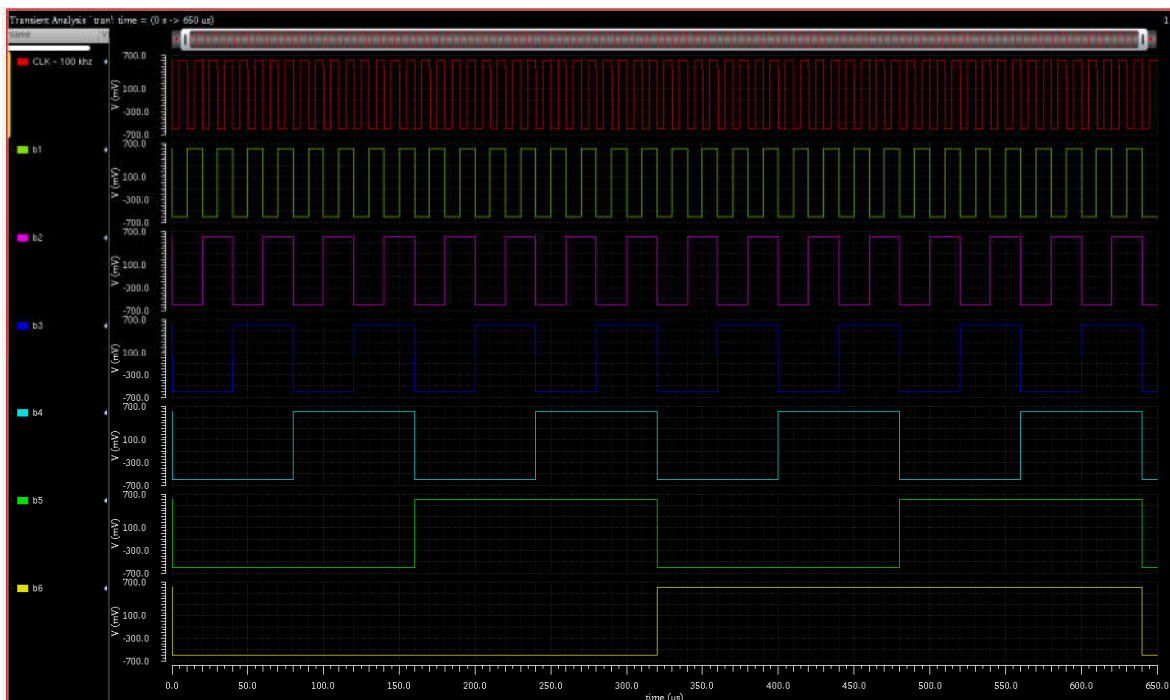


Fig. 3-155 Detalle de la simulación de la señal de reloj y de las señales de entrada, bits de datos.

Señales de CLK\*b1, CLK\*b2... CLK\*b6.

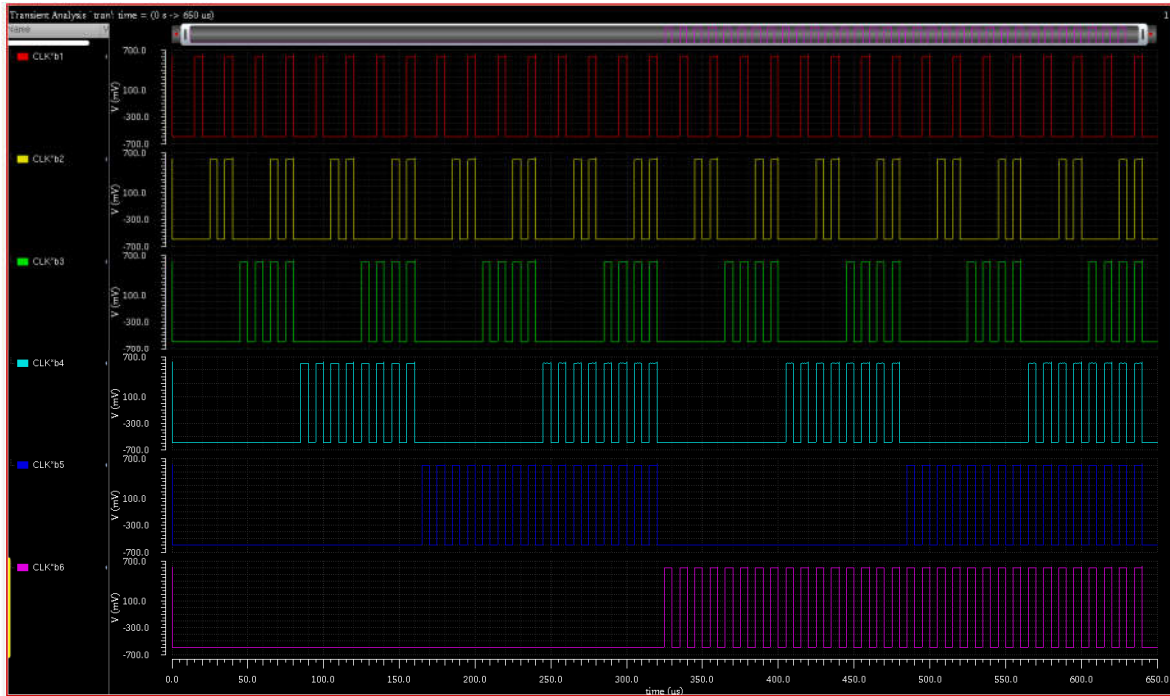


Fig. 3-156 Detalle de la multiplicación de las señales de reloj y las señales de datos. Los 6 bits de entrada al DAC.

Salida del DAC – 64 niveles de voltaje que van de 0 a 400 [mV].

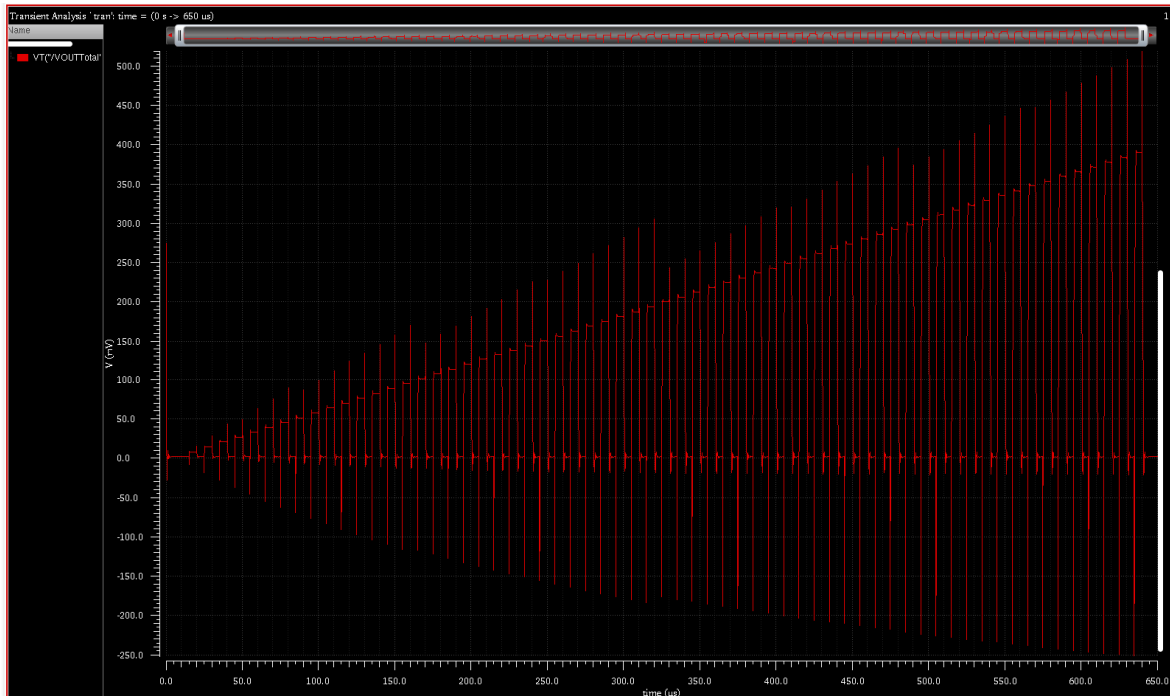


Fig. 3-157 Señal completa de salida del DAC. Son visibles los 64 niveles de voltaje.

Parte baja de la salida. Niveles de voltaje de las primeras 5 palabras digitales de conversión de 000000 a 000111.

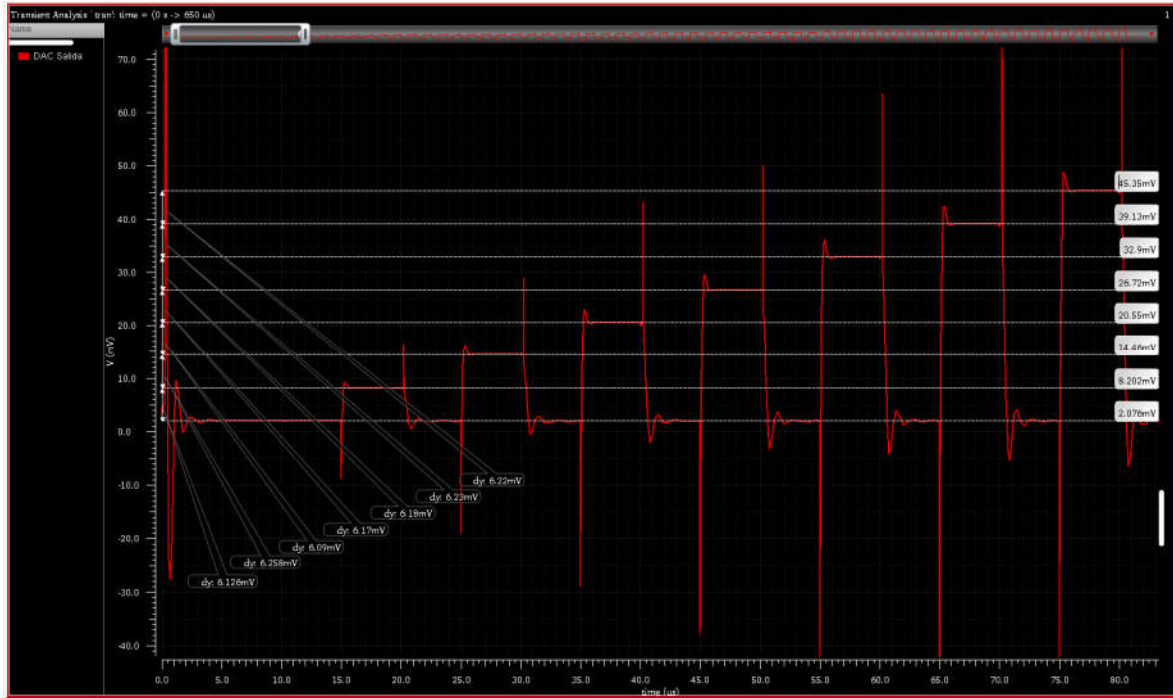


Fig. 3-158 Detalle de la señal del DAC en los niveles bajos de salida.

Parte media de la salida. Niveles de voltaje de las palabras digitales 011100 a 100011.

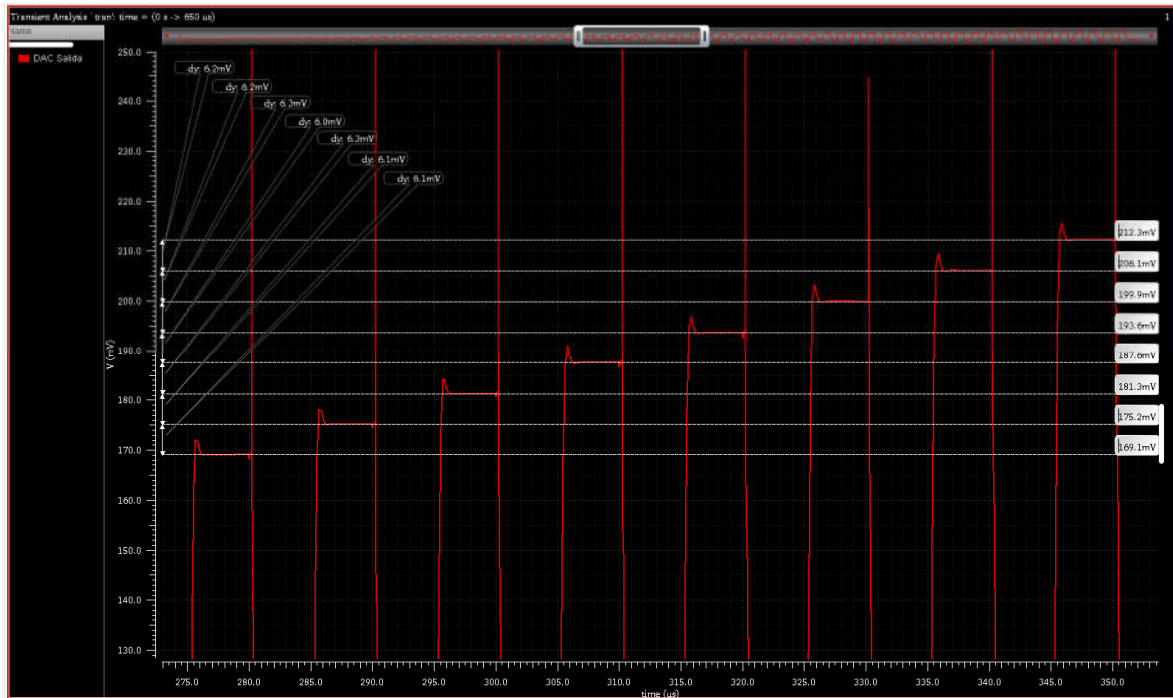


Fig. 3-159 Detalle de la salida del DAC en los niveles intermedios.

Parte alta de la salida. Niveles de voltaje de las últimas palabras de la escala de conversión.

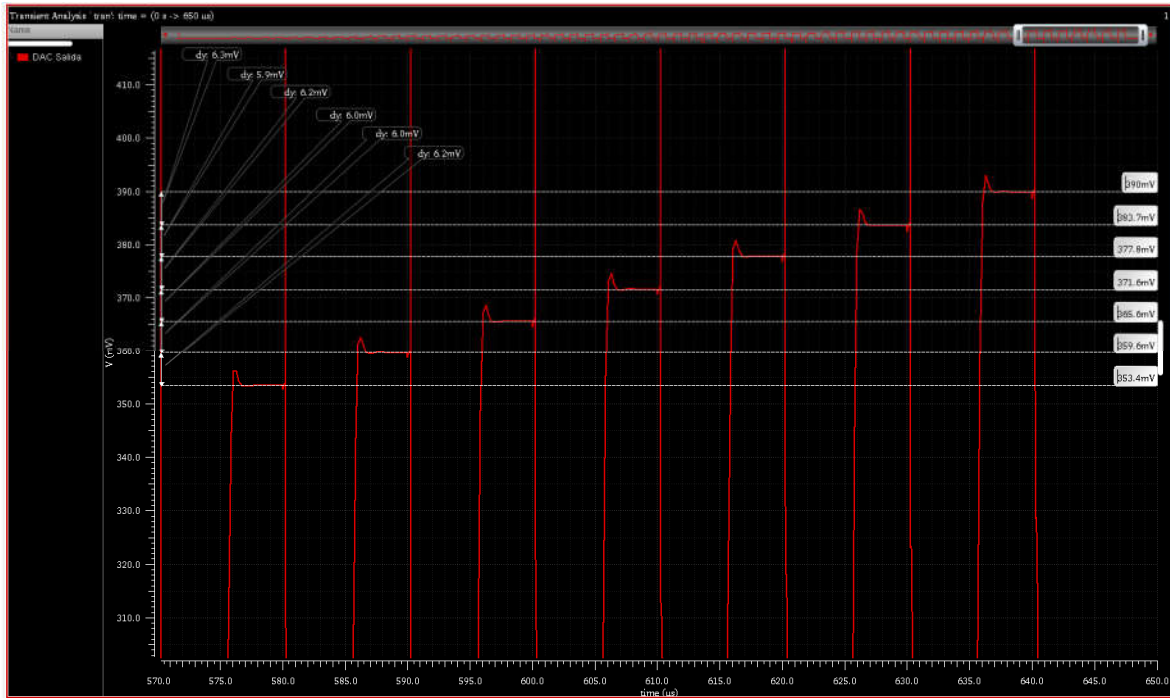


Fig. 3-160 Detalle de la salida del DAC en los niveles altos.

Resumen del Convertidor Analógico – Digital Fully Differential Charge Mode de 6 bits.

DAC Charge Mode Fully Differential	
Parámetro	Valor
$V_{ref}$	De -0.2 a 0.2 [V]
$V_{LSB} = \frac{V_{ref}}{2^N}$	0.00625 [V]
Error de offset en $V_{LSB}$	0.33216
Error de ganancia en $V_{LSB}$	-0.93216
Mayor error en [V]	0.0038
Precisión absoluta (bits)	6.717857
Máxima magnitud entre DNL	1.02279619
Máxima magnitud entre DNL en [V]	0.006392476
Precisión relativa (bits)	5.967481308

Tabla 3-54 Resumen de las características del DAC Fully Differential Charge Mode de 6 bits de ultra bajo voltaje.

### 3. Conclusiones.

Se logró el objetivo de diseñar un par de convertidores digitales-analógicos de bajo y ultra bajo voltaje con características de conversión muy buenas. El aporte innovador de ambos diseños: la inclusión de capacitores para alimentar directamente las compuertas de los transistores *NMOS* del par diferencial que son la base del *OTA tipo Miller* empleado, resultó ser una magnífica solución para garantizar la operación de los transistores en saturación, a pesar de los bajos voltajes de alimentación a los que está limitado el circuito.

El convertidor digital-analógico de bajo voltaje, con una alimentación diferencial de apenas 0.8 [V], mostró un muy buen comportamiento de acuerdo con los resultados de las simulaciones desarrolladas en el *Analog Design Environment* de *Virtuoso*. El error de offset fue de  $0.67 V_{LSB}$ , lo que equivale a 5.2 [mV]. El error de ganancia fue de  $-0.5 V_{LSB}$ , lo que equivale a 3.9 [mV]. Y la precisión relativa fue de 5.92 bits. Esto significa que pierde el último nivel de voltaje de los 64 en que se divide el voltaje de referencia que va de -0.25 a 0.25 [V] y que en el peor de los casos su error de precisión se da al confundir alguno de los niveles de voltaje pertenecientes a la segunda mitad de la escala con el nivel inmediato anterior.

En cuanto al convertidor digital-analógico de ultra bajo voltaje, con una alimentación diferencial de apenas 0.5 [V] (de -0.25 a 0.25 [V]), también mostró un muy buen funcionamiento. De acuerdo con los resultados de las simulaciones: el error de offset fue de apenas  $0.33 V_{LSB}$  (lo que equivale a 2.1 [mV]), el error de ganancia fue de  $-0.93 V_{LSB}$  (lo que equivale a -5.8 [mV]) y su precisión relativa fue de 5.97 bits. Esto significa que no pierde prácticamente ninguno de los 64 niveles de voltaje en los que se divide el voltaje de referencia que va de -0.2 a 0.2 [V] y que en el peor de los casos su error de precisión se presenta al confundir alguno de los niveles de voltaje (sobre todo en la segunda mitad de la escala) con su inmediato inferior.

Con este proyecto se cubrieron varios objetivos académicos importante, entre ellos: comprender el funcionamiento de los convertidores digitales-analógicos y las ventajas y desventajas de cada una de las arquitecturas clásicas utilizadas para su implantación, aprovechar los conocimientos sobre diseño de *Amplificadores Operacionales de Transconductancia (OTA)* para diseñar uno que funcionara bien como elemento central de un sistema (híbrido en este caso) complejo y fuertemente restringido, ampliar y reforzar los conocimientos sobre el uso de la herramienta computacional de diseño y simulación (*Virtuoso*), y sobre todo, remarcar el hecho de

que cuando se diseña un sistema que debe operar bajo fuertes restricciones, incluyendo algunas que contravienen los límites conocidos de funcionamiento, la alternativa más efectiva para que el diseñador resuelva el problema, es volver a los conocimientos básicos. Es decir, cuando se diseña siempre debe empezarse con lápiz y papel, para luego utilizar las herramientas computacionales de diseño y simulación.

## 4. Referencias

- [1] Sedra, Adel S. y Smith, Kenneth C., *Microelectronics Circuits*, Seventh Edition. New York City, USA: Oxford University Press, 2014.
- [2] Razavi, Behzad, *Design of Analog CMOS Integrated Circuits*, Second Edition. New York City, USA: Mc Graw-Hill Education, 2017.
- [3] Carusone, Tony Chan, Johns, David A., y Martin, Kenneth W., *Analog Integrated Circuit Design*, Second Edition. Massachusetts, USA: John Wiley & Sons, 2012.
- [4] Antoniou, Andreas, «General Characteristics of Filters.», en *Passive, Active and Digital Filters.*, 3rd., Chen, Wai-Kai, Ed. Florida, USA: CRC Press, 2009.
- [5] Schaumann, Rolf y van Valkenburg, Mac E., *Design of Analog Filters*. New York City, USA: Oxford University Press, 2001.
- [6] Huelsman, Lawrence P., *Active and passive analog filter design. An introduction*. New York City, USA: Mc Graw-Hill, 1993.
- [7] Juárez Hernández, Esdras, «OTA-C Analog Filter Design», presentado en Asignatura de Diseño Avanzado de Circuitos Integrados Analógicos, Guadalajara, México, oct-2013.
- [8] Jaeger, Richard C. y Blalock, Travis N., *Microelectronics, Circuit Design*, Fifth Edition. New York City, USA: Mc Graw-Hill Education, 2015.
- [9] Razavi, Behzad, *Principles of Data Conversion System Design*. New Jersey, USA: IEEE Press, 1995.
- [10] Kester, Walt, Ed., *Data Conversion Handbook*. Oxford, United Kingdom: Newnes (Elsevier imprint), 2005.
- [11] Rashid, Muhammad, *Microelectronic Circuits. Analysis and Design.*, 2nd. edition. Connecticut, USA: Cengage Learning, 2011.
- [12] Davis, Artice M., «Approximation.», en *Passive, Active and Digital Filters.*, 3rd., Chen, Wai-Kai, Ed. Florida, USA: CRC Press, 2009.
- [13] Radulov, Georgi, Quinn, Patrick, y et. al., *Smart and Flexible Digital-to-Analog Converters*, 1st ed. New York, USA: Springer Verlag, 2011.