

# **INSTITUTO TECNOLÓGICO Y DE ESTUDIOS SUPERIORES DE OCCIDENTE**

Reconocimiento de validez oficial de estudios de nivel superior según acuerdo secretarial  
15018, publicado en el Diario Oficial de la Federación el 29 de noviembre de 1976.

---

Departamento de Electrónica, Sistemas e Informática

**MAESTRÍA EN DISEÑO ELECTRÓNICO**



## **REPORTE DE FORMACIÓN COMPLEMENTARIA EN ÁREA DE CONCENTRACIÓN EN DISEÑO DE CIRCUITOS INTEGRADOS**

Trabajo recepcional que para obtener el grado de

**MAESTRO EN DISEÑO ELECTRÓNICO**

Presenta: Rigoberto Bracamontes Salazar

Asesor: Dr. Jose Luis Chávez Hurtado

San Pedro Tlaquepaque, Jalisco. Diciembre de 2017.



# Contenido

<b>Introducción .....</b>	<b>1</b>
<b>1. Resumen de los proyectos realizados .....</b>	<b>2</b>
1.1. DISEÑO DE AMPLIFICADOR CMOS CON COMPENSACIÓN DE OFFSET PARA APLICACIÓN EN BLOQUES <i>SERDES</i> . .....	2
1.1.1 Introducción .....	2
1.1.2 Antecedentes .....	2
1.1.3 Solución Desarrollada .....	3
1.1.4 Análisis de Resultados .....	4
1.1.5 Conclusiones .....	4
1.2. DISEÑO DE FILTRO OTA-C PASA BAJAS CON SINTONIZACIÓN AUTOMÁTICA ASISTIDA POR PLL. ....	5
1.2.1 Introducción .....	5
1.2.2 Antecedentes .....	5
1.2.3 Solución Desarrollada .....	5
1.2.4 Análisis de Resultados .....	7
1.2.5 Conclusiones .....	7
1.3. TRANSMISOR DE DATOS DIGITALES CON IMPEDANCIA DE SALIDA, ÉNFASIS Y MODULACIÓN DE AMPLITUD CONFIGURABLE. ....	7
1.3.1 Introducción .....	7
1.3.2 Antecedentes .....	8
1.3.3 Solución Desarrollada .....	8
1.3.4 Análisis de Resultados .....	9
1.3.5 Conclusiones .....	10
<b>2. Conclusiones .....</b>	<b>10</b>
<b>Apéndices .....</b>	<b>13</b>
A. AMPLIFICADOR CMOS CON COMPENSACIÓN DE OFFSET PARA APLICACIONES SERDES – PARTE 1 .....	15
B. AMPLIFICADOR CMOS CON COMPENSACIÓN DE OFFSET PARA APLICACIONES SERDES – PARTE 2 .....	44
C. AMPLIFICADOR CMOS CON COMPENSACIÓN DE OFFSET PARA APLICACIONES SERDES – PARTE 3 .....	78
D. <i>CMOS AMPLIFIER WITH SELF-CORRECTION OFFSET FOR SERDES APPLICATIONS FOR LATIN-AMERICAS TEST SYMPOSIUM (LATS 2015)</i> .....	86
E. DISEÑO DE FILTRO OTA-C PASA BAJAS CON SINTONIZACIÓN AUTOMÁTICA ASISTIDA POR PLL .....	91
F. TRANSMISOR DE DATOS DIGITALES CON IMPEDANCIA DE SALIDA, ÉNFASIS Y MODULACIÓN DE AMPLITUD CONFIGURABLE .....	208



# Introducción

El objetivo del presente documento es presentar al lector los proyectos realizados en el área de Diseño de Circuitos Electrónicos Analógicos que mayor impacto representaron para la formación académica del alumno en el área de concentración seleccionada. A continuación, se presentan una breve descripción de los proyectos seleccionados y las materias en las cuales se desarrollaron:

- **Diseño de Circuitos Integrados Analógicos:** Amplificador CMOS con compensación de offset para aplicación en bloques *SerDes*.
- **Diseño Avanzado de Circuitos Integrados Analógicos:** Filtro OTA-C Pasa Bajas con sintonización automática asistida por PLL.
- **Diseño de Circuitos Integrados Digitales:** Transmisor de Datos Digitales con impedancia de salida, énfasis y modulación de amplitud configurable.

En conjunto, los proyectos seleccionados representan un fiel reflejo de lo que fue la formación académica del alumno. El primer curso y su respectivo proyecto representaron una introducción al diseño electrónico a nivel transistor, así como también a los desafíos a los que se enfrenta un diseñador analógico, como lo son los componentes parásitos de los transistores físicos, compromisos de diseño y técnicas básicas de *layout*. Durante el segundo curso se integraron técnicas para minimizar los efectos parásitos de los transistores, se analizó con mayor detalle las estructuras básicas de diseño y su integración en bloques funcionales o sistemas más complejos. Finalmente, el tercer proyecto vino a aportar la aplicación de los conocimientos de diseño analógico a diseños digitales de alta frecuencia.

El conocimiento adquirido con estos proyectos ha sido de gran relevancia para el desarrollo profesional del alumno. Como analista de fallas de campo, un profundo conocimiento de las estructuras internas de los componentes, los efectos parásitos de los transistores y del *layout* es indispensable para identificar problemas de diseño tanto en aplicaciones del cliente final como dentro del mismo circuito integrado.

# 1. Resumen de los proyectos realizados

En esta sección se describen los tres proyectos seleccionados incluyendo los resultados alcanzados y los aprendizajes obtenidos.

## 1.1. Diseño de amplificador CMOS con compensación de offset para aplicación en bloques *SerDes*.

### 1.1.1 Introducción

El proyecto fue desarrollado de forma individual y consistió en el diseño de un amplificador de dos etapas con cancelación de offset utilizando un lazo de retroalimentación para compensar el error, el cual debió cumplir con especificaciones de diseño. Para el desarrollo del proyecto se utilizaron las herramientas de diseño asistido por computadora de *Cadence*. El proyecto incluye el diseño a nivel esquemático, simulación pre-silicio, implementación del *layout*, simulación post-silicio y una comparativa de los efectos de los componentes parásitos sobre la respuesta del amplificador.

### 1.1.2 Antecedentes

El offset referenciado a la entrada es uno de los problemas típicos de circuitos integrados analógicos que utilizan amplificadores diferenciales. Una aplicación típica que sufre de este problema son los sistemas *Serializer/Deserializer (SerDes)*. En un mundo ideal, los pares diferenciales que manejan ambas señales complementarias estarían perfectamente balanceados, bajo estas circunstancias el voltaje de offset sería cero. En la práctica, siempre existe un offset típicamente causado por etapas de entrada no balanceadas, pequeñas diferencias en los transistores causadas por el proceso de fabricación o proveniente de etapas previas de amplificación. Sin un esquema adecuado de cancelación de offset, la etapa de salida del amplificador se pudiera llegar a saturar lo cual limitaría el rango dinámico de salida del amplificador pudiendo llegar a distorsionar la señal de interés.

### 1.1.3 Solución desarrollada

El proyecto se desarrolló por etapas a lo largo del semestre siguiendo una metodología similar a la usada en la industria. Partiendo de una hoja de especificaciones y un diagrama a bloques se dividió el proyecto en tres etapas. Cada etapa con especificaciones propias, un plan de implementación y fechas de entrega definidas desde el inicio. Las especificaciones y diagrama a bloques se detallan en el apéndice A.

La primera etapa consistió en la implementación de los amplificadores diferenciales CMOS. Dichos amplificadores están formados de pares diferenciales con cargas resistivas conectados en cascada para conseguir las especificaciones de ganancia total y ancho de banda. A su vez esta etapa se dividió en dos pasos, el diseño y pruebas a nivel esquemático y el diseño y pruebas del *layout*. Para llegar al diseño final que cumpliera con las especificaciones planteadas se realizaron 4 iteraciones de diseño a nivel esquemático y dos iteraciones a nivel *layout*. Utilizando los conocimientos de las primeras iteraciones, se decidió hacer una iteración de optimización de potencia, logrando una reducción del 50%.

La segunda etapa del proyecto consistió en el diseño de un amplificador operacional de transconductancia OTA y de un filtro pasa-bajas, los cuales forman parte del lazo de retroalimentación. El diseño e implementación del OTA se realizó siguiendo técnicas de diseño y de *layout* para minimizar el offset del OTA pues el desempeño del sistema completo depende de la precisión de este elemento.

En la tercera etapa se implementó el par diferencial de retroalimentación el cual compara un voltaje de referencia contra el promedio de la señal de salida del amplificador y compensa el error al inyectar o extraer corriente en los nodos intermedios del amplificador en cascada. Por último, se realizó la integración de las tres etapas, lo cual llevo a una iteración extra en el diseño de las etapas de amplificación para compensar la corriente extra requerida por el par diferencial de retroalimentación. Una vez que las tres etapas se integraron, se realizó la verificación final y caracterización del desempeño del sistema para asegurar que la solución propuesta cumplía con las especificaciones iniciales.

En base a este proyecto se escribió un artículo, en conjunto con los profesores de la materia, el cual fue presentado durante el “*IEEE Latin-American Test Symposium*” LATS 2015 en Puerto Vallarta, Jalisco.

#### 1.1.4 Análisis de resultados

Al terminar el proyecto, la caracterización del desempeño del amplificador propuesto cumplió con las especificaciones planteadas, como se muestra en la Tabla 1. Además de cumplir con los requerimientos de ganancia, ancho de banda y rango de compensación, se logró el objetivo de optimizar la potencia del circuito en un 50% comparado con la propuesta inicial.

Tabla 1 Especificación vs Resultados

<b>Parámetro</b>	<b>Especificación</b>	<b>Resultado</b>
<b>Ganancia</b>	<b>20 dB</b>	<b>30.66 dB</b>
<b>Ancho de Banda</b>	<b>200 MHz</b>	<b>248.40 MHz</b>
<b>Rango de Cancelación de <i>Offset</i></b>	<b>± 30 mV</b>	<b>± 30 mV</b>

#### 1.1.5 Conclusiones

El desarrollo y caracterización del amplificador requirió de una profunda investigación, desde la caracterización de los transistores disponibles en el nodo de fabricación utilizado, la validación de circuitos elaborados, hasta la utilización de reglas de diseño para implementación física de los transistores. Al desarrollar el proyecto usando metodologías similares a la industria, el alumno logró experimentar los ciclos de diseño de la industria, obteniendo en el proceso experiencia y conocimientos invaluable, los cuales ayudaron a catapultar el desarrollo profesional del alumno como analista de fallas a nivel semiconductor. Además, este proyecto aportó al alumno la oportunidad de experimentar el presentar un artículo en un congreso internacional y de realizar conexiones con importantes investigadores del campo.



## **1.2. Diseño de filtro OTA-C pasa bajas con sintonización automática asistida por PLL.**

### **1.2.1 Introducción**

El objetivo del proyecto es el diseño y caracterización de un filtro pasa-bajas utilizando como base amplificadores operacionales de transconductancia y capacitores (OTA-C). El filtro debe ser configurable con cuatro opciones de frecuencia de corte 1MHz, 2.5MHz, 4MHz y 10MHz. El ajuste se realizará usando un lazo de seguimiento de fase o PLL por sus siglas en inglés. A continuación, se describen las etapas de diseño del filtro pasa-bajas y del PLL de forma independiente. En una futura etapa, la cual no fue incluida en este proyecto, se integrarían el filtro y el PLL.

### **1.2.2 Antecedentes**

Los filtros de señales son de las estructuras más comunes en los dispositivos electrónicos. Se pueden encontrar en dispositivos relativamente viejos como radios, televisores, así como en dispositivos recientes, como celulares. La tendencia en los circuitos integrados, en específico los utilizados en teléfonos celulares, ha sido el incrementar funcionalidad mientras se disminuye su tamaño y se maximiza su eficiencia en el consumo de energía. Al mismo tiempo, con la evolución de las redes celulares, los circuitos integrados deben ser diseñados para soportar los nuevos estándares de comunicación y mantener compatibilidad con estándares anteriores. En este sentido, los filtros reconfigurables ofrecen la flexibilidad para soportar diferentes estándares optimizando el área y potencia de implementación.

### **1.2.3 Solución Desarrollada**

Similar al proyecto anterior, el desarrollo del Filtro OTA-C Pasa Bajas con sintonización automática asistida por PLL se realizó de forma individual y por etapas acumulativas a lo largo del semestre. El proyecto, además de usar una metodología de diseño similar a la industria, también considera dos nuevos conceptos vitales para cualquier proceso de diseño de un circuito integrado

comercial. El primer concepto es la etapa de modelado, donde se simula la arquitectura del circuito utilizando bloques comportamentales con la finalidad de validar que en su conjunto realizan la función esperada. El segundo concepto se relaciona con el rango de operación del circuito, desde su concepción el diseño propuesto debe operar correctamente y ser robusto dentro de un rango de voltaje, temperatura y variaciones en el proceso de fabricación.

Durante la primera etapa se realizó el diseño y simulación del filtro pasa-bajas completamente diferencial. Tomando como base un filtro pasa-bajas OTA-C como referencia. El primer paso fue proponer una arquitectura completamente diferencial y validarla usando amplificadores de transconductancia ideales, los cuales fueron modelados con fuentes de corriente dependientes de voltaje. Además de comprobar que la arquitectura es capaz de realizar la función deseada, este paso ayudo a revelar las especificaciones del OTA requeridas para cumplir con las especificaciones del filtro. Con base en esta información, se realizó el diseño a nivel transistor del OTA siguiendo un proceso iterativo. Especial consideración fue requerida para la transconductancia del OTA, pues a través de ésta se realiza el ajuste de la frecuencia de corte del filtro. En este diseño fue necesario utilizar técnicas para incrementar el rango lineal del amplificador. Contrario al proyecto anterior, se realizó un análisis de esquinas con la finalidad de asegurar que la solución propuesta fuera robusta ante variaciones de voltaje, temperatura y proceso de fabricación. Un total de 5 iteraciones fueron necesarias para llegar a la solución deseada. En el paso final de esta etapa se reemplazaron los amplificadores ideales en la arquitectura del filtro por el circuito basado en transistores y se verificó que la solución propuesta cumple con las especificaciones definidas al inicio del proyecto.

El objetivo de la segunda etapa es el diseño del lazo de seguimiento de fase usando como base el mismo OTA que en el filtro. Es importante utilizar el mismo circuito pues el control del filtro depende de que tanto el OTA del PLL como el del filtro tengan las mismas características. El diseño del PLL, al igual que el filtro, comenzó proponiendo una arquitectura y modelándola con bloques comportamentales, para este propósito se utilizó Verilog-A, un lenguaje ampliamente usado en la industria para modelar bloques analógicos. La implementación a nivel transistor se realizó basándose en los resultados del modelado y en el OTA previamente diseñado. Se requirieron 2 iteraciones de diseño para llegar a cumplir con las especificaciones del PLL. Este es el punto que marca el fin de este proyecto, la integración del sistema quedaría como trabajo futuro.

#### **1.2.4 Análisis de resultados**

Al concluir con el proyecto se logró que el filtro cumpliera con las cuatro frecuencias de corte definidas 1MHz, 2.5MHz, 4MHz y 10MHz y que su control fuera a base de la corriente de polarización de los OTA. Así mismo se logró que el PLL hiciera amarre en las mismas frecuencias que el filtro. Se logró optimizar el desempeño del filtro y quedo como trabajo futuro la implementación del resto de los bloques del PLL, durante este proyecto solo el VCO fue implementado a nivel transistor.

#### **1.2.5 Conclusiones**

Al concluir el proyecto, el alumno complementó su formación referente a metodologías de diseño, incluyendo las etapas de modelado, verificación e iteraciones de rediseño. Se introdujo al alumno al análisis de esquinas y su importancia en un diseño robusto. En el ámbito profesional como analista de fallas, este proyecto fue de gran relevancia pues incorporó al criterio del alumno los efectos de las variaciones de proceso, voltaje y temperatura sobre el desempeño de circuitos integrados, los cuales en ocasiones se relacionan a las fallas más complejas de diagnosticar.

### **1.3. Transmisor de datos digitales con impedancia de salida, énfasis y modulación de amplitud configurable.**

#### **1.3.1 Introducción**

El proyecto integrador de este curso fue desarrollado en equipos de cuatro integrantes y el objetivo fue la implementación de un transmisor de datos digitales utilizando la tecnología de 0.5 $\mu$ m. El transmisor debe ser flexible y proveer 25 valores distintos de impedancia de salida con un valor medio de 250 $\Omega$ , 6 niveles de énfasis y 6 niveles de modulación de amplitud con la finalidad de poder variar la impedancia de salida del transmisor y compensar los efectos no deseados del canal de transmisión.

### 1.3.2 Antecedentes

En la actualidad, el procesamiento digital es muy popular, se puede encontrar en prácticamente cualquier aplicación, desde electrodomésticos hasta televisiones de alta definición. En muchas de estas aplicaciones, se necesita mover grandes cantidades de datos digitales desde su fuente hasta donde se necesitarán y para esto se utilizan transmisores y receptores especializados. Existen en la literatura una gran cantidad de diseños de transmisores digitales que buscan ser flexibles y soportar diferentes protocolos de comunicación. El acoplamiento de impedancias y la distorsión generada por el canal de transmisión son dos parámetros importantes que compensar para una transmisión exitosa y son el objeto de este proyecto.

### 1.3.3 Solución desarrollada

A diferencia de los proyectos desarrollados en cursos anteriores donde todos los alumnos desarrollaban el mismo proyecto, en esta ocasión, los equipos de trabajo desarrollaron proyectos complementarios. El equipo del alumno desarrollo un transmisor digital, el segundo equipo desarrollo un receptor digital y el tercer equipo desarrollo un esquema de distribución de reloj, donde al final del curso cada equipo debía preparar un poster técnico y explicar la solución desarrollada al resto de la clase y a otros profesores del área. A continuación, se explica con detalles las distintas etapas de diseño, comenzando con el diseño a nivel transistor de los distintos bloques del transmisor, su integración y las simulaciones pre-layout, incluyendo un análisis de esquinas. En la segunda etapa se describirán los detalles de la implementación del layout, su integración.

El trabajo de diseño inicio con el *buffer* de tercer estado, consideración especial fue requerida para el dimensionamiento de los transistores de salida pues su impedancia contribuirá en la impedancia de salida del transmisor. El criterio utilizado fue que tanto el transistor PMOS como el transistor NMOS aporten una impedancia similar y que esta impedancia fuera solamente del 10% del total, además se buscó tener transiciones simétricas a  $VDD/2$ . En el anexo se puede ver con detalle el proceso para el cálculo del tamaño de los transistores. Adicionalmente, el buffer requirió del diseño a nivel transistor de un inversor, de una compuerta NAND y una compuerta

NOR manteniendo la relación 3/1.5 para los transistores PMOS/NMOS. Enseguida se diseñó la celda básica, la cual consiste en dos instancias del buffer de tercer estado, dos resistencias y una señal de control para controlar la impedancia de salida entre R y 2R. El valor de la resistencia se determinó en base a la impedancia media del transmisor definida en la tabla de especificaciones. El siguiente bloque diseñado fue un multiplexor 2:1 para el cual se siguió la misma relación 3/1.5 tanto para los *buffers* inversores como para las compuertas de transmisión. En el siguiente paso se diseñaron dos bloques auxiliares del sistema, un circuito de desfasase formado por inversores conectados en serie y caracterizados para lograr un retraso del ancho de un bit y un circuito de amarre cuya única función es proveer un uno o cero lógicos. Para ambos bloques se usó una relación 3/1.5. En la siguiente etapa se comenzó con la integración de los distintos bloques individuales en el bloque ZAP. El cual está formado por cuatro celdas básicas, cuatro multiplexores, un circuito de desfase y un circuito de amarre y se conectan de tal forma que se obtienen 5 niveles diferentes de impedancia de salida, 1 nivel de énfasis y 1 nivel de variación de amplitud. En el último nivel de integración se utilizan 6 bloques ZAP para obtener un total de 25 niveles de impedancia, 6 niveles de amplitud y 6 niveles de énfasis. Finalmente, para las pruebas del transmisor se desarrolló una cama de pruebas configurable y parametrizable la cual permite caracterizar los diferentes niveles de impedancia, amplitud y énfasis incluyendo ruido en la fuente, variaciones de temperatura, voltaje y proceso. Durante esta etapa fue necesario realizar una iteración de diseño para ajustar la impedancia media de salida.

En la segunda parte del proyecto se realizó el *layout* del diseño siguiendo reglas similares a las celdas digitales estándares, esto con la finalidad de facilitar la integración e interconexión de los bloques del sistema. Por último, se extrajeron las componentes parásitas del *layout* y se caracterizó la respuesta del transmisor comprobando que se cumpliera con las especificaciones iniciales.

#### **1.3.4 Análisis de resultados**

La tabla muestra que los resultados de la simulación cumplen con las especificaciones de impedancia, amplitud y énfasis.

Table 1 Especificación vs resultados

<b>Impedancia</b>	<b>Impedancia (Max)</b>	<b>Impedancia (Med)</b>	<b>Impedancia (Min)</b>
Especificación	375	250	187.5
Simulación Post-Layout	365.97	250.71	190.64
<b>Amplitud</b>	<b>Amplitud (Max)</b>	<b>Amplitud (Med)</b>	<b>Amplitud (Min)</b>
Especificación	1.5 – 0	1.250 - 0.250	1.125 - 0.375
Simulación Post-Layout	1.497 – 10.5u	1.253 - 0.2471	1.125 - 0.376
<b>Énfasis</b>	<b>No Énfasis</b>	<b>Énfasis (Med)</b>	<b>Énfasis (Min)</b>
Especificación	1.5 – 0	1.250 - 0.250	1.125 - 0.375
Simulación Post-Layout	1.497 - 0	1.253 – 0.2471	1.125 – 0.376

### 1.3.5 Conclusiones

Durante este proyecto el alumno experimento el siguiente paso en el proceso de diseño, donde además de seguir la metodología de diseño basada en la industria, también se trabajó en paralelo con equipos de diseño que trabajaban en otros bloques del sistema que interconectan con el transmisor, de esta forma se experimentó la interacción técnica entre diseñadores requerida para lograr en el futuro una exitosa integración de dos sistemas. Otro aspecto importante para la formación del alumno fueron las técnicas de *layout* basadas en celdas estándar, donde se busca que las celdas tengan geometrías similares para facilitar la integración e interconexión del *layout* final.

## 2. Conclusiones

En su conjunto los proyectos descritos en las secciones anteriores facilitaron al alumno el poder desarrollarse mejor profesionalmente al punto de obtener una mejor posición laboral. Si bien la concentración en diseño de circuitos integrados no tiene un amplio mercado laboral si ofrece al alumno un conocimiento mucho más profundo de dispositivos basados en semiconductores, el cual puede ser aplicado en otras ramas de la electrónica como una ventaja respecto a otros profesionales.







# Apéndices



**A. AMPLIFICADOR CMOS CON COMPENSACIÓN DE OFFSET  
PARA APLICACIONES SERDES – PARTE 1**

## **Contenido**

<b>1. Presentación.....</b>	<b>16</b>
<b>2. Objetivo.....</b>	<b>17</b>
<b>3. Descripción Funcional .....</b>	<b>19</b>
<b>4. Especificaciones Técnicas.....</b>	<b>20</b>
<b>5. Proceso de Diseño a nivel Esquemático .....</b>	<b>21</b>
<b>6. Proceso de Diseño a nivel Layout .....</b>	<b>34</b>
6.1. DRC 36	
6.2. LVS 37	
6.3. VISTA EXTRAÍDA.....	39
<b>7. Esquemático vs Layout.....</b>	<b>41</b>
<b>8. Conclusiones .....</b>	<b>42</b>
<b>9. Referencias.....</b>	<b>43</b>

### 3. Presentación

En este documento se describe la parte inicial del proyecto la cual incluye el diseño de las dos etapas diferenciales del amplificador principal. En las siguientes secciones se describe el objetivo general de esta primera etapa de diseño, así como sus objetivos específicos. Enseguida se describe a detalle el proceso de diseño a nivel esquemático del amplificador y los resultados de su simulación. Después se presenta el proceso de diseño del *layout* del sistema, su extracción con los componentes parásitos y su simulación post-*layout*. Por último, se presenta una comparativa entre la simulación a nivel esquemático y a nivel *layout* y las conclusiones correspondientes a esta primera parte del diseño.

## 4. Objetivo

El objetivo general del proyecto se puede partir en dos: el diseño a nivel esquemático de los dos amplificadores diferenciales y el diseño de los amplificadores diferenciales a nivel *layout*. Cada uno de estos objetivos a su vez se puede dividir en los siguientes objetivos específicos.

- A) Diseño a nivel esquemático de los dos amplificadores diferenciales, incluye los siguientes puntos:
  - i. Esquemáticos a nivel componente de cada amplificador diferencial.
  - ii. Tabla de especificaciones de diseño.
  - iii. Procedimiento de diseño.
  - iv. Tablas de resultados calculados.
  - v. *Testbench* de simulación.
  - vi. Graficas de simulación mostrando el cumplimiento de especificaciones de diseño.
  
- B) Diseño de los dos amplificadores diferenciales a nivel *layout*, incluye los siguientes puntos:
  - i. Diseño de *layout* de cada amplificador diferencial,
  - ii. Reporte del verificador DIVA\_DRC mostrando que no existen errores DRC,
  - iii. Reporte del verificador DIVA-LVS mostrando que no existen errores LVS,
  - iv. Vista extraída de cada amplificador diferencial, usar *DIVA-Extract*
  - v. Resultados de simulación post-*layout*.



## 5. Descripción Funcional

A continuación, se presenta un diagrama a bloques del sistema completo. El sistema tendrá una entrada diferencial la cual será amplificada por dos etapas conectadas en cascada. A su vez la salida será conectada a un lazo de retroalimentación formado por un filtro pasa bajas y un amplificador de transconductancia. La salida del filtro se pasa a una etapa de comparación la cual se encarga de generar corrientes de compensación para la primera etapa de amplificación. Las corrientes generadas serán tales que anularán los efectos de la componente de DC que se tenga a la entrada. A grandes rasgos este sería el funcionamiento del circuito que se desea diseñar.

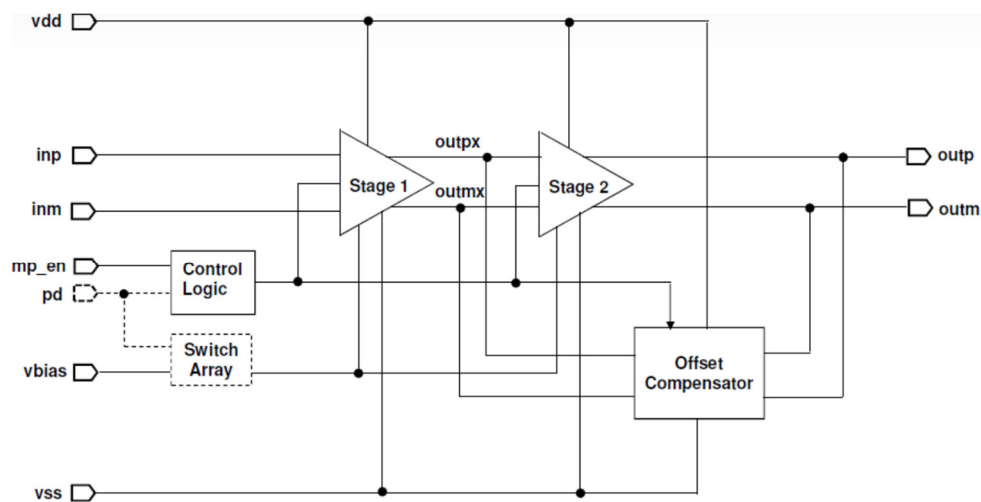


Figure 1 Diagrama a Bloques del Sistema

## 6. Especificaciones Técnicas

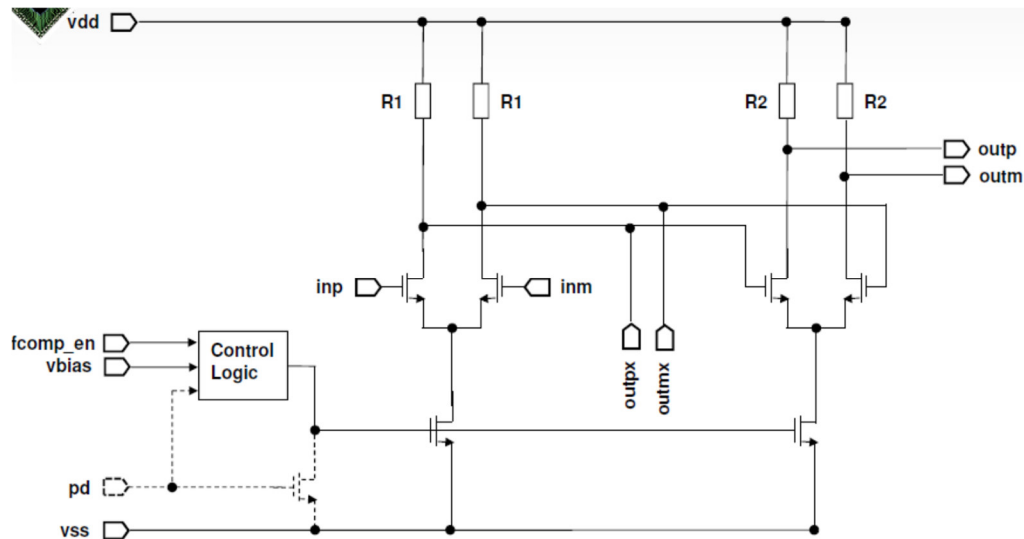
A continuación, se presentan una serie de especificaciones técnicas del proyecto.

Parameter	Value
Technology	AMIS 0.5um
+VDD	3V
-VSS	0V
Input Amplitude	100mV pk-pk
Input Frequency (fsig)	100MHz
Main Amplifier Gain (min)	20dB
Offset Corrector Range	+/- 30mV
Input Common Mode (VICM)	0.5*VDD
Output Common Mode (VOCM)	0.5*VDD
LPF Cutoff Frequency	1 MHz
Feedback Compensation Cap (Cfbk)	50pF



## 7. Proceso de Diseño a nivel Esquemático

En este reporte se incluye el proceso de diseño del amplificador principal. Este amplificador está formado por dos etapas diferenciales de amplificación como se muestra en la siguiente figura.



**Figure 2** Etapas del amplificador Principal

Para este diseño se utilizan las siguientes expresiones del transistor MOSFET y las siguientes expresiones del amplificador diferencial.

$$A_0 \cong g_{m1} R_L \quad \omega_{p1} \cong -\frac{1}{R_L C_L} \quad GBW = \frac{g_{m1}}{C_L}$$

*Figure 3* Ecuaciones de Diseño del Amplificador Diferencial

$$\begin{array}{lll}
I_{DS} = 0 & V_{GS} \leq V_T & \text{Cut Off} \\
I_{DS} = K' \frac{W}{L} \left[ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] (1 + \lambda V_{DS}) & V_{GS} > V_T, V_{DS} \leq V_{GS} - V_T & \text{Triode} \\
I_{DS} = \frac{1}{2} K' \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) & V_{GS} > V_T, V_{DS} > V_{GS} - V_T & \text{Saturation} \\
V_T = V_{T0} + \gamma \left( \sqrt{|\Phi + V_{SB}|} - \sqrt{|\Phi|} \right) & \Phi = 2\Phi_F & \\
K' = \mu C_{ox} & C_{ox} = 3.45 \text{ fF} / \mu^2 \text{ for } t = 10 \text{ nm} & \\
g_m = \sqrt{2I_{DS} K' \frac{W}{L}} = K' \frac{W}{L} (V_{GS} - V_T) = \frac{2I_{DS}}{(V_{GS} - V_T)} & & \\
g_{mb} = \frac{g_m \gamma}{2\sqrt{|\Phi + V_{SB}|}} = \eta g_m & r_o = \frac{1}{\lambda I_{DS}} & 
\end{array}$$

Figure 4 Ecuaciones del Transistor NMOS

Se utilizan las expresiones anteriores para proponer un diseño inicial con las siguientes características:

Etapas 1

$A_v = 8 \text{ V/V}$   
 $BW = 200 \text{ MHz}$   
 $CL = 32 \text{ fF}$

Etapas 2

$A_v = 4 \text{ V/V}$   
 $BW = 1.6 \text{ GHz}$   
 $CL = 50 \text{ fF}$

Dado que no hay una especificación de potencia se inicia el diseño con la expresión que da el primer polo, de esta expresión se puede obtener la resistencia requerida para obtener el ancho de banda y de ahí la corriente necesaria.

Etapa 1

$$\omega p1 = \frac{1}{RD CL} \quad f_{-3dB} = \frac{1}{2\pi RD CL} \quad RD = \frac{1}{2\pi (200MHz)(32 fF)} = 25k\Omega$$

$$IB = \frac{2(1.5)}{25k\Omega} = 120 \mu A \quad gm = \frac{Av}{RD} = \frac{8}{25k\Omega} = 320\mu S \quad \left(\frac{W}{L}\right) = \frac{gm^2}{kp IB} = \frac{320\mu^2}{124\mu 120\mu} = 7.11$$

Fijando L = 1.2um se obtiene W=8.532um

Etapa 2

$$RD = \frac{1}{2\pi (1.6GHz)(50 fF)} = 4.166 k\Omega \quad IB = \frac{2(1.5)}{4.16k\Omega} = 720 \mu A \quad gm = \frac{Av}{RD} = \frac{4}{4.166k\Omega} = 960\mu S$$

$$\left(\frac{W}{L}\right) = \frac{gm^2}{kp IB} = \frac{960\mu^2}{124\mu 720\mu} = 10.4 \quad L = 1.2\mu m, W = 12.38$$

Se utiliza el siguiente circuito para hacer la simulación:

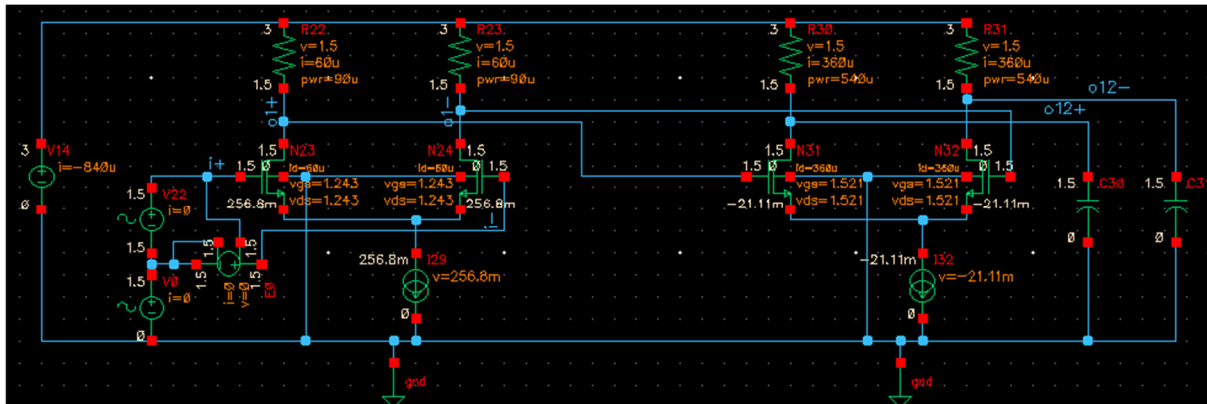


Figure 5 Simulación de la primera propuesta

Al simular el circuito con estos valores se obtienen los siguientes resultados:

Etapa	Ganancia	Ancho de Banda
Etapa 1	15.68 dB	100.95MHz
Etapa 2	9.78 dB	565.96MHz
Total	25.46 dB	96MHz

Se ve que hay una diferencia entre los valores calculados y los valores obtenidos en la simulación, esto se debe principalmente a errores de estimación en la capacitancia vista por cada nodo, por lo que el siguiente paso es hacer una mejor estimación de las capacitancias parasitas y hacer un ajuste al diseño.

Antes de continuar con el proceso de diseño es importante mencionar que para esta configuración se obtiene como resultado un voltaje muy bajo e incluso negativo en el nodo de tierra virtual. Esto significa que el circuito no es realizable pues no hay suficiente voltaje para polarizar el espejo de corriente. Analizando este nodo se tiene que el voltaje en este punto está dado por la siguiente expresión.

$$VDSat(Espejo) = VICM - VGS = VICM - VTH - VDSat(Par)$$

De la expresión anterior se puede ver que el voltaje disponible para la fuente de corriente depende del  $V_{Th}$  y del  $V_{DSat}$  del transistor del par diferencial. Dado que la corriente ya está definida por la resistencia de carga la única forma de modificar el  $V_{DSat}$  es aumentando el tamaño de los transistores. Entonces, se aumenta  $W$  para tener un voltaje de aproximadamente 325mV en el nodo de tierra virtual, al hacerlo los tamaños de los transistores aumentan considerablemente como sigue:

$$Etapa 1 \quad L = 1.2\mu m, \quad W = 55.05 \qquad Etapa 2 \quad L = 1.2\mu m, \quad W = 22.1$$

Al hacer la simulación con los tamaños obtenidos se tienen los siguientes resultados:

Etapa	Ganancia	Ancho de Banda
Etapa 1	17.25 dB	25.44MHz
Etapa 2	16.37 dB	339.70MHz
Total	33.63 dB	25.27MHz

Los resultados muestran que ahora se tiene un voltaje de .325 para la fuente de corriente. Pero por otro lado al hacerlo se tienen dos efectos no deseados, la respuesta en frecuencia se ve afectada de manera considerable, y la ganancia se aumenta. Esto es de esperarse pues al aumentar el tamaño

de los transistores se aumentan las capacitancias parasitas y en el caso de la primera etapa también se aumenta la capacitancia de carga debida al efecto Miller de la segunda etapa. El aumento de la ganancia se explica con el incremento de  $gm$  debido al incremento de los tamaños de los transistores, de hecho, estos resultados muestran que si se desea tener un voltaje adecuado para polarizar la fuente de corriente se debe tener una ganancia mínima. En otras palabras, una segunda etapa con ganancia baja y un gran ancho de banda no es realizable para este particular proyecto pues esto requeriría un voltaje muy bajo o negativo en el nodo de tierra virtual.

Una vez comprobado que la propuesta inicial no puede ser realizada bajo las especificaciones de este proyecto se continúa bajo una nueva estrategia de diseño. La nueva propuesta es que ambas etapas tengan el mismo ancho de banda, pero manteniendo una frecuencia de corte de 200MHz. Entonces se desea que cada etapa tenga una atenuación de 1.5 dB a 200MHz, analizando la respuesta en frecuencia se descubre que con una frecuencia de corte de 326MHz en cada etapa se obtendrá la respuesta deseada.

El procedimiento para ajustar el ancho de banda es tomar la medición de la frecuencia de corte de la simulación y recalcular RD e IB con el nuevo valor de capacitancia. Con este método se procede a ajustar el ancho de banda de la primera etapa primero a 200MHz.

$$CL = \frac{1}{\omega_{p1} RD} = \frac{1}{2\pi (25.44MHz) (25k\Omega)} = 250.24fF \quad RD = \frac{1}{2\pi (200MHz)(250.24 fF)} = 3.18k\Omega$$

$$IB = \frac{2(1.5)}{3.18k\Omega} = 943.3 \mu A \quad gm = \frac{Av}{RD} = \frac{7}{3.18k\Omega} = 2.29mS \quad \left(\frac{W}{L}\right) = \frac{2.29m^2}{124\mu 943.3\mu} = 37.31$$

$$Etapa 1 \quad L = 1.2\mu m, \quad W = 44.77$$

Se aplica el factor de ajuste para obtener .325 en el nodo de tierra virtual  $W = 70.95$ , con esto ya se tiene una relación lineal para obtener de manera precisa el valor de W en futuras iteraciones.

Al hacer la simulación con los tamaños obtenidos se tienen los siguientes resultados:

Etapa	Ganancia	Ancho de Banda
Etapa 1	16.31 dB	147.62MHz
Etapa 2	16.37 dB	339.75MHz
Total	30.68 dB	126.76MHz

Se observan mejorías, pero aún no se logran los 200MHz deseados. Se procede a hacer otra iteración.

$$CL = \frac{1}{2\pi (147.62\text{MHz}) (3.18\text{k}\Omega)} = 339.03\text{fF} + \text{Cestimada} \quad RD = \frac{1}{2\pi (200\text{MHz})(418.6\text{fF})} = 1.9\text{k}\Omega$$

$$IB = \frac{2(1.5)}{1.9\text{k}\Omega} = 1.578\text{mA} \quad gm = \frac{Av}{RD} = \frac{6.5}{1.9\text{k}\Omega} = 3.441\text{mS} \quad \left(\frac{W}{L}\right) = \frac{3.441\text{m}^2}{124\mu \cdot 1578\mu} = 62.01$$

$$\text{Etapa 1} \quad L = 1.2\mu\text{m}, \quad W_{ajustada} = \frac{62.01(70.95)}{37.31} = 117.92$$

Etapa	Ganancia	Ancho de Banda
Etapa 1	16.24 dB	214.712MHz
Etapa 2	16.37 dB	339.75MHz
Total	30.61 dB	163.712MHz

En este punto ya se obtuvo un ancho de banda de 200MHz para la primera y segunda etapa por separado, pero la respuesta conjunta aun no llega a la respuesta deseada. De acuerdo a la propuesta planteada se requiere un ancho de banda de 326MHz en cada etapa para lograr una respuesta conjunta de 200MHz.

Los resultados de las simulaciones previas muestran que es la primera etapa la que esta dominando la respuesta en frecuencia y que depende totalmente de las capacitancias parasitas de la segunda y también se observa que modificaciones en la primer etapa tienen poca influencia en la respuesta de la segunda etapa, por lo que el siguiente paso es ajustar el ancho de banda de la segunda etapa para que llegue a su valor final de capacitancia parasita y después ajustar la etapa uno, ya con una capacitancia de carga definida.

$$CL = \frac{1}{2\pi (339.69\text{MHz})(4.166\text{k}\Omega)} = 112.46\text{fF} - \text{Cestimada} \quad RD = \frac{1}{2\pi (326\text{MHz})(107.43\text{fF})} = 4.545\text{k}\Omega$$

$$IB = \frac{2(1.5)}{4.545\text{k}\Omega} = 660\text{uA} \quad gm = \frac{Av}{RD} = \frac{6.5}{4.545\text{k}\Omega} = 1.39\text{mS} \quad \left(\frac{W}{L}\right) = \frac{1.39\text{m}^2}{124\text{u} \cdot 660\text{u}} = 25.35$$

$$\text{Etapa 2} \quad L = 1.2\text{um}, \quad W_{ajustada} = \frac{25.35(24.68)}{12.38} = 50.54$$

Etapa	Ganancia	Ancho de Banda
Etapa 2	16.37 dB	326.846MHz

Con este ajuste ya se tienen los 326MHz en la segunda etapa, entonces el siguiente paso es hacer el ajuste final en la primera etapa.

$$CL = \frac{1}{2\pi (367.39\text{MHz})(1.9\text{k}\Omega)} = 367.39\text{fF} + \text{Cestimada} \quad RD = \frac{1}{2\pi (326\text{MHz})(445\text{fF})} = 1.092\text{k}\Omega$$

$$IB = \frac{2(1.5)}{1.092\text{k}\Omega} = 2.7466\text{mA} \quad gm = \frac{Av}{RD} = \frac{6.5}{1.092\text{k}\Omega} = 5.95\text{mS} \quad \left(\frac{W}{L}\right) = \frac{5.95\text{m}^2}{124\text{u} \cdot 2746\text{u}} = 103.97$$

$$\text{Etapa 1} \quad L = 1.2\text{um}, \quad W_{ajustada} = \frac{103.97(70.95)}{37.31} = 197.71\text{u}$$

Con estos valores se tienen los siguientes resultados:

Etapa	Ganancia	Ancho de Banda
Etapa 1	16.19 dB	321.79MHz
Etapa 2	16.37 dB	326.846MHz
Total	32.56 dB	200.8MHz

Con estos valores se logran las especificaciones de ganancia, ancho de banda y con un voltaje de .325V para polarizar ambos espejos de corriente. Sin embargo, el consumo de potencia es algo elevado, por lo que se decide reducir un poco el largo del canal de los transistores para reducir las capacitancias parasitas y disminuir el consumo de potencia.

$$\text{Etapa 1} \quad L = 1.05\text{um}, \quad W = 44.22\text{um}$$

$$\text{Etapa 2} \quad L = 1.05\text{um}, \quad W = 175\text{um}$$

Etapa	Ganancia	Ancho de Banda
Etapa 1	15.69 dB	418.31MHz
Etapa 2	15.89 dB	366.14MHz
Total	31.58 dB	239.9MHz

En la tabla anterior se muestran los resultados de simulación después de reducir el largo del canal. Enseguida se hacen un par de iteraciones usando el proceso ya descrito para obtener los siguientes valores de ajuste para la segunda etapa.

$$CL = \frac{1}{2\pi (366.14\text{MHz}) (4.545\text{k}\Omega)} = 95.5\text{fF} - \text{Cestimada} \quad RD = \frac{1}{2\pi (326\text{MHz})(87.5\text{fF})} = 5.594\text{k}\Omega$$

$$IB = \frac{2(1.5)}{5.594\text{k}\Omega} = 536.25\text{ uA} \quad gm = \frac{Av}{RD} = \frac{6.5}{5.594\text{k}\Omega} = 1.16\text{mS} \quad \left(\frac{W}{L}\right) = \frac{1.16\text{m}^2}{124\text{u} 536\text{uA}} = 21$$

Etapa 1  $L = 1.05\text{um}$ ,  $W_{ajustada} = 34.5\text{u}$

Etapa	Ganancia	Ancho de Banda
Etapa 1	15.69 dB	464.92MHz
Etapa 2	15.96 dB	325.9MHz
Total	31.65 dB	233.07MHz

Enseguida se hace un nuevo ajuste de la primera etapa y se obtienen los siguientes resultados:

$$CL = \frac{1}{2\pi (464.92\text{MHz}) (1.092\text{k}\Omega)} = 313\text{fF} - \text{Cestimada} \quad RD = \frac{1}{2\pi (326\text{MHz})(238.7\text{fF})} = 2.051\text{k}\Omega$$

$$IB = \frac{2(1.5)}{2.051\text{k}\Omega} = 1.4625\text{ uA} \quad gm = \frac{Av}{RD} = \frac{6.5}{2.051\text{k}\Omega} = 3.17\text{mS} \quad \left(\frac{W}{L}\right) = \frac{3.17\text{m}^2}{124\text{u} 1462\text{uA}} = 57.25$$

Etapa 1  $L = 1.05\text{um}$ ,  $W_{ajustada} = 88.5\text{u}$

Etapa	Ganancia	Ancho de Banda
Etapa 1	15.73 dB	329.86MHz
Etapa 2	15.96 dB	325.52MHz
Total	31.70 dB	200.89MHz



Con esta última versión se siguen cumpliendo las especificaciones de ancho de banda, ganancia y se tienen .325V para polarizar los espejos de corriente. Además, comparado con la versión anterior se tiene un ahorro de potencia de cerca del 50%. Sin embargo, el consumo aun es algo elevado y se decide bajar el voltaje de las fuentes de corriente de .325V a .3V. Con esta nueva consideración se hacen nuevas iteraciones del proceso ya descrito y se obtienen los siguientes valores:

**Etapa1:**

RD = 2.686k $\Omega$	L = 1.05u
IB = 1.116mA	W = 59.55u

**Etapa2:**

RD = 6k $\Omega$	L = 1.05u
IB = 500mA	W = 28.65u

Etapa	Ganancia	Ancho de Banda
Etapa 1	15.83 dB	327.56MHz
Etapa 2	15.96 dB	326.92MHz
Total	31.80 dB	200.54MHz

Con estos nuevos valores se siguen cumpliendo las especificaciones y con menos consumo de potencia. De hecho, se puede demostrar que las mismas especificaciones se pueden cumplir con los siguientes valores:

**Etapa1:**

RD = 6.25k $\Omega$	L = 1.05u
IB = 480mA	W = 18.45u

**Etapa2:**

RD = 7.142kΩ	L = 1.05u
IB = 420mA	W = 16.2u

Sin embargo, el precio a pagar es un menor voltaje para polarizar las fuentes de corriente (0.2V). Este voltaje tan bajo puede hacer menos robusto el diseño a variaciones de proceso. Además, un voltaje tan bajo en este nodo hace que los transistores de las fuentes de corriente sean muy grandes, mayores a 700u. Este compromiso entre confiabilidad y área contra potencia de consumo hace que me decida por la versión anterior con 0.3V en el nodo de tierra virtual.

**Espejo de Corriente**

El siguiente paso es el diseño de los espejos de corriente. Para ello se decide un  $V_{DSat} = 0.2V$  y una corriente de referencia de 100uA.

$$\left(\frac{W}{L}\right)_{Ref} = \frac{2 ID}{k_p V_{DSat}^2} = \frac{2(100uA)}{120u(.2)^2} = 41.66$$

$$\left(\frac{W}{L}\right)_{Etapa1} = \frac{W/L_{Ref} (ID_{Etapa1})}{ID_{Ref}} = \frac{41.66 (1.116mA)}{100uA} = 458.33$$

$$\left(\frac{W}{L}\right)_{Etapa2} = \frac{W/L_{Ref} (ID_{Etapa2})}{ID_{Ref}} = \frac{41.66 (500uA)}{100uA} = 208.33$$

Se hace la substitución de la fuente de corriente ideal en el esquemático por los espejos de corriente reales usando multiplicadores de 6. Y se realiza una nueva simulación.

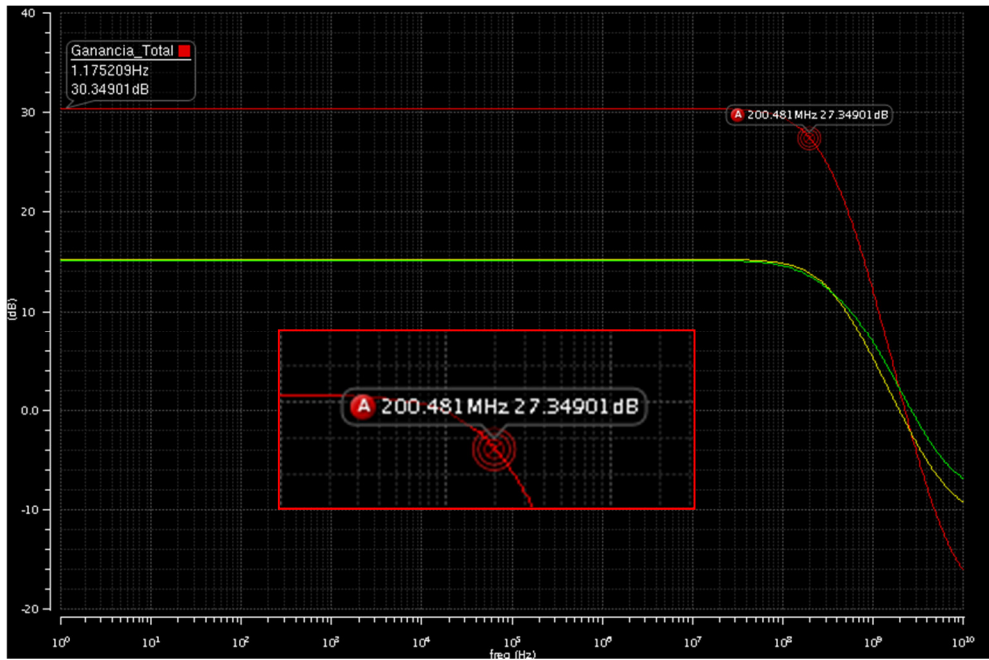


Figure 6 Simulación del Diseño con Espejo de Corriente Integrado

Se prosigue con la vista de Símbolo y el *Test Bench*.

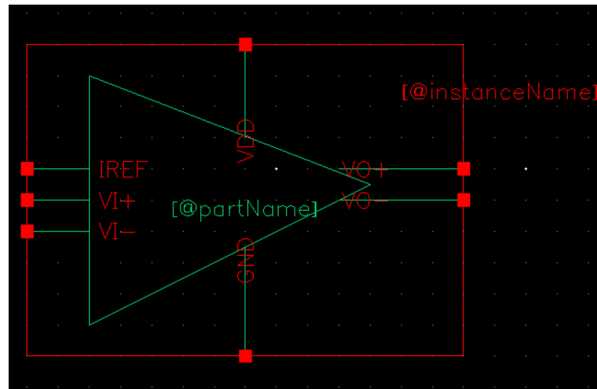


Figure 7 Vista de Símbolo

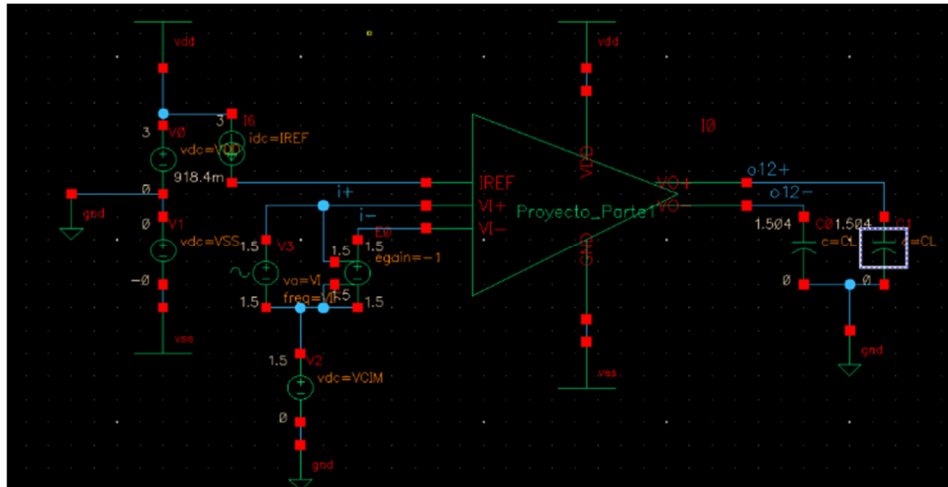


Figure 8 Test bench

Antes de seguir con el diseño del *layout* se aplican los multiplicadores = 2 a los transistores del par diferencial. Al hacerlo se observa que el voltaje en los nodos de tierra virtual disminuye, por lo que es necesaria una nueva iteración de ajuste antes de pasar al *layout*.

**Etapa1:**

RD = 2.191k $\Omega$	L = 1.05u
IB = 1.37mA	W = 38.7 u x 2

**Etapa2:**

RD = 7.142k $\Omega$	L = 1.05u
IB = 420mA	W = 16.2 x 2

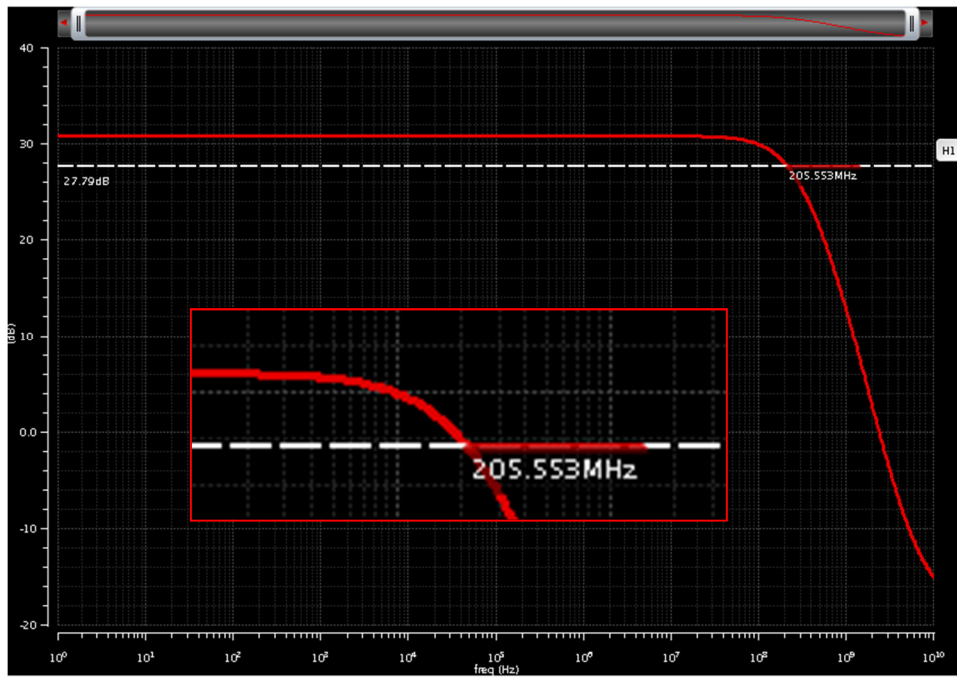


Figure 9 Simulación pre-layout

## 8. Proceso de Diseño a nivel *Layout*

Una vez que la simulación a nivel esquemático fue exitosa, el siguiente paso es hacer el diseño de esquemático. Para hacerlo se dividen los transistores utilizando multiplicadores y para el caso de los pares diferenciales se utiliza un arreglo ABBA con el propósito de minimizar el efecto de variaciones en el proceso de fabricación.

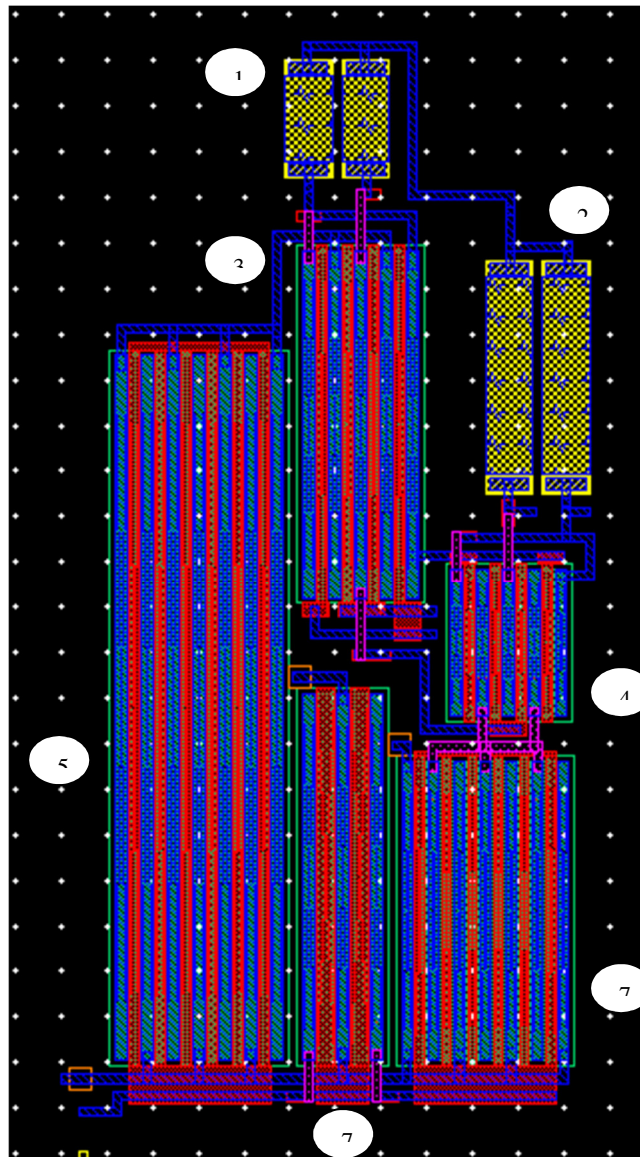


Figure 10 Layout del Amplificador

Para el diseño del *layout* se buscó un acomodo tal que el diseño ocupara la menor área posible, esto con el objetivo de reducir capacitancias parasitas. También se buscó que las pistas de la interconexión de las dos etapas quedaran accesibles, esto con la intención de poder conectar las líneas de compensación que se diseñaran en las siguientes etapas del proyecto.

6.1 Resistencias de la Etapa 1. Las resistencias de la etapa 1 fueron diseñadas con POLY ELEC, con una resistividad de  $2.176\text{k}\Omega$ , el valor deseado era de  $2.191\text{k}\Omega$ . Se tiene un error del 0.7%.

6.2 Resistencias de la Etapa 2. Las resistencias de la etapa dos fueron diseñadas con POLY ELEC, con una resistividad de  $5.648\text{k}\Omega$ , el valor deseado era de  $5.628\text{k}\Omega$ . Se tiene un error del 0.35%.

6.3 Par diferencial de la Etapa 1. Se uso un multiplicador de 2 en cada transistor del par diferencial y se utilizó un arreglo ABBA con el fin de minimizar capacitancias parasitas y para minimizar los efectos de las variaciones de proceso.

6.4 Par diferencial de la Etapa 2. Se uso un multiplicador de 2 en cada transistor del par diferencial y se utilizó un arreglo ABBA con el fin de minimizar capacitancias parasitas y para minimizar los efectos de las variaciones de proceso.

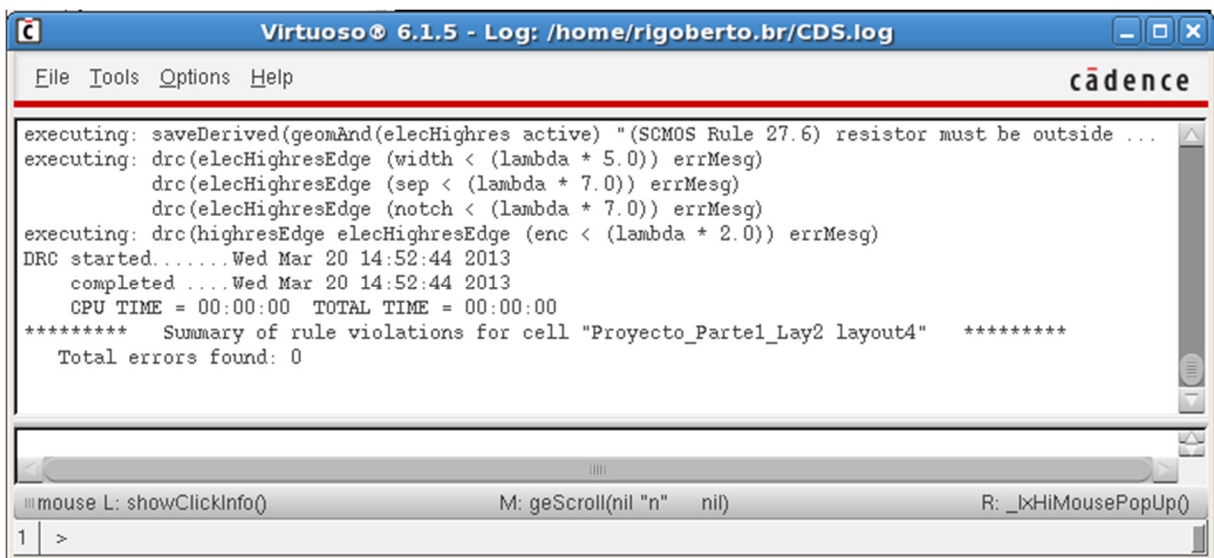
6.5 Espejo de Corriente de la Etapa 1. Se uso un multiplicador de 6 en el transistor del espejo de corriente, este fue el transistor más grande del diseño pues para la primera etapa se requirió una corriente  $I_B$  de  $1.35\text{mA}$ .

6.6 Espejo de Corriente de la Etapa 2. Se uso un multiplicador de 6 en el transistor del espejo de corriente, este fue el segundo transistor más grande del diseño pues para la segunda etapa se requirió una corriente  $I_B$  de  $533\mu\text{A}$ .

6.7 Referencia del Espejo de Corriente. Se uso un multiplicador de 2 en el transistor del espejo de corriente.

## 8.1. DRC

A continuación, se presenta el resultado de la validación de las reglas de diseño. Se busco que para esta primera etapa el *layout* estuviera libre de errores.



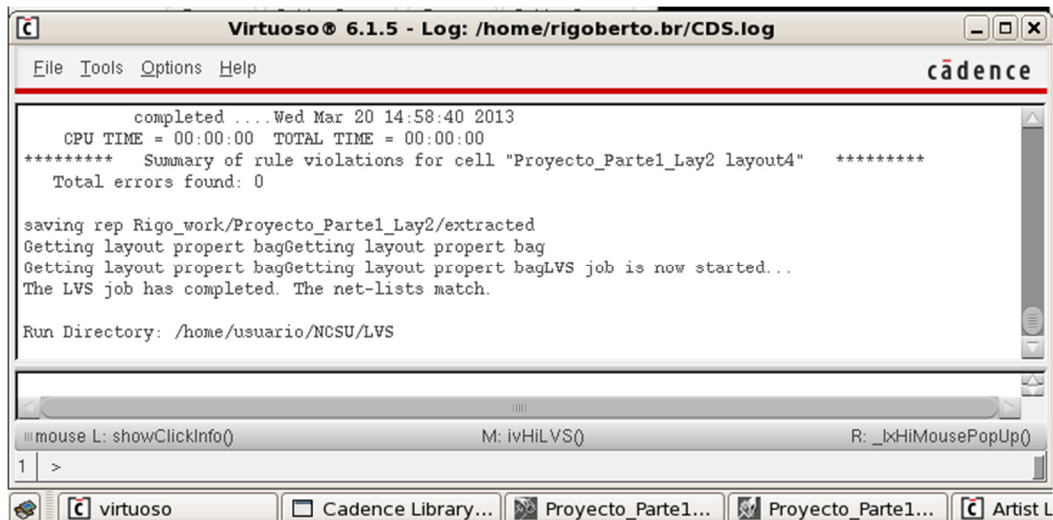
```
Virtuoso © 6.1.5 - Log: /home/rigoberto.br/CDS.log
File Tools Options Help
cādence
executing: saveDerived(geomAnd(elecHighres active) "(SCMOS Rule 27.6) resistor must be outside ...
executing: drc(elecHighresEdge (width < (lambda * 5.0)) errMesg)
           drc(elecHighresEdge (sep < (lambda * 7.0)) errMesg)
           drc(elecHighresEdge (notch < (lambda * 7.0)) errMesg)
executing: drc(highresEdge elecHighresEdge (enc < (lambda * 2.0)) errMesg)
DRC started.....Wed Mar 20 14:52:44 2013
completed ....Wed Mar 20 14:52:44 2013
CPU TIME = 00:00:00  TOTAL TIME = 00:00:00
***** Summary of rule violations for cell "Proyecto_Partel_Lay2 layout4" *****
Total errors found: 0
mouse L: showClickInfo()      M: geScroll(nil "n" nil)      R: _lxHiMousePopUp()
1 | >
```

Figure 11 Resultados del DRC



## 8.2. LVS

A continuación, se presenta el resultado del análisis de comparación entre el esquemático y el *layout*. Se busco que para esta primera etapa el *layout* hiciera correspondencia con el esquemático sin reportar ningún error.



```
Virtuoso® 6.1.5 - Log: /home/rigoberto.br/CDS.log
File Tools Options Help
cādence
completed ....Wed Mar 20 14:58:40 2013
CPU TIME = 00:00:00 TOTAL TIME = 00:00:00
***** Summary of rule violations for cell "Proyecto_Partel_Lay2 layout4" *****
Total errors found: 0

saving rep Rigo_work/Proyecto_Partel_Lay2/extracted
Getting layout propert bagGetting layout propert bag
Getting layout propert bagGetting layout propert bagLVS job is now started...
The LVS job has completed. The net-lists match.

Run Directory: /home/usuario/NCSU/LVS

||mouse L: showClickInfo() M: ivHILVS() R: _ixHiMousePopUp()
1 >
```

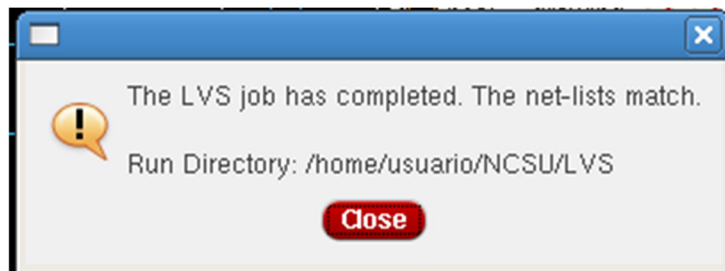


Figure 12 Resultados del LVS

```

/home/usuario/NCSU/LVS/sl.out
File Help
cadence

@(#)$CDS: LVS version 6.1.5 03/24/2011 03:04 (sjfd1054) $
Command line: /opt/sfw/IC6150/tools.lnx86/dfII/bin/32bit/LVS -dir /home/usuario/NCSU/LVS -l -s -t /home/usuario/NCSU/LVS/layout
Like matching is enabled.
Net swapping is enabled.
Using terminal names as correspondence points.
Compiling Diva LVS rules...

Net-list summary for /home/usuario/NCSU/LVS/layout/netlist
count
  11          nets
   7          terminals
   4          res
  22          rmos

Net-list summary for /home/usuario/NCSU/LVS/schematic/netlist
count
  11          nets
   7          terminals
   4          res
   7          rmos

Terminal correspondence points
N4      N8      GND
N5      N9      IREF
N10     N4      VDD
N7      N10     VI+
N6      N6      VI-
N9      N3      VO+
N8      N0      VO-

Devices in the netlist but not in the rules:
res
Devices in the rules but not in the netlist:
cap nfet pfet pmos rmos4 pmos4

The net-lists match.

              layout schematic
              instances
un-matched      0          0
revired          0          0
size errors     0          0
pruned          0          0
active          26         11
total           26         11

              nets
un-matched      0          0

```

Figure 13 Resultado del LVS

### 8.3. Vista Extraída



Figure 15 Vista Extraída



## 9. Esquemático vs Layout

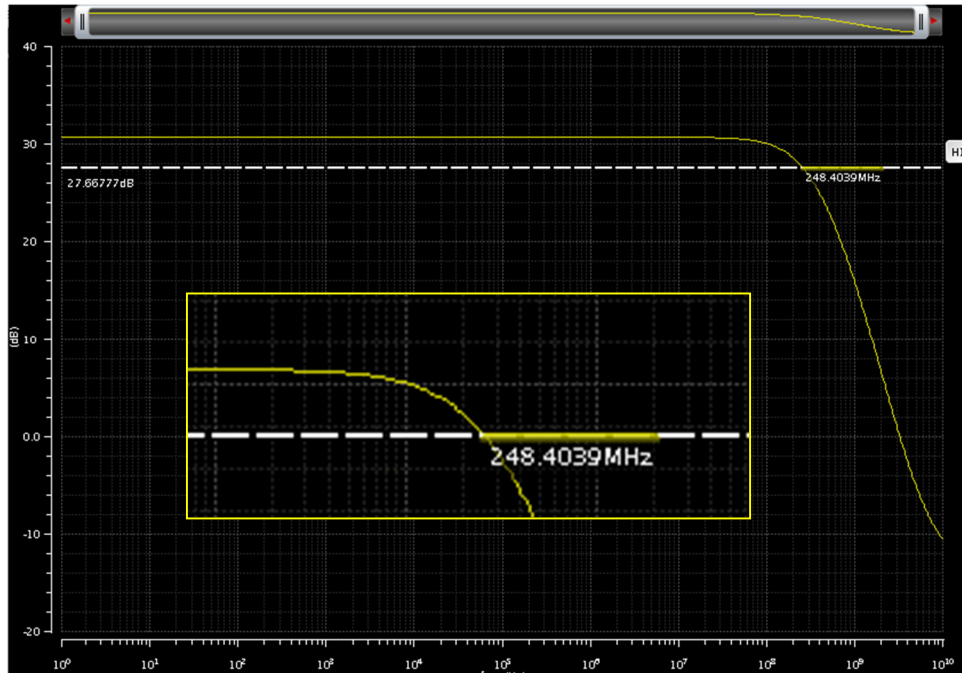


Figure 16 Simulación post-layout

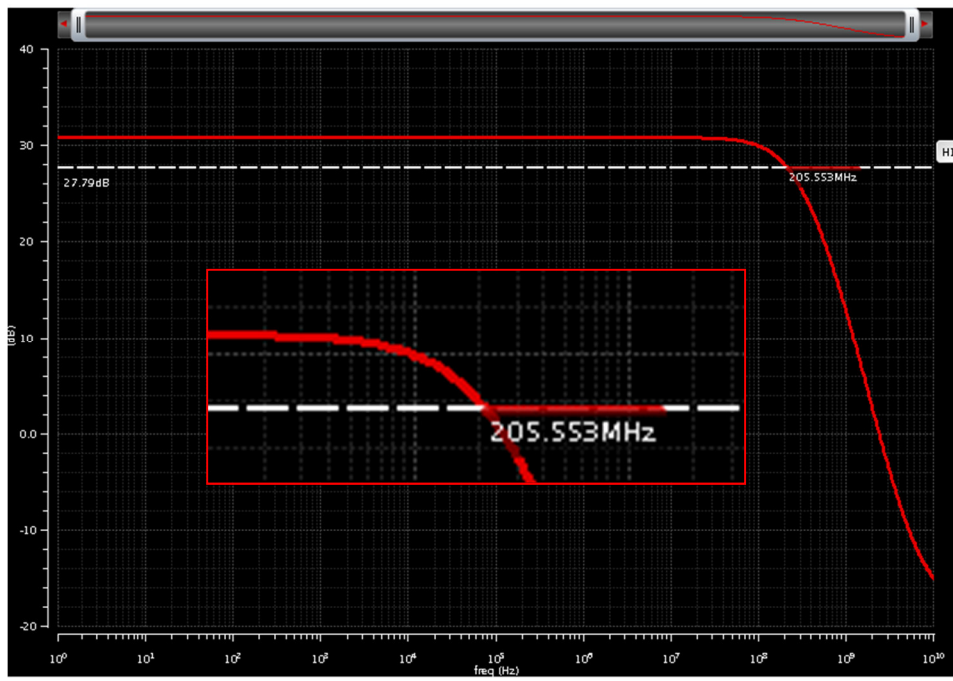


Figure 17 Simulación pre-layout

Table 2 Post-Layout vs Pre-Layout

<b>Simulación</b>	<b>Ganancia</b>	<b>Ancho de Banda</b>
<i>Pre-Layout</i>	30.79 dB	205.55 MHz
<i>Post-Layout</i>	30.66 dB	248.40 MHz

## 10. Conclusiones

Esta fue una muy buena experiencia de diseño, se aprendió mucho sobre las herramientas utilizadas en el diseño de circuitos integrados. Pero lo más importante fue la experiencia ganada en el entendimiento de los compromisos que existen en el diseño analógico. Se vivió en carne propia el dicho de que “Nada es gratis, ganas algo, pero pierdes algo”. Al final de cuentas se llegaron a múltiples diseños que cumplían con las especificaciones, sin embargo, gracias al entendimiento ganado en este primer ejercicio de diseño se tuvieron las suficientes bases para poder decidir entre una u otra, al final se presenta la opción que mejor cumplía con las especificaciones considerando cuestiones como potencia, área y confiabilidad.

## 11. Referencias

- [1] Design of Analog CMOS Integrated Circuits Behzad Razavi McGraw Hill
- [2] CMOS Analog Circuit Design Phillip E. Allen, Douglas R. Holberg, and Allen Oxford University Press
- [3] Analog Integrated Circuit Design Phillip E. Allen, Douglas R. Holberg, and Allen John Wiley & Sons
- [4] Tutorial herramientas de Cadence. Martinez, Esteban.
- [5] Differential Amplifier Design. Juarez, Esdras.

**B. AMPLIFICADOR CMOS CON COMPENSACIÓN DE OFFSET  
PARA APLICACIONES SERDES – PARTE 2**

## **Contenido**

<b>1. Presentación.....</b>	<b>45</b>
<b>2. Objetivo.....</b>	<b>46</b>
<b>3. Marco Teórico (Tarea 1, 2 y 3) .....</b>	<b>47</b>
<b>4. Descripción Funcional .....</b>	<b>54</b>
<b>5. Especificaciones Técnicas.....</b>	<b>55</b>
<b>6. Proceso de Diseño a nivel Esquemático .....</b>	<b>56</b>
<b>7. Proceso de Diseño a nivel Layout .....</b>	<b>71</b>
<b>8. Esquemático vs Layout.....</b>	<b>74</b>
<b>9. Conclusiones .....</b>	<b>75</b>
<b>10. Referencias.....</b>	<b>77</b>



# 1. Presentación

En este documento se describe la segunda parte del proyecto la cual incluye el diseño del amplificador operacional de transconductancia que forma parte del filtro pasa bajas de retroalimentación. En las siguientes secciones se describe el objetivo general de esta segunda etapa de diseño, así como sus objetivos específicos. Enseguida se describe a detalle el proceso de diseño a nivel esquemático del OTA y los resultados de su simulación. En una futura entrega se describirá el proceso de diseño del *layout* del sistema, su extracción con los componentes parásitos y su simulación *post-layout*. Por último, se presentará una comparativa entre la simulación a nivel esquemático y a nivel *layout* y las conclusiones correspondientes a esta segunda etapa del diseño.

## 2. Objetivo

El objetivo general del proyecto se puede partir en dos: el diseño a nivel esquemático de un amplificador operacional de transconductancia simple, o también OTA simple y el diseño del *layout* de la solución propuesta.

C) Diseño a nivel esquemático del OTA, incluye los siguientes puntos:

- vii. Tabla de especificaciones de diseño.
- viii. Esquemáticos a nivel componente de OTA y del espejo de corriente.
- ix. Procedimiento de diseño, incluyendo los cálculos.
  - x. Tablas de resultados calculados.
  - xi. *Testbench* de simulación.
  - xii. Graficas de simulación mostrando el cumplimiento de especificaciones de diseño.

D) Diseño a nivel *layout*, incluye los siguientes puntos:

- vi. Diseño de *layout*,
- vii. Reporte del verificador DIVA\_DRC mostrando que no existen errores DRC,
- viii. Reporte del verificador DIVA-LVS mostrando que no existen errores LVS,
- ix. Vista extraída, usar *DIVA-Extract*.
- x. Resultados de simulación *post-layout*.

### 3. Marco Teórico (Tarea 1, 2 y 3)

#### Tarea 1

Consider the following second order transfer function, which models the frequency response for an amplifier. Assuming  $GBW = \omega_T = A_0\omega_{p1}$ , and  $A_0 \gg 1$ , find the phase margin if  $\omega_{z1}$  is negative (left half side of “s” plane) and located at two times the second pole frequency (i.e.  $|\omega_{z1}| = 2\omega_{p2}$ )

$$A(j\omega) = \frac{A_0 \left[ 1 + j \left( \frac{\omega}{\omega_{z1}} \right) \right]}{\left[ 1 + j \left( \frac{\omega}{\omega_{p1}} \right) \right] \left[ 1 + j \left( \frac{\omega}{\omega_{p2}} \right) \right]}$$

De la formula se puede ver que se tienen dos polos en el semiplano izquierdo y un cero también en el semiplano negativo. Por otro lado, de la definición de margen de fase se tiene que la siguiente expresión.

$$PM = 180^\circ - fase(\omega_T)$$

Para este ejercicio se asume que el segundo polo está ubicado después del GBW, por lo tanto,  $GBW = \omega_T \leq \omega_{p2}$ . Considerando esto se puede obtener el margen de fase con la siguiente expresión.

$$PM = 180^\circ - \tan^{-1}\left(\frac{\omega_T}{\omega_{p1}}\right) - \tan^{-1}\left(\frac{\omega_T}{\omega_{p2}}\right) + \tan^{-1}\left(\frac{\omega_T}{\omega_{z1}}\right)$$

$$PM = 180^\circ - \tan^{-1}(A_0) - \tan^{-1}\left(\frac{\omega_T}{\omega_{p2}}\right) + \tan^{-1}\left(\frac{\omega_T}{2\omega_{p2}}\right)$$

Si  $A_0 \gg 1$  se puede simplificar.

$$PM = 90^\circ - \tan^{-1}\left(\frac{\omega_T}{\omega_{p2}}\right) + \tan^{-1}\left(\frac{\omega_T}{2\omega_{p2}}\right)$$

Dependiendo de qué tan lejos este el segundo polo del GBW el margen de fase puede quedar en el siguiente rango:

$$71.56 \leq PM \leq 90^\circ$$

## Tarea 2

The simplified circuit model for a Simple Operational Transconductance Amplifier (OTA) is shown in figure 1. Find the transfer function and determine expressions for:

- DC voltage gain ( $A_0$ ),
- First pole ( $\omega_{p1}$ ),
- Gain-Bandwidth Product ( $GBW=A_0\omega_{p1}$ )

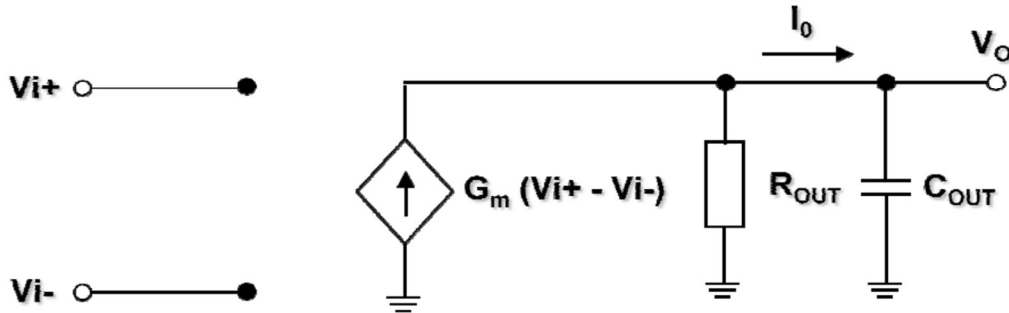


Figure 1. OTA Model

- En DC  $C_{OUT}$  se comporta como circuito abierto, entonces el voltaje de salida se puede expresar:

$$V_o = G_m (V_{i+} - V_{i-}) R_{out}$$

$$A_v = \frac{V_o}{(V_{i+} - V_{i-})} = G_m R_{out}$$

- En frecuencia el voltaje de salida se puede expresar como sigue:

$$V_o = G_m (V_{i+} - V_{i-}) \frac{R_{out} \left( \frac{1}{sC_{out}} \right)}{R_{out} + \left( \frac{1}{sC_{out}} \right)}$$

$$H(s) = \frac{V_o}{(V_{i+} - V_{i-})} = \frac{G_m R_{out}}{sC_{out}R_{out} + 1}$$

Reacomodando los términos

$$H(s) = \frac{G_m R_{out}}{s \left/ \frac{1}{C_{out}R_{out}} \right. + 1} \quad H(j\omega) = \frac{G_m R_{out}}{j\omega \left/ \frac{1}{C_{out}R_{out}} \right. + 1} \quad \omega_c = \frac{1}{C_{out}R_{out}}$$

- $GBW = A_v(\omega_c) = G_m R_{out} \frac{1}{C_{out}R_{out}} = \frac{G_m}{C_{out}}$

The magnitude and phase response for a Simple OTA with load capacitance  $C_L=50\text{pF}$  is shown in figure 2. From this response, determine:

- Frequency of the first pole ( $\omega_{P1}$ )
- Output Resistance ( $R_{OUT}$ )
- OTA Transconductance ( $G_m$ )
- Phase Margin (PM)
- The tail bias current if the diff pair VDSAT is 200mV

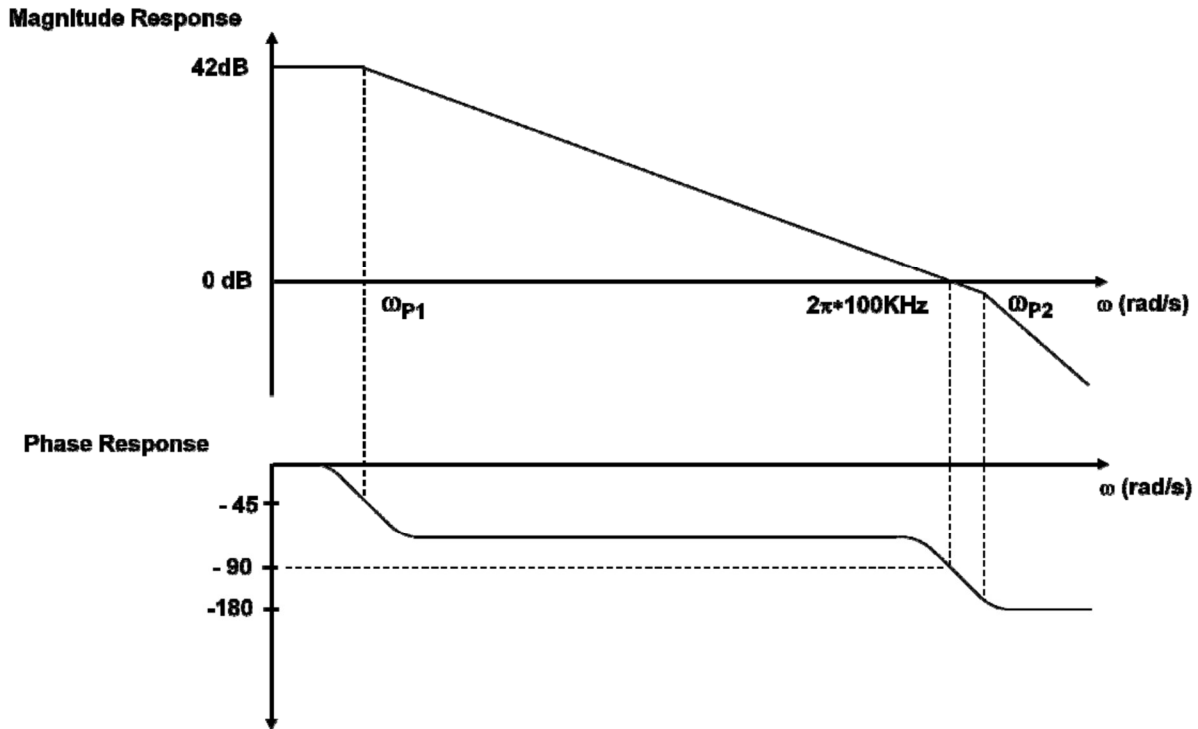


Figure 2. OTA Magnitude & Phase Frequency Response

a)

$$GBW = 2\pi (100\text{kHz}) \quad A_v = 10^{\frac{42}{20}} = 125.89 \frac{V}{V}$$

$$BW = \frac{2\pi (100\text{kHz})}{125.89} = 4990.9 \text{ rad/sec} \quad f_{-3\text{dB}} = \frac{BW}{2\pi} = 794.34\text{Hz}$$

b)

$$BW = \frac{1}{R_{out} C_{out}} \quad R_{out} = \frac{1}{BW C_{out}} = 4.007\text{M}\Omega$$

c)

$$GBW = \frac{Gm}{C_{out}} \quad Gm = 2\pi * 100kHz * 50pF = 31.416 \mu S$$

d)

$$PM = 180^\circ - \text{fase}(\omega_T) = 180^\circ - 90^\circ = 90^\circ$$

e)

$$gm = \frac{I_B}{V_{DSAT}} \quad I_B = 31.416 \mu S * 0.2V = 6.283 \mu A$$

### Tarea 3

Figure 3 shows the equivalent small signal model for a simple OTA. Considering  $V_1 = +\frac{vid}{2}$  y  $V_2 = -\frac{vid}{2}$ , where vid is the differential input voltage, find the transfer function and shown the following:

a) OTA poles and zeroes are given by:

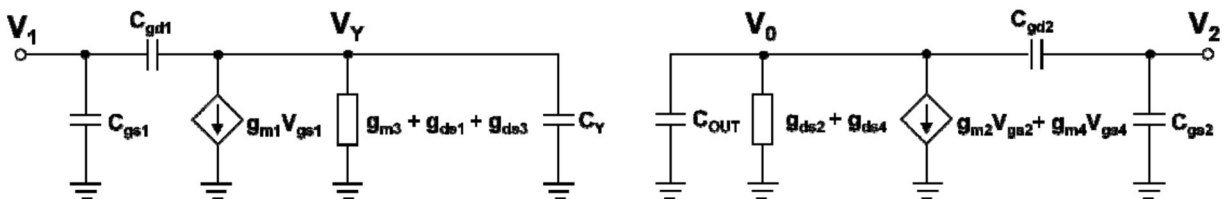
$$\omega_{p1} \cong -\frac{g_{ds2} + g_{ds4}}{C_L}, \quad \omega_{p2} \cong -\frac{g_{m3}}{2C_{gs3}}, \quad \omega_{z1} \cong -\frac{g_{m3}}{C_{gs3}}, \quad \omega_{z2} \cong +\frac{g_{m2}}{C_{gd2}}$$

b) OTA DC Gain Voltage, Dominant Pole and Gain-Bandwidth Product are given by:

$$A_0 = \frac{g_{m1}}{g_{ds2} + g_{ds4}}, \quad \omega_{p1} \cong -\frac{g_{ds2} + g_{ds4}}{C_L}, \quad GBW = \frac{g_{m1}}{C_L}$$

c) OTA Phase Margin is given by:

$$PM \cong 180^\circ - \tan^{-1}\left(\frac{\omega}{\omega_{p1}}\right) - \tan^{-1}\left(\frac{\omega}{\omega_{p2}}\right) + \tan^{-1}\left(\frac{\omega}{\omega_{z1}}\right) - \tan^{-1}\left(\frac{\omega}{\omega_{z2}}\right)$$



$$C_Y = C_{gs3} + C_{gs4} + C_{db1} + C_{db3}$$

$$C_{OUT} = C_L + C_{db2} + C_{db4}$$

Figure 3. Small signal equivalent model for a simple OTA

Se inicia el ejercicio con un análisis de corrientes en cada uno de los nodos.

$$V1(sC_{gs1}) + (V1 - Vy)C_{gd1} = 0 \quad (1)$$

$$Vy(1/R1 + sC_y) + (Vy - V1)C_{gd1} = -g_{m1}V1 \quad (2)$$

Donde,  $R1 = \frac{1}{gm3+gds1+gds3}$  y  $C_y = cgs3 + cgs4 + cdb1 + cdb3$

Sustituyendo 1 en 2 se tiene:

$$Vy(1/R1 + sC_y) = -(g_{m1} - sC_{gs1})V1 \quad (3)$$

En el lado de V2 se obtienen las siguientes expresiones:

$$V2(sC_{gs2}) + (V2 - Vo)C_{gd2} = 0 \quad (4)$$

$$Vo(1/R2 + sC_{out}) + (Vy - V2)C_{gd2} = -(g_{m2}V2 + g_{m4}Vy) \quad (5)$$

Sustituyendo 4 en 5 se tiene:

$$Vo(1/R2 + sC_{out}) = -(g_{m2} - sC_{gs2})V2 - g_{m4}Vy \quad (6)$$

Donde,  $R2 = \frac{1}{gm2+gm4}$  y  $C_{out} = CL + Cdb2 + Cdb4$

El siguiente paso es despejar Vy de 3 y sustituirla en 6.

$$Vo(1/R2 + sC_{out}) = -(g_{m2} - sC_{gs2})V2 + g_{m4} \left( \frac{(g_{m1} - sC_{gs1})V1}{(1/R1 + sC_y)} \right) \quad (7)$$

Se puede demostrar que en R1 el elemento dominante es gm3, por lo tanto, se puede aproximar que  $R1 \cong \frac{1}{gm3}$ , como M3 y M4 son iguales también se puede decir que  $gm3 = gm4$ . Entonces se puede simplificar.

$$Vo(1/R2 + sC_{Out}) = -(gm2 - sC_{gs2})V2 + \left( \frac{(gm1 - sC_{gs1})V1}{(1 + \frac{sC_y}{gm3})} \right) \quad (8)$$

Si se considera que V1 y V2 tienen la misma magnitud y ambos forman parte del voltaje diferencial se tiene lo siguiente:

$$vid = V1 - V2 \quad (9)$$

$$\frac{vid}{2} = V1 \quad -\frac{vid}{2} = V2 \quad (10)$$

$$Vo(1/R2 + sC_{Out}) = (gm2 - sC_{gs2})\frac{vid}{2} + \left( \frac{(gm1 - sC_{gs1})\frac{vid}{2}}{(1 + \frac{sC_y}{gm3})} \right) \quad (11)$$

Si se considera que M1 = M2 entonces gm1 = gm2 y Cgs1 = Cgs2, con esto se puede simplificar aún más.

$$Vo(1/R2 + sC_{Out}) = (gm1 - sC_{gs1})\frac{vid}{2} \left( 1 + \frac{1}{(1 + \frac{sC_y}{gm3})} \right) \quad (12)$$

$$\frac{Vo}{vid} = gm1 * R2 \left( \frac{\left(1 - \frac{sC_{gs1}}{gm1}\right)\left(1 + \frac{sC_y}{2gm3}\right)}{\left(1 + sC_{Out}R2\right)\left(1 + \frac{sC_y}{gm3}\right)} \right) \quad (13)$$

De la última expresión se pueden obtener los polos, los ceros y la ganancia de manera directa.

### Polos y Ceros

$$a) \omega p1 = -\frac{1}{C_{Out}R2} = -\frac{gm2+gm4}{C_{Out}} \cong -\frac{gm2+gm4}{C_L}$$

b) Si se considera que  $C_{gs3} = C_{gs4}$  el segundo polo se puede expresar como sigue:



$$\omega_{p2} = -\frac{gm3}{C_y} \cong -\frac{gm3}{2C_{gs3}}$$

$$c) \omega_{z1} = -\frac{2gm3}{C_y} \cong -\frac{2gm3}{2C_{gs3}} = -\frac{gm3}{C_{gs3}}$$

$$d) \omega_{z2} = +\frac{gm1}{C_{gs1}} = +\frac{gm2}{C_{gs2}}$$

### Ganancia en DC, Polo Dominante y GBW

$$e) \text{ En DC la ecuación 13 se simplifica a } \frac{V_o}{v_{id}} = Av = gm1 * R2 = \frac{gm1}{gm2+gm4}$$

$$f) \text{ El polo dominante es el polo con la capacitancia de carga } \omega_{p1} \cong -\frac{gm2+gm4}{C_L}$$

$$g) GBW = Av \omega_{p1} \cong \frac{gm1}{gm2+gm4} \left( \frac{gm2+gm4}{C_L} \right) = \frac{gm1}{C_L}$$

### Margen de Fase

h) De la definición de margen de fase se tiene que la siguiente expresión.

$$PM = 180^\circ - fase(\omega_T)$$

De la función de transferencia se observa que los polos y un cero están en el semiplano izquierdo y un cero en el semiplano derecho. Entonces el margen de fase se calcula restando a 180° la contribución de cada polo y cero a la fase de la salida con respecto a la entrada evaluada en  $\omega_T$ .

$$PM = 180^\circ - \tan^{-1} \left( \frac{\omega_T / gm2 + gm4}{C_L} \right) - \tan^{-1} \left( \frac{\omega_T / gm3}{2C_{gs3}} \right) - \tan^{-1} \left( \frac{\omega_T / gm3}{C_{gs3}} \right) \\ + \tan^{-1} \left( \frac{\omega_T / gm2}{C_{gs2}} \right)$$

## 4. Descripción Funcional

A continuación, se presenta un diagrama a bloques del sistema completo. El sistema tendrá una entrada diferencial la cual será amplificada por dos etapas conectadas en cascada. A su vez la salida será conectada a un lazo de retroalimentación formado por un filtro pasa bajas y un amplificador de transconductancia. La salida del filtro se pasa a una etapa de comparación la cual se encarga de generar corrientes de compensación para la primera etapa de amplificación. Las corrientes generadas serán tales que anularán los efectos de la componente de DC que se tenga a la entrada. A grandes rasgos este sería el funcionamiento del circuito que se desea diseñar.

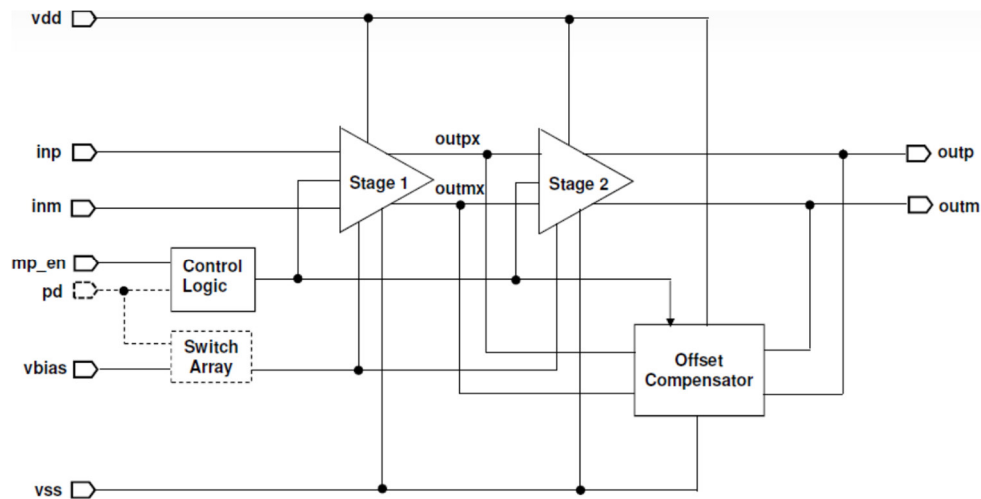


Figure 18 Diagrama a Bloques del Sistema

## 5. Especificaciones Técnicas

A continuación, se presentan una serie de especificaciones técnicas del proyecto.

### Tecnología: 0.5um NCSU

$+V_{DD} = +3.0V$	$V_{icm} = +1.5V$
$-V_{SS} = 0.0 V$	$V_{ocm} = +1.5V$
$A_{V(DC)} = 42dB$	$PD_{(max)} \leq 300\mu W$
$GBW = 100 KHz$	$C_L = 50pF$
$SR \geq 0.1 V/\mu s$	$P.M. > 60^\circ$

## 6. Proceso de Diseño a nivel Esquemático

En esta sección se incluye el proceso de diseño del amplificador operacional de transconductancia. En este amplificador utilizaremos la topología de un OTA simple, como se muestra en la siguiente figura.

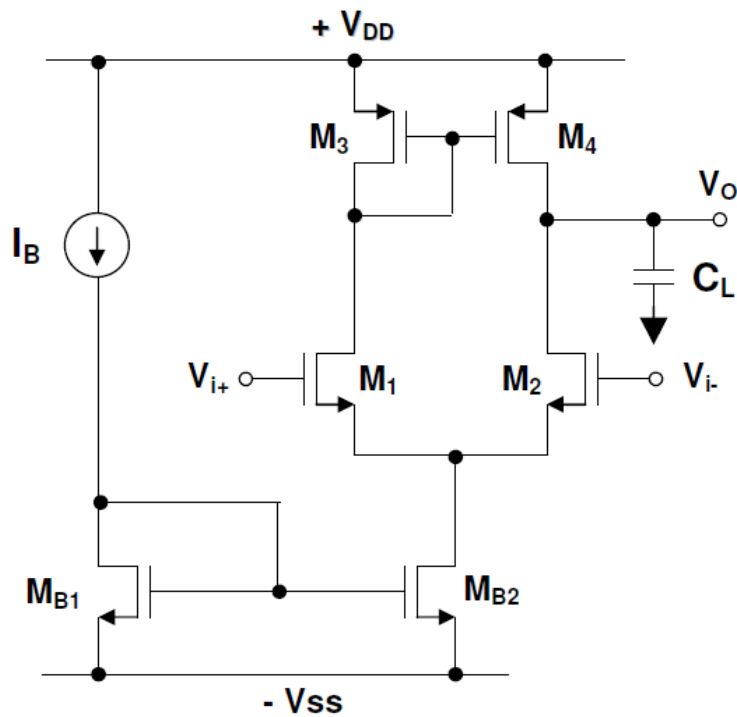


Figure 19 Topología del OTA simple

Para este diseño se utilizan las siguientes expresiones del transistor MOSFET y las siguientes expresiones del OTA simple.

The approximate location for poles and zeroes is the following:

$$\omega_{p1} \cong -\frac{g_{ds2} + g_{ds4}}{C_L} \quad \omega_{p2} \cong -\frac{g_{m3}}{2C_{gs3}} \quad \omega_{z1} \cong -\frac{g_{m3}}{C_{gs3}} \quad \omega_{z2} \cong +\frac{g_{m2}}{C_{gd2}}$$

DC Gain Voltage, Dominant Pole and Gain-Bandwidth Product:

$$A_0 = \frac{g_{m1}}{g_{ds2} + g_{ds4}} \quad \omega_{p1} \cong -\frac{g_{ds2} + g_{ds4}}{C_L} \quad GBW = \frac{g_{m1}}{C_L}$$

Approximate Phase Margin:

$$PM \cong 180^\circ - \tan^{-1}\left(\frac{\omega}{\omega_{p1}}\right) - \tan^{-1}\left(\frac{\omega}{\omega_{p2}}\right) + \tan^{-1}\left(\frac{\omega}{\omega_{z1}}\right) - \tan^{-1}\left(\frac{\omega}{\omega_{z2}}\right)$$

Figure 20 Ecuaciones de Diseño del OTA simple

$I_{DS} = 0$	$V_{GS} \leq V_T$	Cut Off
$I_{DS} = K' \frac{W}{L} \left[ (V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right] (1 + \lambda V_{DS})$	$V_{GS} > V_T, V_{DS} \leq V_{GS} - V_T$	Triode
$I_{DS} = \frac{1}{2} K' \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$	$V_{GS} > V_T, V_{DS} > V_{GS} - V_T$	Saturation
$V_T = V_{T0} + \gamma \left( \sqrt{ \Phi + V_{SB} } - \sqrt{ \Phi } \right)$	$\Phi = 2\Phi_F$	
$K' = \mu C_{ox}$	$C_{ox} = 3.45 \text{ fF} / \mu^2$ for $t = 10 \text{ nm}$	
$g_m = \sqrt{2I_{DS} K' \frac{W}{L}} = K' \frac{W}{L} (V_{GS} - V_T) = \frac{2I_{DS}}{(V_{GS} - V_T)}$		
$g_{mb} = \frac{g_m \gamma}{2\sqrt{ \Phi + V_{SB} }} = \eta g_m$	$r_o = \frac{1}{\lambda I_{DS}}$	

Figure 21 Ecuaciones del Transistor NMOS

El primer paso en el diseño es determinar la corriente mínima y máxima a partir de las especificaciones. Utilizando la especificación de potencia máxima se tiene que la corriente máxima para el diseño es determinada como sigue:

$$P_{Max} = 300 \mu W \quad I_{Max} = \frac{300 \mu W}{3 V} = 100 \mu A$$

Enseguida se toma el parámetro del *Slew Rate* y se determina la corriente mínima para cumplirlo:

$$SR \geq 0.1 \text{ V}/\mu S * 1000000 \mu S/S = 100 \text{ kV}/S$$

$$SR = \frac{I_B}{C_L} \quad I_B = 100 \text{ kV}/S * 50 \text{ pF} = 5 \mu A$$

$$I_B \geq 5 \mu A$$

Enseguida se toma el parámetro GBW y se calcula la corriente mínima requerida para cumplir con este parámetro.

$$GBW = 100 \text{ kHz} \quad GBW = \frac{gm}{C_L} \quad gm = 2\pi * 100 \text{ kHz} * 50 \text{ pF} = 31.416 \mu S$$

$$gm = \frac{I_B}{V_{DSAT}} \quad I_B = 31.416 \mu S * 0.2 V = 6.283 \mu A$$

De los resultados anteriores se selecciona una corriente de 6.283  $\mu A$ , pues esta es la corriente que puede cumplir con todas las especificaciones.

Enseguida se calcula la resistencia de salida requerida para cumplir con la ganancia.

$$A_V = 42 \text{ dB} \cong 126 \text{ V}/V \quad A_V = gm R_{OUT} \quad R_{OUT} = \frac{126}{31.416 \mu S} \cong 4 \text{ M}\Omega$$

$$R_{OUT} = \frac{1}{gds_2 + gds_4} \cong 4 \text{ M}\Omega$$

Con esto se propone que  $gds_2 = gds_4 = 125 \text{ nS}$ . Entonces se prosigue a dimensionar M1=M2 y M3=M4 de la siguiente forma:

$$(W/L)_{1,2} = \frac{gm^2}{(kn)(I_B)} = \frac{31.416\mu S^2}{(120\mu A/V^2)(6.283\ \mu A)} = 1.3055$$

$$(W/L)_{3,4} = \frac{gm^2}{(kp)(I_B)} = \frac{16\mu S^2}{(45\mu A/V^2)(6.283\ \mu A)} = 0.905$$

Se selecciona una  $L=2\mu m$ , con esto se tienen los siguientes valores para el diseño.

$M1 = M2 = 2.55/1.95$
$M3 = M4 = 1.8/1.95$
$I_B = 6.283\ \mu A$

Se toman estos valores y se procede a realizar una primera simulación. La siguiente tabla muestra una comparativa entre lo que se esperaba y lo que se obtuvo.

	Esperado	Obtenido
GBW	100kHz	76.284 kHz
$A_v$	42 dB	39.620 dB
VOCM	1.5V	1.44V

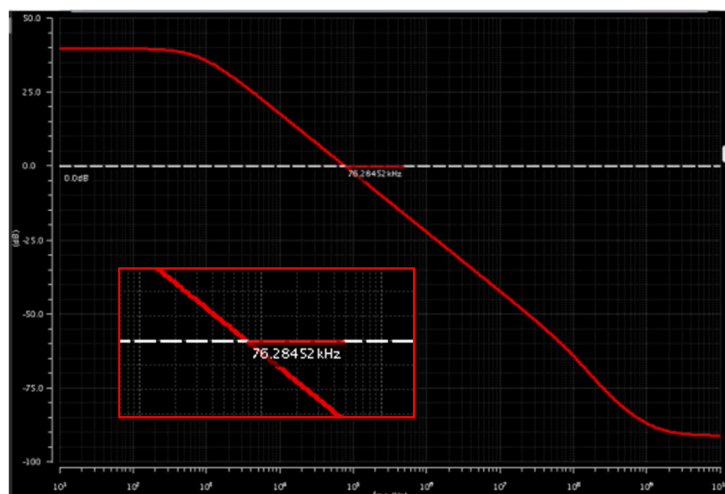


Figure 22 Simulación Inicial

El primer paso es ajustar VOVM a través de un incremento en W3 y W4, para este caso el valor final de W que da el VOVM más cercano a 1.5V es 1.95um.

El siguiente paso es ajustar la resistencia de salida para obtener una mayor ganancia, para lograrlo se hace un incremento de la longitud de todos los transistores de 2um a 2.4um. Se utiliza una relación lineal para obtener los nuevos valores de W1, W2, W3 y W4.

$$W1 = W2 = 1.3055 * 2.4 = 3.15$$

$$W3 = W4 = \frac{1.95 * 2.4}{1.95} = 2.4$$

Otra simulación con los valores obtenidos muestra una mejoría en la resistencia de salida, sin embargo, aún no se alcanza la ganancia deseada, el siguiente paso sería incrementar la transconductancia de M1 y M2 y esto se puede lograr incrementando la corriente o incrementando W1 y W2. Si se incrementa la corriente se incrementa la potencia disipada por el circuito por otro lado si se incrementa W la transconductancia  $g_{ds}$  aumenta, en otras palabras, la resistencia de salida disminuye. Si la resistencia de salida disminuye también lo hace la ganancia y por lo tanto se debería hacer otro incremento en la longitud del canal de los transistores. Considerando estos efectos se tomó la decisión de ya no incrementar L, si no incrementar W hasta obtener 42 dB. Obviamente al hacer esto los cálculos previos de la transconductancia y resistencia de salida ya no serán válidos. Entonces se propone un nuevo acercamiento con los siguientes valores.

$$A_V = 42 \text{ dB} \cong 126 \text{ V/V} \quad A_V = g_m R_{OUT} \quad R_{OUT} = 3M\Omega \quad g_m = \frac{126}{3M} = 42 \text{ uS}$$

$$g_m = \frac{I_B}{V_{DSAT}} \quad V_{DSAT} = \frac{6.283 \text{ uA}}{42 \text{ uS}} = 0.15$$

Esta propuesta cumplirá con los requerimientos del proyecto sin la necesidad de tamaños muy grandes de L, sin embargo, el incremento en la transconductancia de 31.4uS a 42uS tendrá como resultado un GBW ligeramente mayor a 100kHz.



$$(W/L)_{1,2} = \frac{gm^2}{(kn)(I_B)} = \frac{42\mu S^2}{(100\mu A/V^2)(6.283 \mu A)} = 2.80$$

Dado que la corriente IB no se ha modificado no se necesitan hacer mayores cambios en los transistores M3 y M4.

Se realiza otra simulación con los siguientes valores.

M1= M2 = 6.72/2.4
M3 = M4 = 2.25/2.4
IB = 6.283uA

Con estos valores se obtiene una ganancia muy cercana a la deseada sin embargo se requiere un pequeño ajuste en la W de los transistores M1 y M2. Los valores finales son los siguientes:

M1= M2 = 8.85/2.4
M3 = M4 = 2.25/2.4
IB = 6.283uA

## Espejo de Corriente

El siguiente paso es el diseño del espejo de corriente. Para ello se decide un  $V_{DSat} = 0.2V$  y una corriente de referencia de  $6.283\mu A$ .

$$\left(\frac{W}{L}\right)_{Ref} = \frac{2 ID}{k_p V_{DSat}^2} = \frac{2(6.283\mu A)}{120\mu(.2)^2} = 2.618$$

$$\left(\frac{W}{L}\right)_{Espejo} = \frac{W/L_{Ref} (ID_{Espejo})}{ID_{Ref}} = \frac{2.618 (6.283mA)}{6.283\mu A} = 2.618$$

Se hace la sustitución de la fuente de corriente ideal en el esquemático por los espejos de corriente y se realiza una nueva simulación.

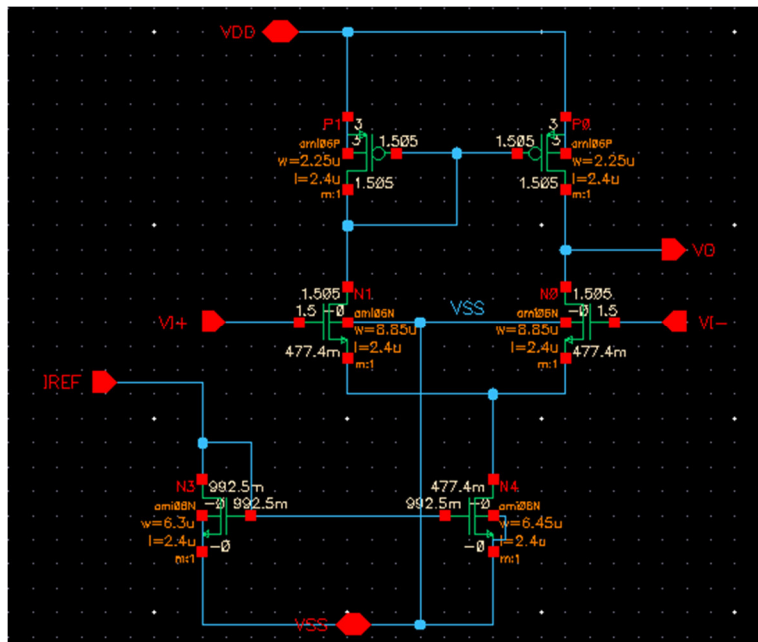


Figure 23 Circuito con espejo de corriente

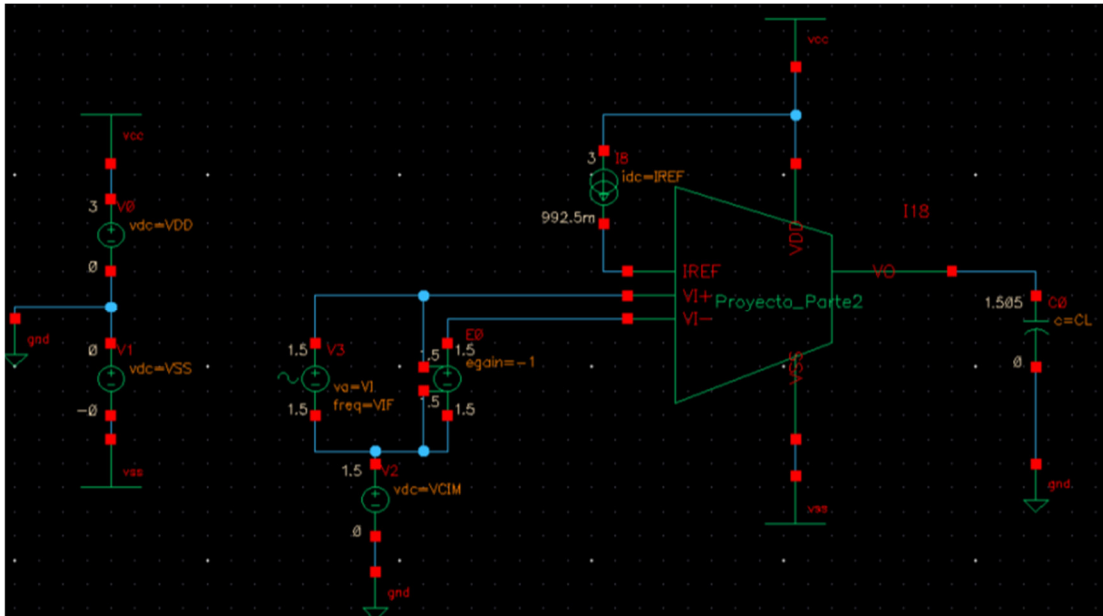


Figure 24 Testbench

### Resultados de Simulación del Diseño Final

En la siguiente figura se muestran la respuesta en frecuencia de la simulación. Como se puede ver se alcanzan los 42 dB de ganancia y como era de esperarse debido al incremento de la transconductancia de M1 y M2, la GBW es un poco mayor a 100kHz.

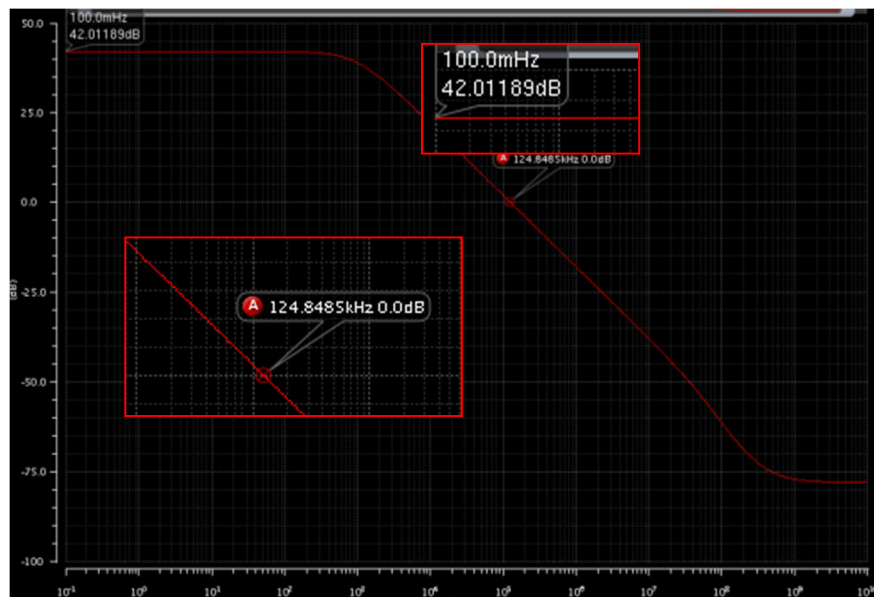


Figure 25 Simulación mostrando GBW y Av

En la siguiente grafica se muestra el *slew rate* obtenido en el circuito. Para hacer esta prueba fue necesario reemplazar la fuente de voltaje sinusoidal por una fuente de pulsos. De forma que se pueda pasar de un voltaje diferencial de -3V a 3V en un instante y medir la pendiente a la salida.

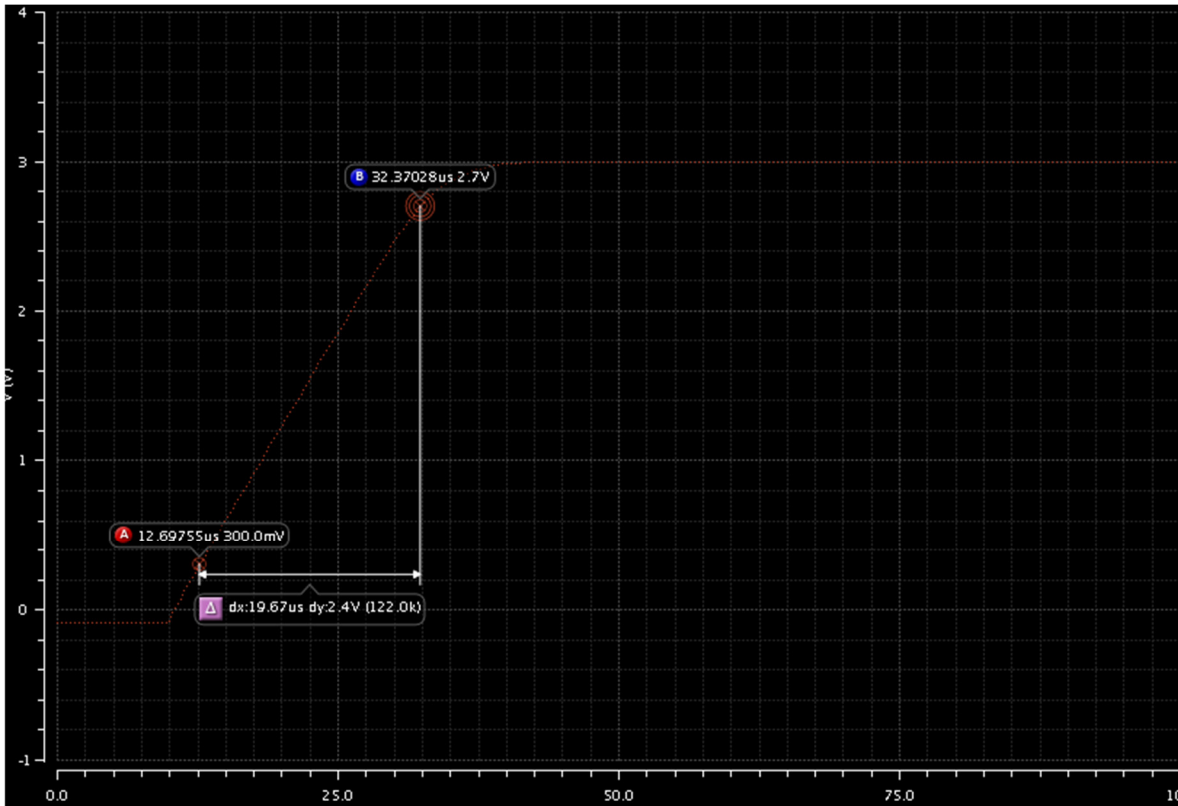


Figure 26 Simulación mostrando el Slew Rate

El resultado de la simulación es el siguiente:

$$SR = \frac{2.4 V}{19.76 us} = 0.121 V/us > 0.1V/us$$

El siguiente parámetro es el margen de fase, para obtenerlo se grafican la fase de la salida y la ganancia en decibeles y se analiza la fase a 0dB.

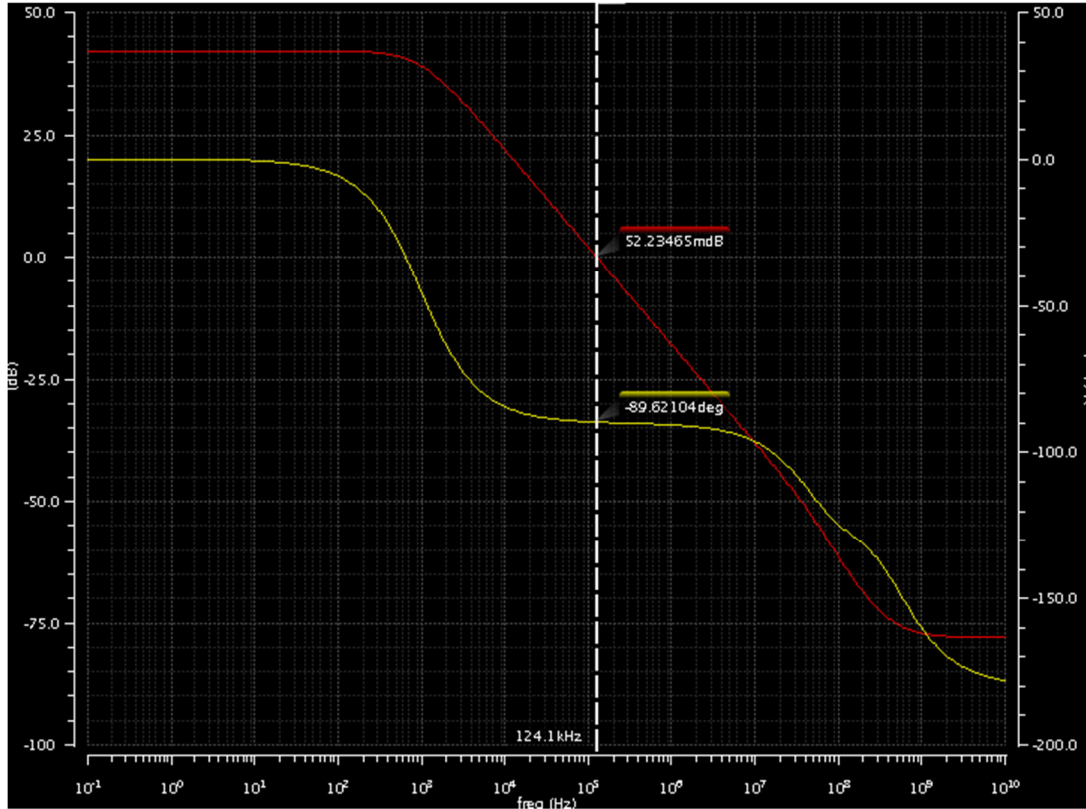


Figure 27 Simulación del margen de fase

$$PM = 180 - 89.62 = 90.38^\circ$$

### Tabla comparativa

Parámetro	Esperado	Simulación
V <sub>ocm</sub>	1.5V	1.505V
A <sub>v</sub>	42 dB	42.01 dB
PD	≥ 300 uW	18.85 uW
GBW	100 kHz	124 kHz
SR	≤ 0.1 V/us	0.121 V/us
PM	< 60°	90.38°

### Análisis de punto de operación.

Para que un transistor se encuentre en saturación se deben cumplir las siguientes dos condiciones.

NMOS

$$V_{GS} > V_T, V_{DS} > V_{GS} - V_T \quad \text{Saturation}$$

PMOS

$$V_{SG} > |V_T|, V_{SD} > V_{SG} - |V_T| \quad \text{Saturation}$$

Transistor	VDSAT	VDS	VTH	VGS	Región
M1	129.9 mV	1.027 V	923.1 mV	1.023 V	Saturación
M2	129.9 mV	1.027 V	923.1 mV	1.023 V	Saturación
M3	-425.9 mV	-1.495 V	-975 mV	-1.495 V	Saturación
M4	-425.9 mV	-1.495 V	-975 mV	-1.495 V	Saturación
MB1	194.4 mV	992.5 mV	786.5 mV	992.5 mV	Saturación
MB2	195.5 mV	477.4 mV	785.4 mV	992.5 mV	Saturación

Hasta este punto se cumplen con las especificaciones del diseño, sin embargo, al momento de hacer el *layout* se deben considerar nuevas especificaciones las cuales requerirán modificaciones al diseño actual. Estas nuevas especificaciones se detallan a continuación.

- Usar multiplicadores, al menos de 2. Esto para poder hacer inter-digitación de los transistores y aumentar la confiabilidad del diseño ante variaciones de proceso.
- Que los drenajes y fuentes de los transistores ya divididos tengan al menos dos vías, igual que el punto anterior para aumentar la confiabilidad del diseño ante defectos de proceso.

Teniendo en mente estas recomendaciones para tener un diseño más robusto en *layout*, se requiere otra iteración de diseño, buscando cumplir con esto.

De la necesidad de usar multiplicadores para todos los transistores del diseño y dado el mínimo de 1.5u para el ancho de los transistores en la tecnología definida para el diseño, se puede ver que la

dimensión mínima de L para todos los transistores es de 3, lo cual no se cumple con el diseño actual.

El primer paso para poder incrementar el valor de W sin alterar mucho el resultado de la simulación es aumentar L y W de manera proporcional. Obviamente al aumentar L aumentará la resistencia de salida y una gm menor será requerida para obtener la ganancia especificada, sin embargo, en una primera simulación se decide usar L= 4.5u y aumentar las W de manera proporcional. Con esto se tienen las siguientes dimensiones.

M1= M2 = 16.59/4.5	8.29/4.5 m=2
M3 = M4 = 2.25/4.5	2.1/4.5 m=2
IB = 6.283uA	

Como era de esperarse la ganancia resultante es mayor a la de la especificación. Por otro lado se desea que los drenadores y fuentes de los transistores tengan al menos dos vías, entonces el tamaño mínimo de W está limitado por la tecnología a 2.7u, el problema es que con una W/L = 2.7/4.5 m=2 el voltaje de salida en modo común no es 1.5V. Existen dos opciones para compensarlo, se puede incrementar L de nuevo para lograr una W de 2.7u sin modificar mucho el V<sub>OCM</sub>, sin embargo esto genera que la resistencia de salida se incremente y la gm requerida para 42 dB disminuya, con una gm pequeña la relación W/L de los transistores NMOS del par diferencial será pequeña, por lo tanto valores grandes de V<sub>TH</sub> y un voltaje pequeño para polarizar el espejo de corriente. La segunda opción es incrementar la corriente I<sub>B</sub> para obtener un V<sub>OCM</sub> = 1.5V. Considerando las opciones descritas se decide incrementar la corriente para conservar un voltaje adecuado para polarizar el espejo de corriente.

$$(I_B) = \frac{gm^2}{(kp)(W/L)_{3,4}} = \frac{15\mu S^2}{(26\mu A/V^2)(1.2)} = 8.20 \mu A$$

Usando el valor de  $I_B$  recién calculado se obtiene un valor muy cercano a 1.5V un pequeño ajuste es necesario y se obtiene 8.6 uA. Por último, solo falta ajustar el valor de W de los transistores NMOS para lograr la ganancia deseada.

$$(W/L)_{1,2} = \frac{gm^2}{(kn)(I_B)} = \frac{32.86\mu S^2}{(100\mu A/V^2)(8.60\mu A)} = 1.26$$

$$(W/L)_{1,2} = 2.9\mu/4.5\mu \quad m = 2$$

Un ajuste fino para lograr las especificaciones es necesario, al final los tamaños del diseño quedan como sigue:

M1= M2 = 3.6/4.5 m=2
M3 = M4 = 2.7/4.5 m=2
IB = 8.6 uA

Con el cambio de corriente un ajuste en el espejo es necesario.

$$\left(\frac{W}{L}\right)_{Ref} = \frac{2 ID}{k_p VDSat^2} = \frac{2(8.6\mu A)}{120\mu(.15)^2} = 6.37$$

$$(W/L)_{Ref} = 14.7\mu/4.5\mu \quad m = 2$$

La simulación con las siguientes dimensiones, cumplen con las especificaciones como se muestra en la siguiente figura.

M1= M2 = 3.6/4.5 m=2
M3 = M4 = 2.7/4.5 m=2
MB1 = MB2 = 14.7/4.5 m=2
IB = 8.6 uA



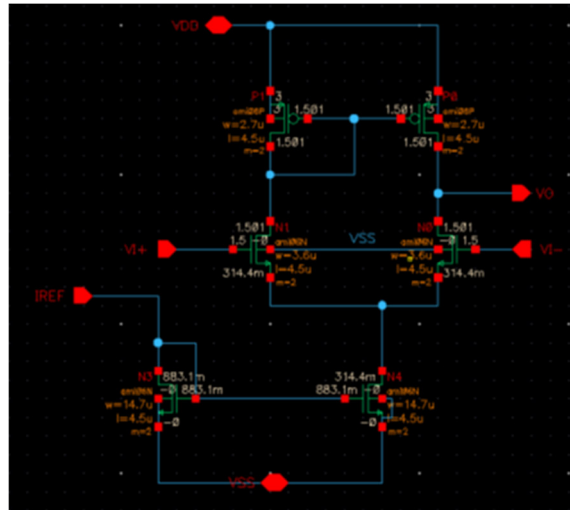


Figure 28 Esquemático con las dimensiones finales

La simulación muestra que se obtiene una ganancia de 42.9 dB, GBW de 103kHz, y margen de fase de 90.27.

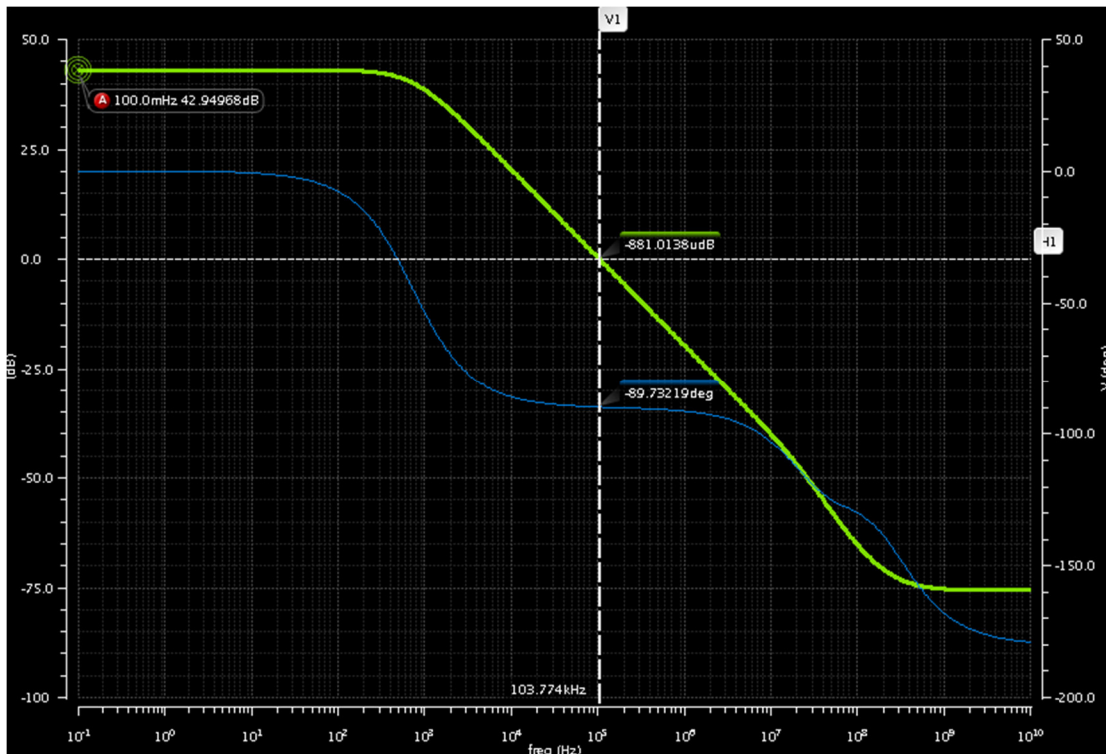


Figure 29 Simulación a nivel esquemático

Table 3 Análisis del punto de Operación

Transistor	VDSAT	VDS	VTH	VGS	Región
M1	213.9 mV	1.187 V	956.6 mV	1.186 V	Saturación
M2	213.9 mV	1.187 V	956.6 mV	1.186 V	Saturación
M3	-435.1 mV	-1.499 V	-969.7 mV	-1.499 V	Saturación
M4	-435.1 mV	-1.499 V	-969.7 mV	-1.499 V	Saturación
MB1	152 mV	883.1 mV	743.4 mV	883.1 mV	Saturación
MB2	151.5 mV	314.4 mV	744.1 mV	883.1 mV	Saturación

## 7. Proceso de Diseño a nivel *Layout*

A continuación, se presenta el *layout* del diseño, para el *layout* se utilizaron al menos dos vías para cada conexión entre capas, además se utilizó un inter-digitado con un acomodo ABBA.

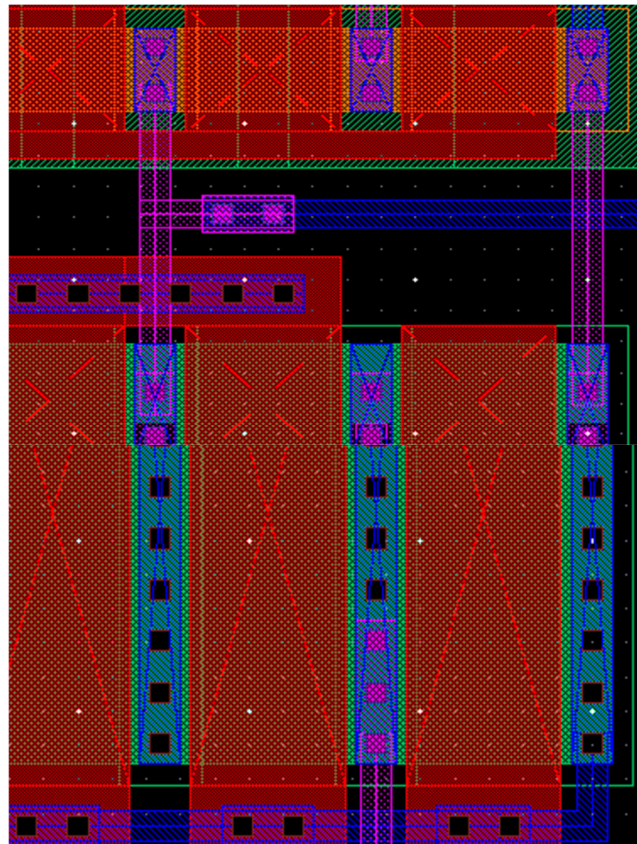


Figure 30 *Layout del Diseño*

Para asegurar la integridad del *layout* se corren verificaciones de reglas de diseño y de correspondencia con el esquemático.

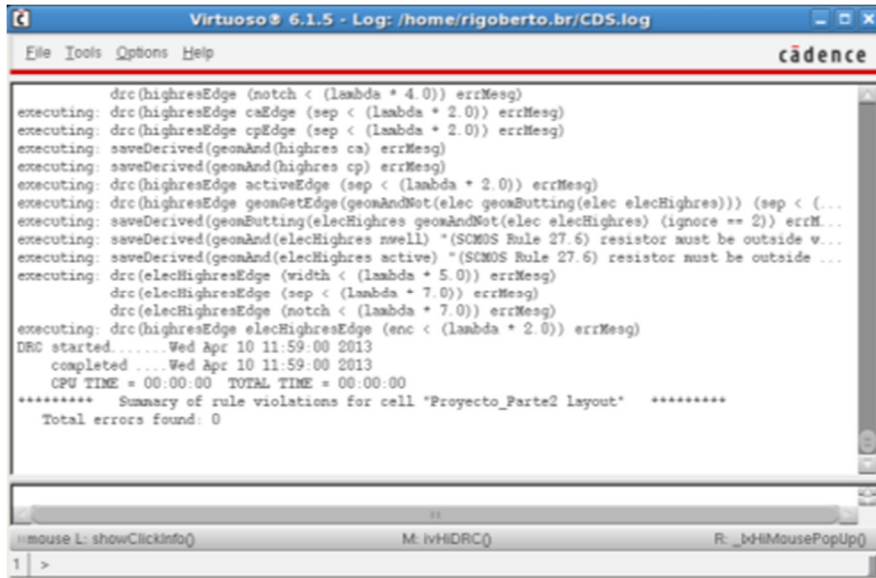


Figure 31 Resultados del DRC libre de errores

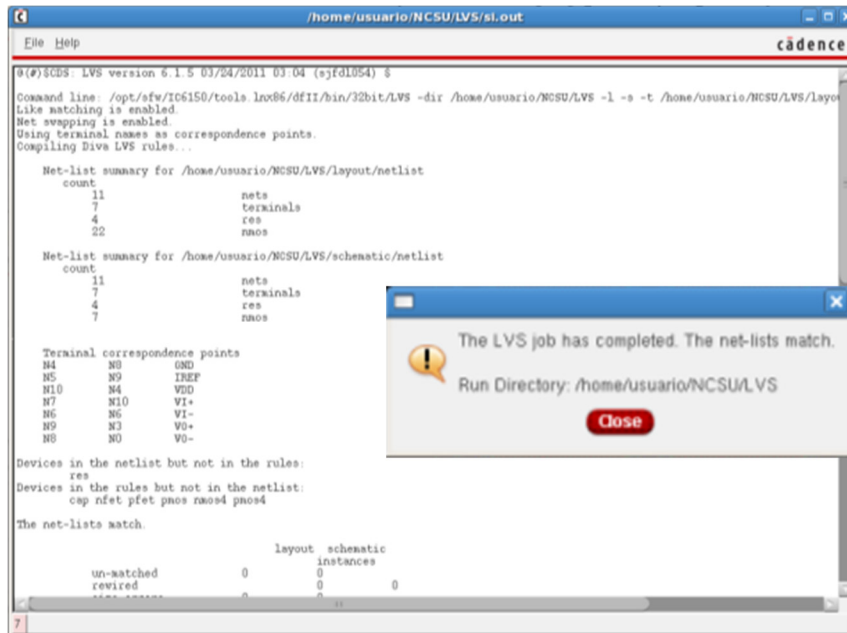


Figure 32 Resultados de LVS libre de errores

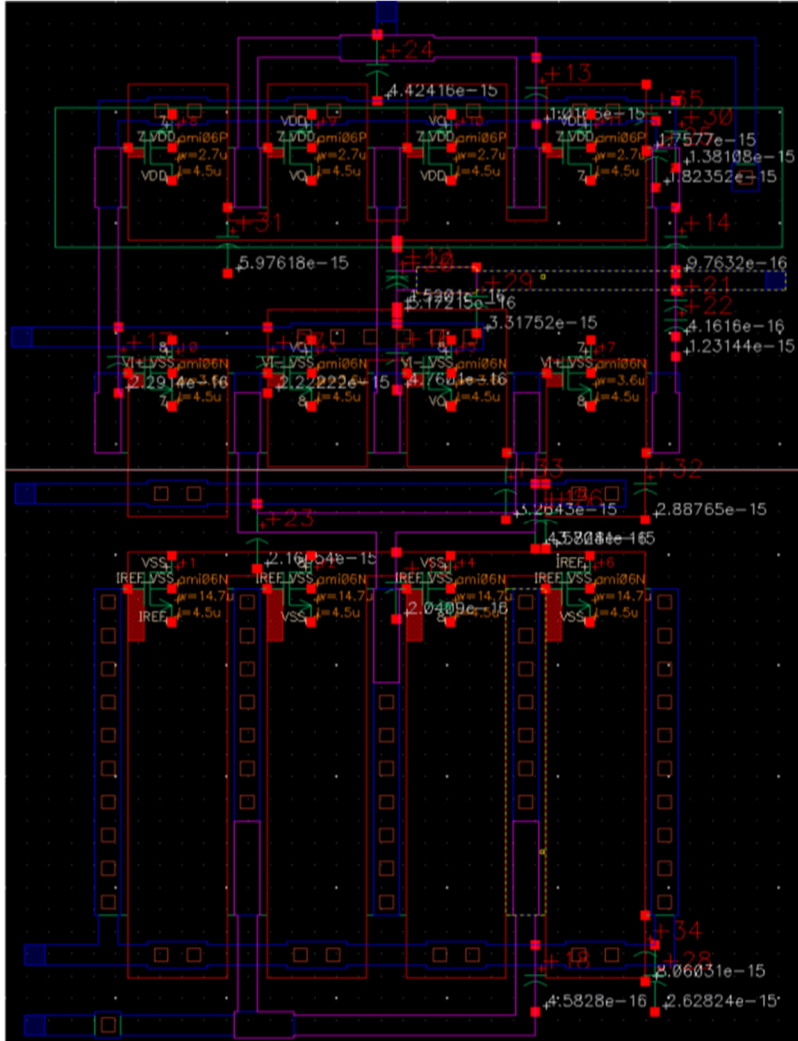


Figure 33 Vista extraída del Layout

Por último, se realiza la simulación *post-layout*, en cuyos resultados se observan diferencias mínimas con respecto a la simulación del esquemático.

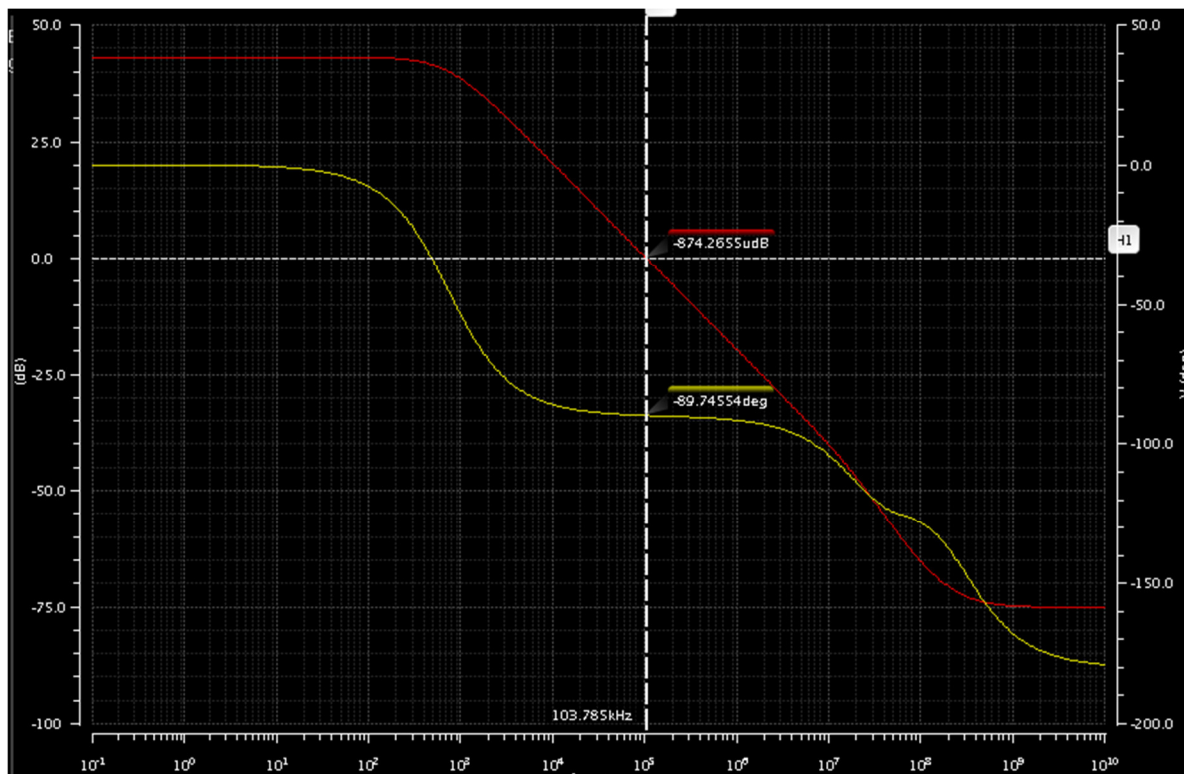


Figure 34 Resultados de la Simulación Post-Layout

## 8. Esquemático vs *Layout*

	Ganancia	GBW	Margen de Fase
Especificación	42 dB	100z	<60
Esquemático	42.94968 dB	103.774 kHz	90.27
Post-Layout	42.94961 dB	103.785 kHz	90.25

## 9. Conclusiones

Esta fue una muy buena experiencia de diseño, se aprendió mucho sobre las herramientas utilizadas en el diseño de circuitos integrados. Pero lo más importante fue la experiencia ganada en el entendimiento de los compromisos que existen en el diseño analógico. Se vivió en carne propia el dicho de que “Nada es gratis, ganas algo, pero pierdes algo”. Al final de cuentas se llegaron a múltiples diseños que cumplían con las especificaciones, sin embargo, gracias al entendimiento ganado en este primer ejercicio de diseño se tuvieron las suficientes bases para poder decidir entre una u otra, al final se presenta la opción que mejor cumplía con las especificaciones considerando cuestiones como potencia, área y confiabilidad.





## 10. Referencias

- [1] Design of Analog CMOS Integrated Circuits Behzad Razavi McGraw Hill
- [2] CMOS Analog Circuit Design Phillip E. Allen, Douglas R. Holberg, and Allen Oxford University Press
- [3] Analog Integrated Circuit Design Phillip E. Allen, Douglas R. Holberg, and Allen John Wiley & Sons
- [4] Tutorial herramientas de Cadence. Martinez, Esteban.
- [5] Simple CMOS OTA Design. Juarez, Esdras.

**C. AMPLIFICADOR CMOS CON COMPENSACIÓN DE OFFSET  
PARA APLICACIONES SERDES – PARTE 3**

# Proyecto Final

## Parte 1 - Resumen

El diseño de la primera etapa se presenta a continuación:

### Etapa1:

RD = 2.191k $\Omega$	L = 1.05u
IB = 1.35mA	W = 38.7 u x 2

### Etapa2:

RD = 5.628k $\Omega$	L = 1.05u
IB = 533mA	W = 16.2 x 2

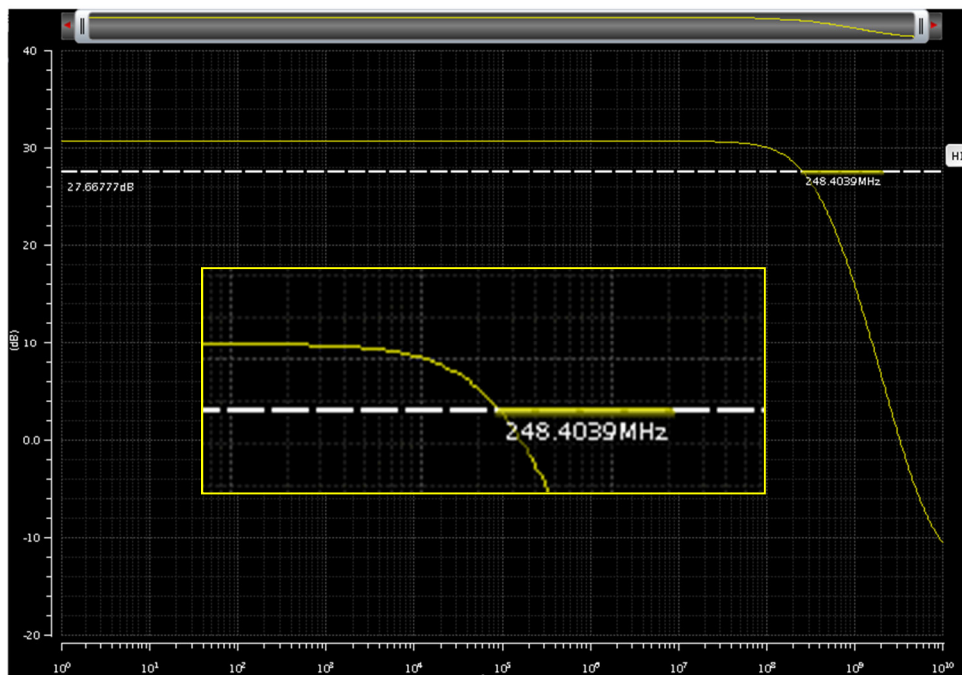


Figure 1 Simulación post-layout

## Comentarios

- Se cumplió con todos los requerimientos del proyecto.
- Aun cuando la potencia es un poco mayor a la del promedio del grupo se decidió esta opción por proporcionar una mayor confiabilidad de fabricación al tener un mayor margen de error en el voltaje de polarización de los espejos de corriente.
- Hay muchas áreas de mejora en el *layout*, pues al momento en el que se realizó no se contemplaron los efectos del *mismatch*. Se utilizó la técnica de interdigitado aun así se planea hacer una segunda versión para dejar el *layout* lo más simétrico y compacto posible utilizando las técnicas vistas en la última parte del curso y la retroalimentación de los profesores. (utilizar pistas anchas para las líneas de alimentación, maximizar el uso de conexiones al sustrato, utilizar elementos unitarios y utilizar inter-digitado)

## Parte 2 – Resumen

El diseño de la segunda etapa se presenta a continuación:

$M1 = M2 = 3.6/4.5 \quad m=2$
$M3 = M4 = 2.7/4.5 \quad m=2$
$MB1 = MB2 = 14.7/4.5 \quad m=2$
$IB = 8.6 \text{ uA}$

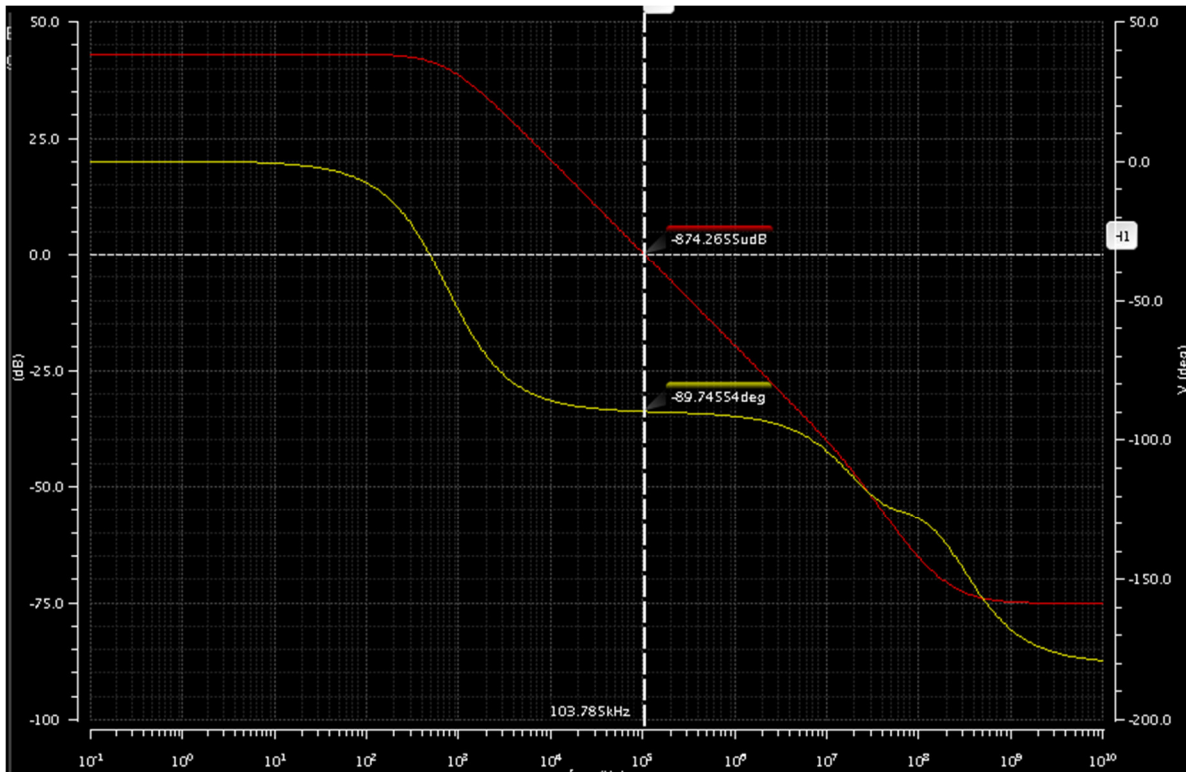


Figure 2 Resultados de la Simulación Post-Layout

## Comentarios

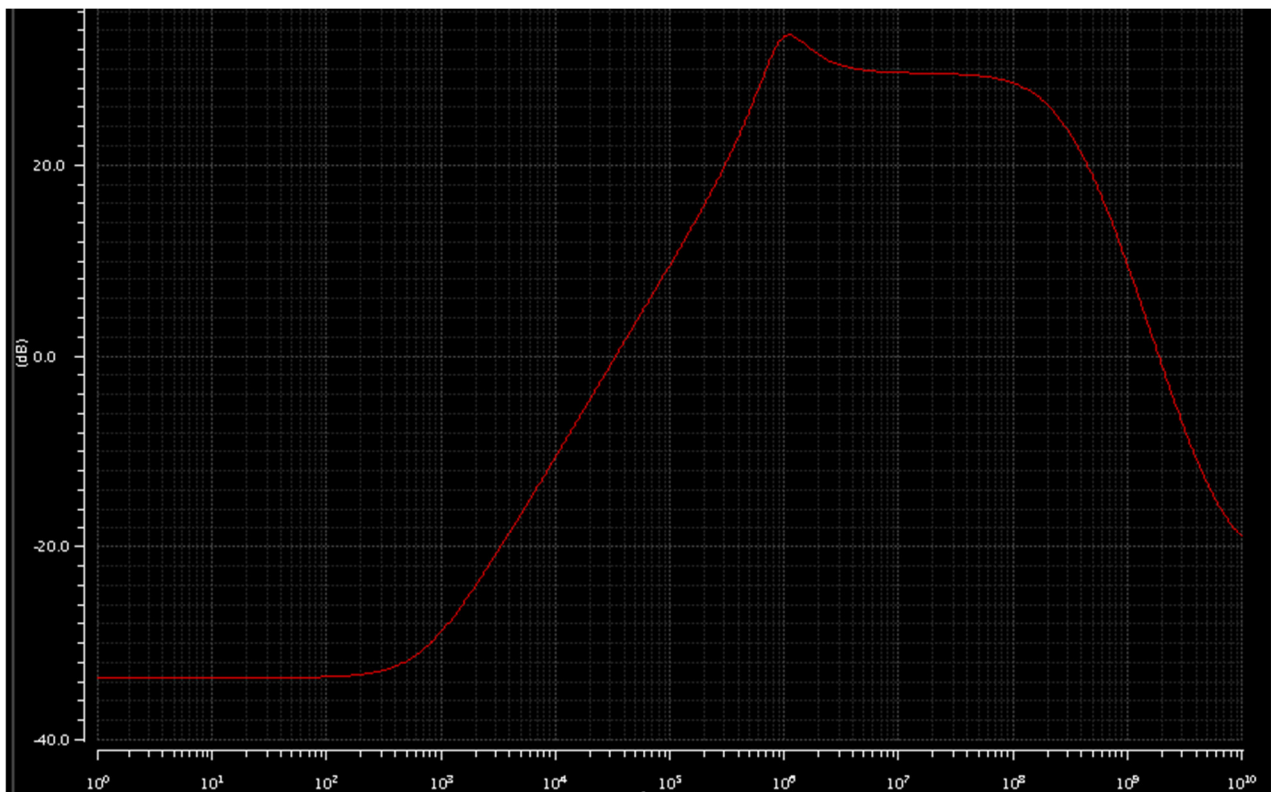
- Se cumplió con todas las especificaciones de esta parte.
- Se mejoro de gran forma el diseño del layout en comparación con la primer parte del proyecto. Aunque se puede mejorar al incrementar en número de conexiones a sustrato.

## Parte 3

El diseño de la tercera etapa se presenta a continuación:

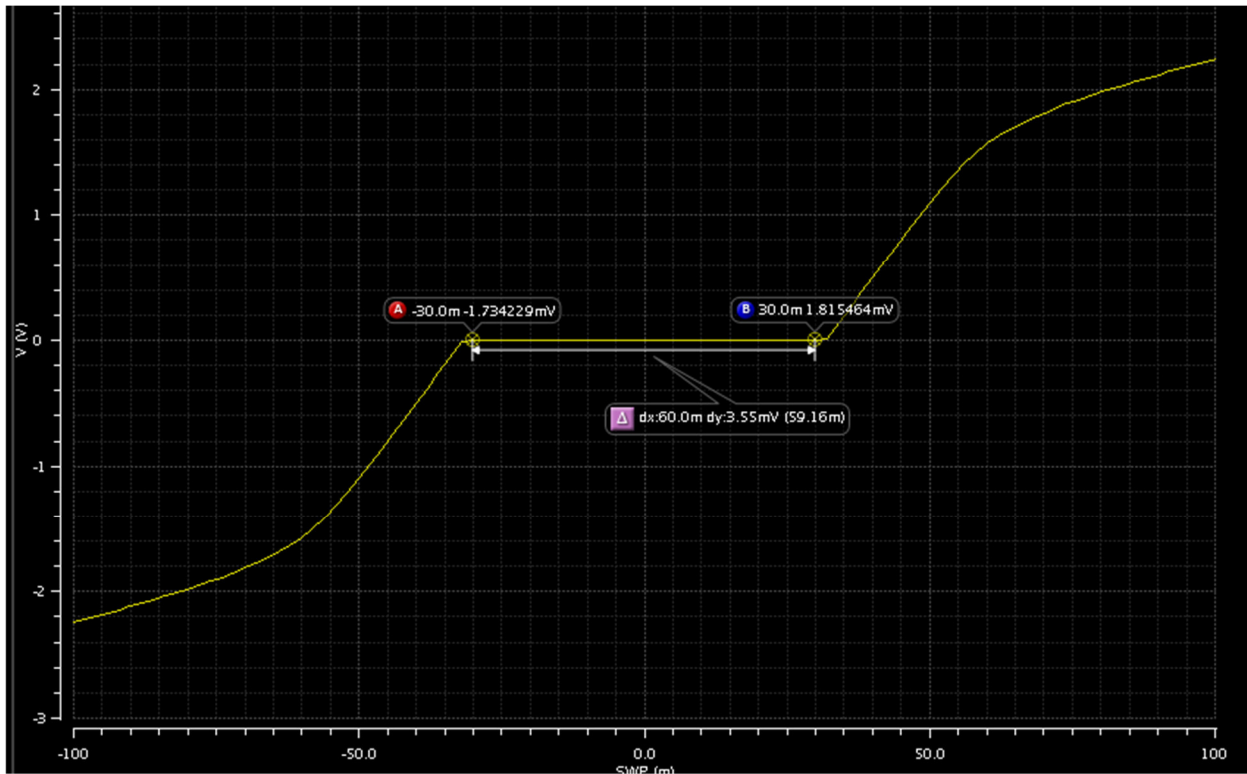
$M1 = M2 = 38.1/1.05 \quad m=2$
$MB3 = 33/1.05 \quad m=2$
$IB = 180 \text{ uA}$

Al cerrar el *loop* se obtiene la siguiente respuesta en frecuencia.



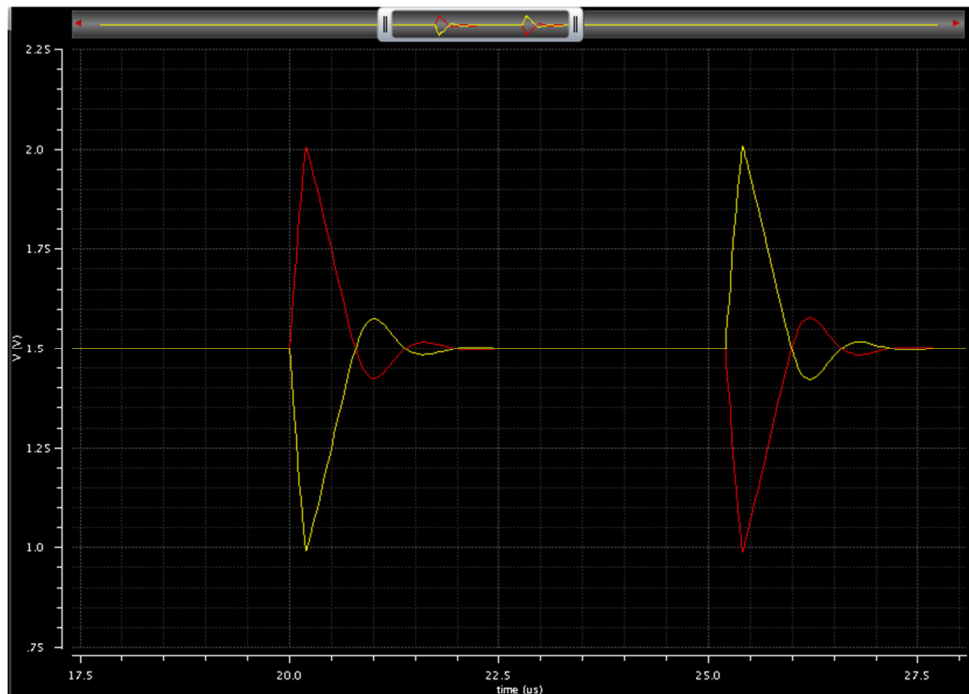
**Figura 2** Respuesta en frecuencia con el lazo cerrado.

Un barrido en el voltaje de entrada muestra que si se cumple con la compensación del offset en el rango de -30 a 30 mV.



**Figura 3** Rango de compensación

Una simulación de la respuesta transitoria cuando se aplica una transición a la entrada de 0 a 10mV y luego de 10mV a -10mV 5us después, muestra que al sistema le toma 1.5us aproximadamente el estabilizarse.



**Figura 4** Respuesta transitoria de OutN y OutP

## Comentarios

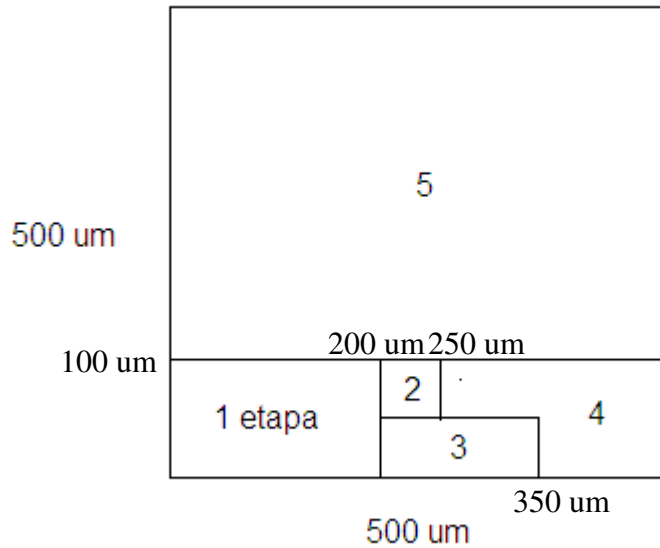
- Se cumplió con todas las especificaciones de esta parte.
- Para esta etapa no se realizó el *layout*, queda pendiente para una futura entrega.

## Acciones Pendientes

- Optimización del diseño y *layout* de la primera etapa.
- Mejora del *layout* de la segunda etapa
- Diseño del *layout* de la tercera etapa
- Diseño del *layout* del filtro pasa bajas
- Diseño del *layout* del capacitor de retroalimentación
- Integración del *layout* de todo el proyecto.



## *Floor Plan*



1. Amplificador principal
2. OTA
3. Comparadores
4. Filtros pasa-bajas
5. Capacitor de Retroalimentación

## **Ventajas del Diseño**

- Se busco un diseño robusto, que además de cumplir con las especificaciones contemplara cierto grado de variaciones sin dejar de cumplir con las especificaciones.
- Se utilizaron técnicas para minimizar *mismatch*, se planea una segunda etapa de optimización utilizando las últimas técnicas aprendidas en la parte final del curso.
- Se optimizo en área al dejar un voltaje más grande para polarizar los espejos de corriente lo que hace que los tamaños de los transistores no sean tan grandes.

**D. CMOS AMPLIFIER WITH SELF-CORRECTION OFFSET FOR  
SERDES APPLICATIONS FOR LATIN-AMERICAS TEST SYMPOSIUM  
(LATS 2015)**

# CMOS Amplifier with Self-correction Offset for SerDes Applications

Rigoberto Bracamontes-Salazar, Esdras Juárez-Hernández and Federico Lobato-López  
Freescale Semiconductor  
Guadalajara, México  
r.bracamontes@freescale.com, esdras@freescale.com,  
flobato@freescale.com

Esteban Martinez-Guerrero  
Department of Electronics Systems and Informatics, ITESO,  
Jesuit University at  
Guadalajara, 45604, Mexico  
margres@iteso.mx

**Abstract**—In Serializer/Deserializer (SerDes) systems usually there is a mismatch between the devices used in the circuitry handling the two complimentary signals and the analog front-end equalizer (AFE) circuit. This introduces an unknown and relatively steady offset voltage into the differential signals, this offset affects the noise margin of the system. A design of self-correction offset amplifier based on a continuous-time closed loop is proposed for minimizing input voltage offset coming from different sources in the range from  $-30$  mV to  $+30$  mV. Simulation results showed offset correction at the amplifier output which allows proper operation in SerDes systems. The amplifier was designed in AMI  $0.5\ \mu\text{m}$  CMOS technology, for  $6$  mW of power consumption and  $3.0$  V supply.

**Keywords**—MOS integrated circuits; analog circuits; differential amplifiers; low-pass filters; circuit simulation; offset correction.

## I. INTRODUCTION

Input-referred offset voltage is one the most important drawbacks of MOS analog circuits that uses differential amplifiers. Serializer/Deserializer (SerDes) system is a typical case that uses differential signals. In an ideal scenario, the circuitry handling the two complimentary signals in a differential pair are perfectly matched, leading to zero offset voltage. In practice, however, there is typically mismatch between the devices used in the circuitry handling the two complimentary signals and the analog front-end equalizer (AFE) circuit. This introduces an unknown and relatively slowly varying offset voltage into the differential signals [1]. Since the offset voltage is generally a slowly varying signal, its frequency content is typically concentrated near DC. In SerDes systems DC offset voltage affects mainly the noise margin parameter.

This work is focused on the design of a self-correction offset amplifier based on a continuous-time closed loop. The main purpose of this offset cancellation scheme is to eliminate or minimize various possible offsets coming from input stages or from differential amplifiers. This results in minimum remaining offset error at the output preserving the full swing voltage across the gain stages and allowing proper operation in a SerDes system.

## II. BACKGROUND

Typically the offset voltage range goes from  $10$  mV to  $30$  mV [2, 3]. Offset voltage can be caused by unbalanced inputs, from preceding stages or by device mismatch in the amplifier itself [4]. Without offset cancellation circuitry, the introduced DC offset might saturate the amplifier output stage which in turn can reduce the amplifier dynamic range and then limits the amplification of the desired signal. This problem is even worse in low-supply applications. Traditional dynamic offset cancellation techniques such as auto-zeroing and others, usually utilize sampling circuit and memory components to sample, store and cancel the offset voltage [2, 5]. The main disadvantages with these methods are that they require a clock signal and a calibration period. A clock signal would cause problems with clock feedthrough and charge injection, which make cancellation inaccurate. On the other hand, the calibration period would reduce the overall speed and prevent the amplifier to operate in a continuous-time way, unless the ping-pong architecture is used [3, 6].

For continuous-time amplifiers main offset cancellation techniques reported in literature are: (1) Chopping [7, 8], (2) Inter-stage and/or input AC coupling high pass filter (HPF) in feedforward path [9, 10], (3) Low pass filter (LPF) [11, 12] or Multi-tap peak detector in feedback path [13], and (4) Feedforward offset cancellation using peak detector [14]. Each technique presents advantages or disadvantages for determined application, for instance, in chopping technique the offset is frequency modulated and removed by a low pass filter, here the filter limits the bandwidth of the amplifier and so this technique is not suitable for high bandwidth applications [15]. Conventional AC coupling technique suffers from area penalty due to large capacitance and resistance requirements to minimize the loss of in-band signal energy. Feedback offset cancellation might not be suitable for high gain amplifiers due to potential stability issues [11, 16] and so on for other techniques.

## III. PROPOSED APPROACH

Fig. 1 presents a block diagram of the self-correction offset amplifier approach. The circuit has two operating modes: a

## I. PROPOSED APPROACH

Fig. 1 presents a block diagram of the self-correction offset amplifier approach. The circuit has two operating modes: a normal mode when it functions as traditional open loop amplifier and an offset adjusting mode in which the system trims its own offset. The operation mode is enabled/disabled by a control logic circuit. The offset compensation loop is composed by a RC passive low pass filter (LPF), an Operational Transconductance Amplifier (OTA) working as a difference amplifier, and a simple differential pair working as a transconductance comparator (TC). The LPF takes the high speed output signals and provides the DC level information from each one. The difference on these levels is generated by the difference amplifier which corresponds to the output offset voltage. This signal is then compared with a reference voltage corresponding to the case of zero offset. The difference on these levels is then converted to current and added to the currents coming from the differential pair from first stage. Since the currents on the differential pair are the voltage to current conversion from the input offset voltage, adding the same current but in opposite direction will produce the correction. Finally, this total current is converted to voltage through the first stage resistors load.

The detailed circuit implementation of the CMOS amplifier is shown in Fig. 2. The two cell amplifiers are simple differential amplifier with resistive load and cascaded to achieve the desired amplifier gain. The output of first amplifier (A1) consisting of M1 and M2 is sent to the second differential amplifier stages (A2) which consists of M3-M4. The amplifier was designed with parameters of AMI 0.5  $\mu\text{m}$  CMOS process, 6 mW of power consumption and 3.0 V of single rail bias. Calculated values of transistor's size to get 32.6 dB of DC gain and 200 MHz of bandwidth are:  $W=18.5 \mu\text{m}$  for M1 and M2 and  $16.2 \mu\text{m}$  for M3 and M4 with  $L = 1.0 \mu\text{m}$  for the four transistors,  $R1 = 2.17 \text{ k}\Omega$  and  $R2 = 5.65 \text{ k}\Omega$ . The comparator is implemented with a differential pair (M7 to M10) (Fig. 3). The low pas filter to generate currents for the comparator block is a simple RC filter with cutoff frequency near of 3 MHz which leads to  $R3 = 50 \text{ k}\Omega$ , and  $C1 = 1\text{pF}$ . The whole detailed circuit is shown in Fig. 3. Main contribution of DC offset voltage in the gain stage becomes from differential pair and current mirror, then the DC offset voltage ( $V_{os}$ ) is determined by adding both contributions. The expected theoretical offset from differential pairs is less than 10 mV, and then assuming the main contribution to the input offset is due to the external input signals.

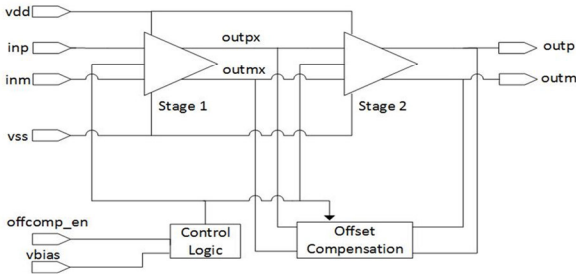


Fig. 1: Block diagram of self-correction offset CMOS amplifier.

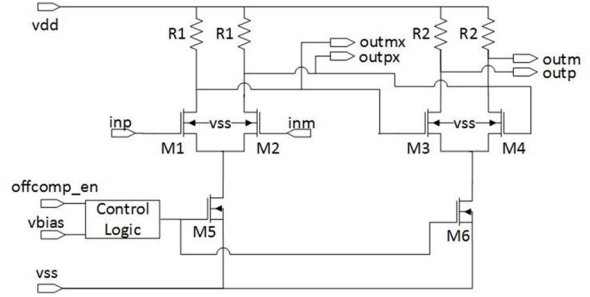


Fig. 2: Schematic of CMOS amplifier.

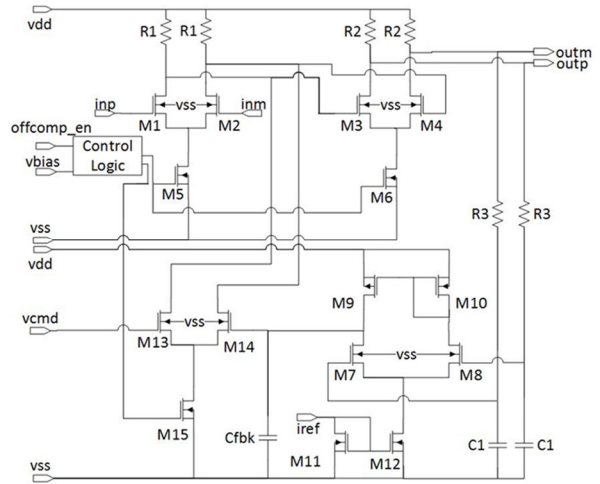


Fig. 3: Detailed schematic of self-correction offset CMOS amplifier.

## II. SIMULATION RESULTS AND DISCUSSION

AC sweep simulations were performed using Cadence® Virtuoso® in order to verify the frequency performance of the amplifier with and without offset correction enabled (Fig. 4). It is clear from Fig. 4 that the amplifier has 32 dB of DC gain and 200 MHz of bandwidth (see solid line in Fig. 4). When the offset corrector loop is disabled, the amplifier response is the traditional low pass type generated by the two DC coupled amplifier stages. On the other hand, when the offset corrector loop is enabled, a low frequency pole is generated by the feedback OTA, this leads to pass-band type frequency response, where it can be appreciated that all the DC and low frequency input components are removed but the high frequency response of the amplifier is preserved.

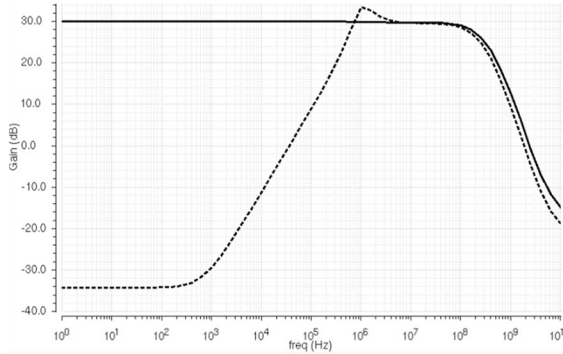


Fig. 4: Simulated AC responses of the amplifier with proposed offset cancellation (open loop DC gain solid line, closed loop DC gain dotted line).

In order to verify the offset correction range, a DC sweep in voltage was performed (Fig. 5). As can be noticed on Fig. 5, the offset correction range is from -30 mV to +30 mV (see solid line).

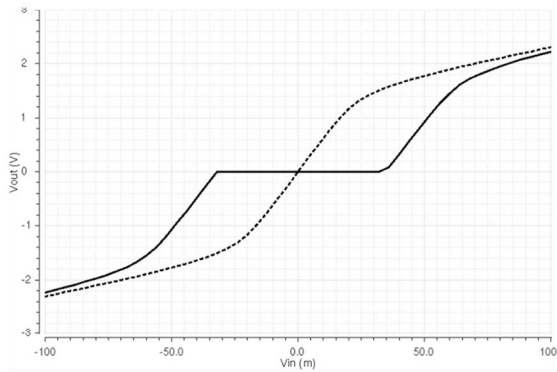


Fig. 5: Offset correction range

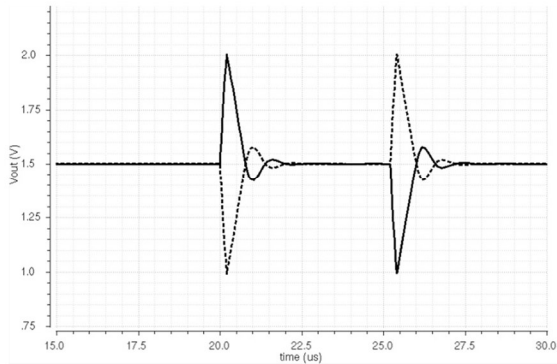


Fig. 6: Transient response of amplifier (outp: solid line, outn: dotted line), showing offset correction in 1.5us.

TABLE I. OFFSET CORRECTION CIRCUIT COMPARISON.

	this work	[15]	[18]	[19]
Process ( $\mu\text{m}$ )	0.5	0.35	0.35	0.5
Power dissipation (mW)	6	3	0.6	--
DC Gain (dB)	32.6	100	--	112
Offset correction range (mV)	$\pm 30$	--	--	--
Offset voltage (mV)	--	--	1.898	3.94
Unity Gain Frequency (MHz)	2000	6	10	0.187

To verify the transient response, the amplifier was tested for an input signal ranging from 0 to 10 mV and 10 mV to -10mV (Fig. 6).that emulates input offset coming from preceding stages. As it is observed on Fig. 6, the natural response of amplifier disappear over 1.5  $\mu\text{s}$  which demonstrates the offset cancellation. After this time the output data pattern is valid and the correct operation of the SerDes system is suitable.

Table1 shows a comparison between present work and two other state of the art designs which are reported in [15, 18, 19]. The low offset and low power characteristics make this design very attractive for use in certain SerDes applications.

## V. CONCLUSIONS

A design of CMOS amplifier with self-correction offset was presented. This work was developed in the frame of the IC design university program at ITESO, using the 0.5um process from MOSIS under grant number "MEP instructional 4671". Simulations results shows 32.6dB DC gain and 200MHz of bandwidth, capability to correct disturbances in input signals in the range of -30 mV to +30m V and a settling time of 1.5  $\mu\text{s}$  in response to a 10 mV step. These results enable the correct operation in the SerDes system even under the presence of external input offset. This design includes the analysis of a couple of PVT corners which are not reported in this work. Continuing with the university design program, future work will improve the settling time and will include simulations considering parasitic effects, 27 PVT corners, mismatch analysis and silicon measurements.

## REFERENCES

- [1] Kotagiri et al., "Adaptive cancellation of voltage offset in a communication system", USpatent-20140169440, Jun. 19, 2014.
- [2] Ahmad Baghai Dowlatabadi and J. Alvin Connelly, "A New Offset Cancellation Technique for CMOS Differential Amplifiers", IEEE Symposium on Circuits and Systems, Part, vol.3, pp.2229 – 2232, 1995.
- [3] Chong-Gun Yu, and Randall L. Geiger, "An automatic offset Compensation Scheme with Ping-Pong Control for CMOS Operational Amplifiers", IEEE Journal of Solid-State Circuits, Vol. 29, pp 601 – 610, 1994.
- [4] Marcel J. M. Pelgrom, et al., "A 25-MS/s 8-bit CMOS A/D converter for embedded application," IEEE J. Solid-State Ciucuits, vol. 29. no. 8, pp. 879 – 86, Aug. 1994.

- [1] James H. Atherton and H. Thomas Simmonds, "An Offset Reduction Technique for Use with CMOS Integrated Comparators and Amplifiers", *IEEE Journal of Solid-State Circuits*, Vol. 27, No. 8, pp 1168 – 1175, Aug. 1992.
- [2] Michiel A. P. Pertijs and Wilko J. Kindt, "A 140 dB-CMRR Current-Feedback Instrumentation Amplifier Employing Ping-Pong Auto-Zeroing and Chopping," *IEEE Journal of Solid-State Circuits*, Vol. 45, No. 10, pp. 2044 – 2056, Oct., 2010.
- [3] Anton Bakker, Kevin Thiele, and Johan H. Huijsing, "A CMOS Nested-Chopper Instrumentation Amplifier with 100-nV Offset," *IEEE Journal of Solid-State Circuits*, Vol. 35, No. 12, pp. 1877 – 1883, Dec., 2000.
- [4] C. Menolfi, and Q. Huang, "A Fully Integrated CMOS Instrumentation Amplifier with Submicrovolt Offset," *IEEE Journal of Solid-State Circuits*, Vol. 34, No. 3, pp. 415 – 420, 1999.
- [5] C. Lyden, et al., "Low power, low noise amplifier system," U.S. Patent US 20 080 115 522A1, May 7, 2009.
- [6] E. Rostami et al, "DC offset cancellation circuits and methods," U.S. Patent US 20 090 093 228A1, Apr. 9, 2009.
- [7] Sherif Galal, and B. Razavi, "10-Gb/s limiting amplifier and laser/modulator driver in 0.18  $\mu\text{m}$  CMOS technology," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2138 – 2146, 2003.
- [8] Y. Wang, B. Afshar, et al., "A 2.5 mW inductorless wideband VGA with dual feedback DC-Offset correction in 90 nm CMOS technology," in *IEEE Int. Symp. on Radio Frequency Integrated Circuits*, pp. 91 – 94, Atlanta, Georgia, Jun. 2008.
- [9] Ethan Crain, and Michael Perrott, "A 3.125 Gb/s limit amplifier in CMOS with 42 dB gain and 1  $\mu\text{s}$  offset compensation," *IEEE J. Solid-State Circuits*, vol. 41, no. 2, pp. 443 – 451, 2006.
- [10] Makoto Nakamura, Yuki Imai, Yohtaro Umeda, Jun Endo, and Yuji Akatsu, "1.25-Gb/s burst-mode receiver ICs with quick response for PON systems," *IEEE J. Solid-State Circuits*, vol. 40, no. 12, pp. 2680 – 2688, 2005.
- [11] Abouzar Taghizadeh, Ziaddin Daie Koozehkanani, and Jafar Sobhi, "A Modified Approach for CMOS Auto-Zeroed offset stabilized opamp", *Circuits and Systems*, no. 4, 193 – 201, 2013.
- [12] Duy-Dong Pham, James Brinkhoff, Kai Kang, Chyuen-Wei Ang, and Fujiang Lin, "Feedforward Technique for Offset Cancellation in Broadband Differential Amplifiers", *Proceedings of the 2009 12th International Symposium on Integrated Circuits, ISIC '09*, pp 429 – 432, Singapore, 14 – 16 Dec., 2009.
- [13] Juan Pablo Martinez Brito, and Sergio Bampi, "A DC offset and CMRR analysis in a CMOS 0.35  $\mu\text{m}$  operational transconductance amplifier using Pelgrom's area/accuracy tradeoff", *Microelectronics Journal*, pp 1 – 12, 2008.
- [14] Chih-Wen Lu, "An Offset Cancellation Technique for Two-Stage CMOS Operational Amplifiers", *IEEE International Conference on Integrated Circuit Design and Technology, 2007 (ICICDT07)*, May 30, 2007-June 1, 2007, Austin, TX, pp. 1 – 3, 2007.
- [15] Pablo Pérez-Nicoli, Francisco Veirano, Conrado Rossi-Aicardi, and Pablo Aguirre, "Design Method for an Ultra Low Power, Low Offset, Symmetric OTA", 2013 7th School of Micro-Nanoelectronics, Technology and Applications (EAMTA2013), Aug. 15- 16, 2013, Buenos Aires, Argentine pp. 38 – 43, 2013.

**E. DISEÑO DE FILTRO OTA-C PASA BAJAS CON SINTONIZACIÓN AUTOMÁTICA ASISTIDA POR PLL**



**ITESO**

Universidad Jesuita  
de Guadalajara

# **Diseño Avanzado de Circuitos Integrados Avanzados**

M.C. Esdras Juárez Hernández

**FILTRO PASA-BAJAS ACTIVO CMOS OTA-C CON SINTONIZACIÓN  
AUTOMÁTICA ASISTIDA POR UN PLL INTEGRADO PARA  
RECEPTORES MULTI-ESTÁNDAR.**

Rigoberto Bracamontes Salazar

MD6090846



## Contenido

<b>OBJETIVO .....</b>	<b>94</b>
<b>MARCO TEORICO .....</b>	<b>95</b>
DETERMINANDO EL ORDEN DEL FILTRO.....	95
<b>!UNEXPECTED END OF FORMULA</b>	
Diseño 101	
Simulación .....	104
<b>FILTROS OTA-C .....</b>	<b>107</b>
DISENO.....	<b>Error! Bookmark not defined.</b>
SIMULACION .....	112
<b>CONTROLANDO LA FRECUENCIA DE CORTE CON TRASCONDUCTANCIA.....</b>	<b>113</b>
<b>DISENO DE REFERENCIA .....</b>	<b>116</b>
<b>DISENO PRE-LAYOUT.....</b>	<b>139</b>
<b>SIMULACIONES .....</b>	<b>146</b>
<b>CONCLUSIONES.....</b>	<b>150</b>
<b>REFERENCIAS.....</b>	<b>151</b>

# OBJETIVO

Diseñar un filtro pasa-bajas activo CMOS OTA-C con sintonización automática asistida por un PLL integrado para receptores multi-estándar. En este documento se describe el diseño del filtro, el diseño del PLL y la integración forman parte de un trabajo futuro.

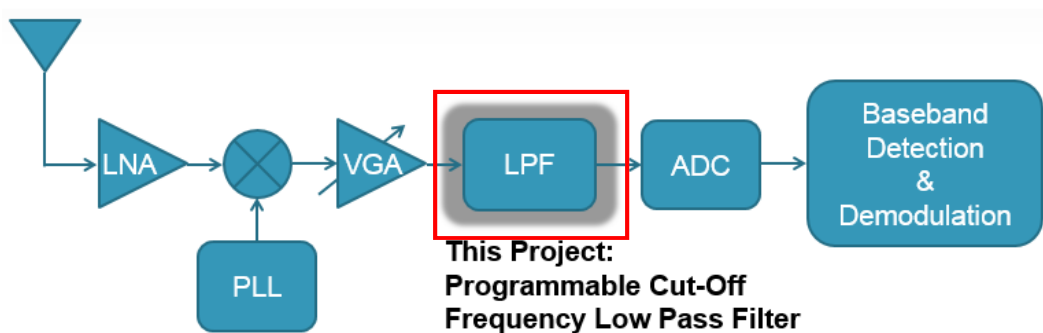


Figura 1 Diagrama a bloques de un receptor de conversión directa.

El filtro deberá ser programable y deberá contar con cuatro frecuencias de corte especificadas en la siguiente tabla.

$f_c$ (Hz)	$f_s$ (Hz)	$A_c$ (dB)	$A_s$ (dB)
1.0E+6	2.5E+6	3	23
2.5E+6	10.0E+6	3	36
4.0E+6	8.0E+6	3	18
10.0E+6	15.0E+6	3	10

Figura 2 Especificaciones del Filtro.

Además, el filtro deberá aceptar una entrada sinusoidal y diferencial de 200mV de pico a pico.

# MARCO TEORICO

A continuación, se describen algunos conceptos teóricos y ejercicios prácticos que ayudaron al alumno al diseño del filtro.

## Determinando el orden del Filtro

Partiendo de las especificaciones dadas para el filtro, un paso importante en la etapa de diseño es determinar el orden del filtro requerido para satisfacer dichos requerimientos. A continuación, se muestran algunos ejercicios que muestran la forma de hacerlo.

a)

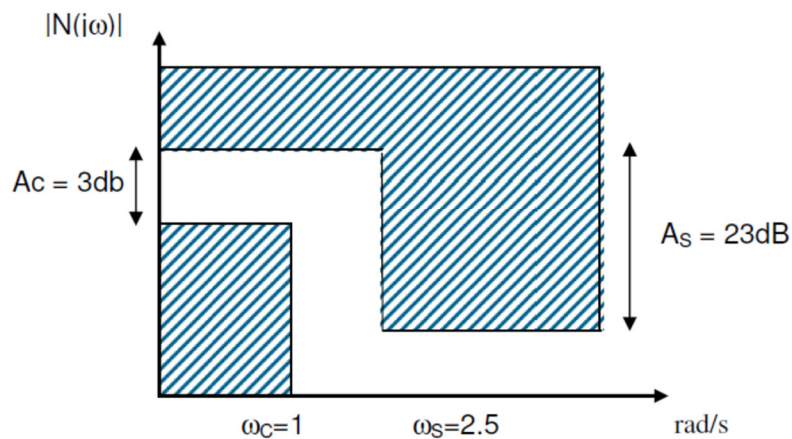


Figura 3 Filtro normalizado pasa bajas.

El orden del filtro se determina usando la siguiente expresión.

$$n = \frac{\log_{10} \sqrt{\left(\frac{10^{A_s/10} - 1}{10^{A_c/10} - 1}\right)}}{\log_{10}(\omega_s)} = \frac{\log_{10} \sqrt{\left(\frac{10^{23/10} - 1}{10^{3/10} - 1}\right)}}{\log_{10}(2.5)} = 2.8897$$

$n = 3$

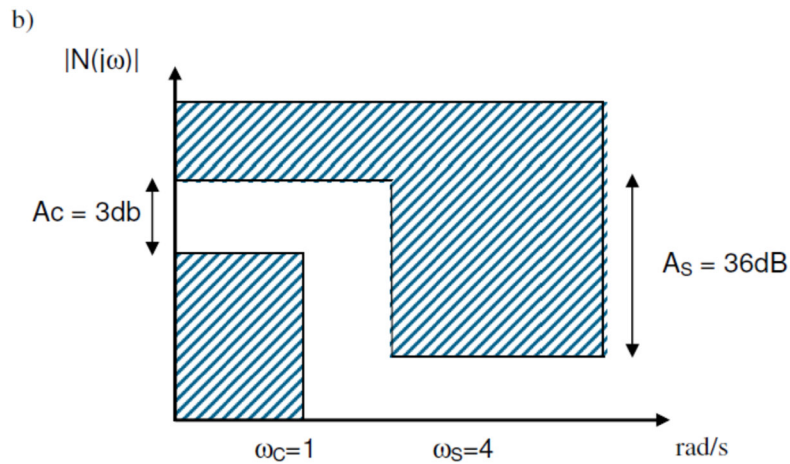


Figura 4 Filtro normalizado pasa bajas.

El orden del filtro se determina usando la siguiente expresión.

$$n = \frac{\log_{10} \sqrt{\left( \frac{10^{A_s/10} - 1}{10^{A_c/10} - 1} \right)}}{\log_{10}(\omega_s)} = \frac{\log_{10} \sqrt{\left( \frac{10^{36/10} - 1}{10^{3/10} - 1} \right)}}{\log_{10}(4)} = 2.9914$$

$n = 3$

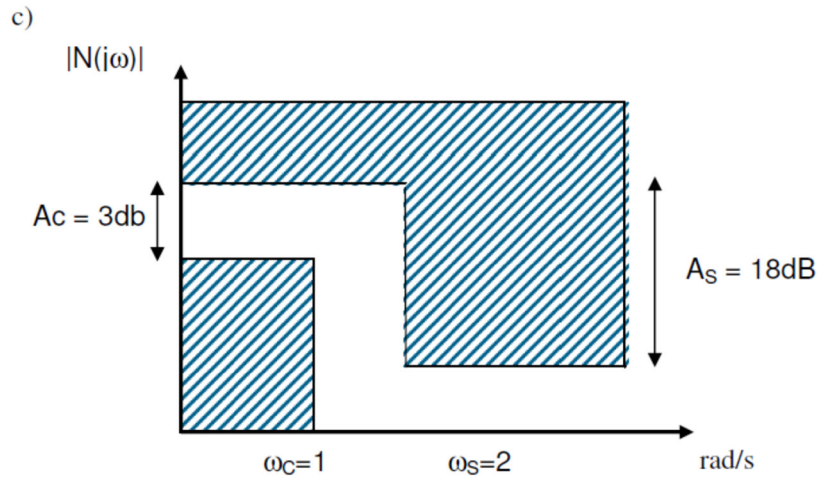


Figura 5 Filtro normalizado pasa bajas.

El orden del filtro se determina usando la siguiente expresión.

$$n = \frac{\log_{10} \sqrt{\left( \frac{10^{A_s/10} - 1}{10^{A_c/10} - 1} \right)}}{\log_{10}(\omega_s)} = \frac{\log_{10} \sqrt{\left( \frac{10^{18/10} - 1}{10^{3/10} - 1} \right)}}{\log_{10}(2)} = 2.9816$$

$n = 3$

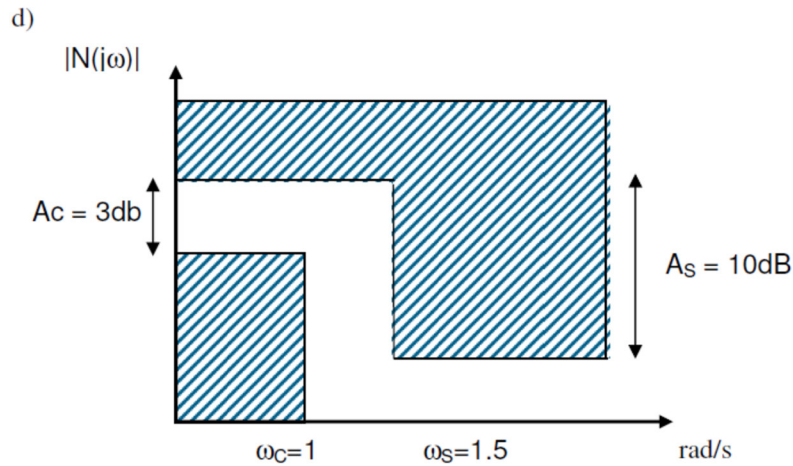


Figura 6 Filtro normalizado pasa bajas.

El orden del filtro se determina usando la siguiente expresión.

$$n = \frac{\log_{10} \sqrt{\left(\frac{10^{A_s/10} - 1}{10^{A_c/10} - 1}\right)}}{\log_{10}(\omega_s)} = \frac{\log_{10} \sqrt{\left(\frac{10^{18/10} - 1}{10^{3/10} - 1}\right)}}{\log_{10}(2)} = 2.7154$$

$n = 3$

Los ejemplos anteriores aplican para respuestas normalizadas. A continuación, se deduce una expresión para obtener el orden de un filtro no normalizado.

$$n = \frac{\log(M)}{\log(\Omega)} = \frac{\ln(M)}{\ln(\Omega)} \text{ donde: } \Omega = \frac{\omega_s}{\omega_c} = \frac{f_s}{f_c} \text{ y } M = \sqrt{\frac{10^{0.1A_s} - 1}{10^{0.1A_c} - 1}}$$

Partiendo de las expresiones vistas en clase:

$$\begin{aligned} |N(j0)| &= A_0, & |N(j0)|^2 &= A_0^2 \\ |N(j\omega_s)| &= \frac{A_0}{\sqrt{1 + \varepsilon^2 \omega_s^{2n}}}, & |N(j\omega_s)|^2 &= \frac{A_0^2}{1 + \varepsilon^2 \omega_s^{2n}} \\ |N(j\omega_c)| &= \frac{A_0}{\sqrt{1 + \varepsilon^2 \omega_c^{2n}}}, & |N(j\omega_c)|^2 &= \frac{A_0^2}{1 + \varepsilon^2 \omega_c^{2n}} \end{aligned}$$

Se siguen los mismos pasos vistos en clases.

$$\frac{|N(j0)|}{|N(j\omega_c)|} = \sqrt{1 + \varepsilon^2 \omega_c^{2n}}$$

$$\frac{|N(j0)|}{|N(j\omega_s)|} = \sqrt{1 + \varepsilon^2 \omega_s^{2n}}$$

$$20 * \log_{10} \frac{|N(j0)|}{|N(j\omega_c)|} = 20 * \log_{10} \sqrt{1 + \varepsilon^2 \omega_c^{2n}} = A_c$$

$$20 * \log_{10} \frac{|N(j0)|}{|N(j\omega_s)|} = 20 * \log_{10} \sqrt{1 + \varepsilon^2 \omega_s^{2n}} = A_s$$

Se despeja  $\varepsilon^2$  de la primera expresión y se sustituye en la segunda.

$$\varepsilon^2 = \frac{10^{A_c/10} - 1}{\omega_c^{2n}}$$

$$\omega_s^{2n} = \frac{10^{A_c/10} - 1}{\varepsilon^2}$$

Finalmente se despeja n:

$$\frac{\omega_s^{2n}}{\omega_c^{2n}} = \frac{10^{A_s/10} - 1}{10^{A_c/10} - 1}$$

$$\log_{10} \left( \frac{\omega_s}{\omega_c} \right)^{2n} = \log_{10} \left( \frac{10^{A_s/10} - 1}{10^{A_c/10} - 1} \right)$$

$$n = \frac{\frac{1}{2} * \log_{10} \left( \frac{10^{A_s/10} - 1}{10^{A_c/10} - 1} \right)}{\log_{10} \left( \frac{\omega_s}{\omega_c} \right)}$$

$$n = \frac{\log_{10} \sqrt{\left( \frac{10^{A_s/10} - 1}{10^{A_c/10} - 1} \right)}}{\log_{10} \left( \frac{\omega_s}{\omega_c} \right)}$$

Ahora usando esta expresión podemos obtener el orden del filtro en base a las especificaciones del diseño.

a) Filtro con frecuencia de corte a 1MHz

$$n = \frac{\log_{10} \sqrt{\left( \frac{10^{A_s/10} - 1}{10^{A_c/10} - 1} \right)}}{\log_{10} \left( \frac{\omega_s}{\omega_c} \right)} = \frac{\log_{10} \sqrt{\left( \frac{10^{23/10} - 1}{10^{3/10} - 1} \right)}}{\log_{10}(2.5/1)} = 2.8897$$

$$n = 3$$

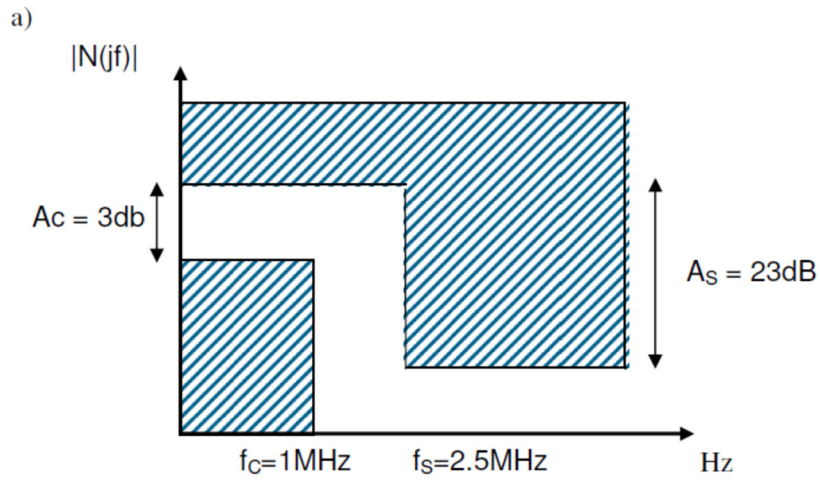


Figura 7 Filtro Pasa Bajas

b) Filtro con frecuencia de corte a 2.5MHz.

$$n = \frac{\log_{10} \sqrt{\left( \frac{10^{A_s/10} - 1}{10^{A_c/10} - 1} \right)}}{\log_{10} \left( \frac{\omega_s}{\omega_c} \right)} = \frac{\log_{10} \sqrt{\left( \frac{10^{36/10} - 1}{10^{3/10} - 1} \right)}}{\log_{10}(2.5/10)} = 2.9914$$

$n = 3$

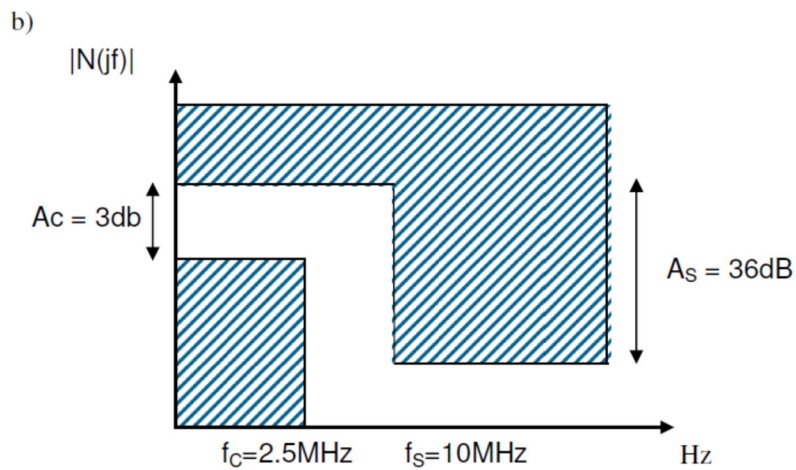


Figura 8 Filtro Pasa Bajas

c) Filtro con frecuencia de corte a 4MHz

$$n = \frac{\log_{10} \sqrt{\left(\frac{10^{As/10} - 1}{10^{Ac/10} - 1}\right)}}{\log_{10} \left(\frac{\omega S}{\omega C}\right)} = \frac{\log_{10} \sqrt{\left(\frac{10^{36/10} - 1}{10^{3/10} - 1}\right)}}{\log_{10}(2.5/10)} = 2.9816$$

$n = 3$

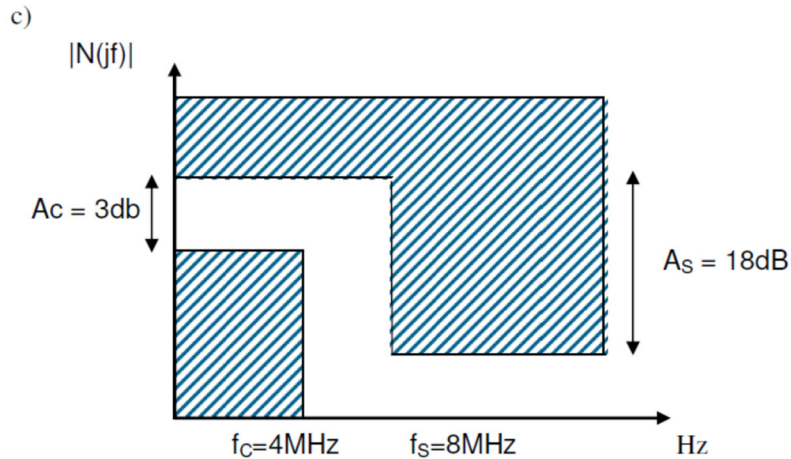


Figura 9 Filtro Pasa Bajas

d) Filtro con frecuencia de corte a 10MHz.

$$n = \frac{\log_{10} \sqrt{\left(\frac{10^{As/10} - 1}{10^{Ac/10} - 1}\right)}}{\log_{10} \left(\frac{\omega S}{\omega C}\right)} = \frac{\log_{10} \sqrt{\left(\frac{10^{10/10} - 1}{10^{3/10} - 1}\right)}}{\log_{10}(15/10)} = 2.7154$$

$n = 3$

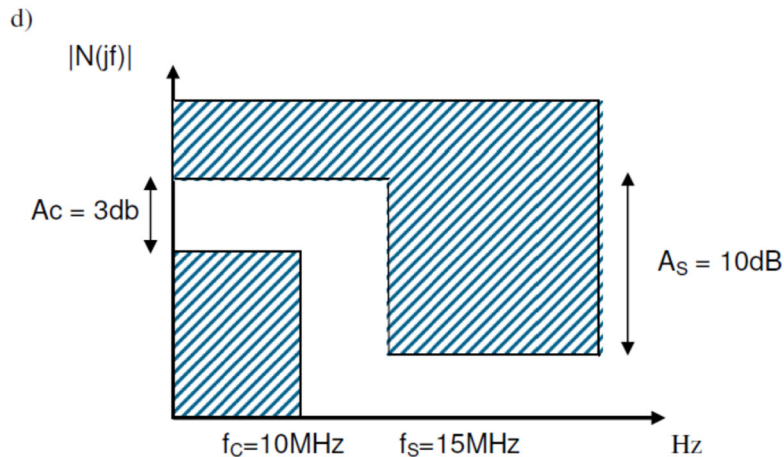


Figura 10 Filtro Pasa Bajas



Con esta información se puede seguir a diseñar un filtro pasivo de referencia que cumpla con las características dadas.

## FILTROS PASIVOS

A continuación, se presentan el diseño de filtros pasivos que cumplan con las especificaciones establecidas.

### Diseño

**Fc = 2.5MHz**

a)

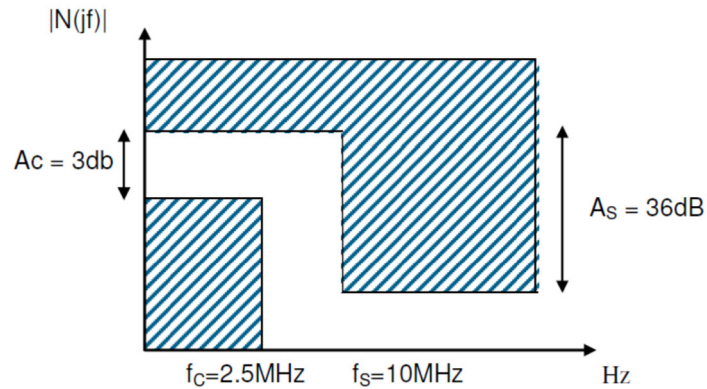


Figura 11 Filtro Pasa Bajas

Una vez determinado el valor de  $n$ , podemos pasar directamente a la normalización en frecuencia de los componentes del filtro tomando como base la implementación normalizada del filtro de tercer orden.

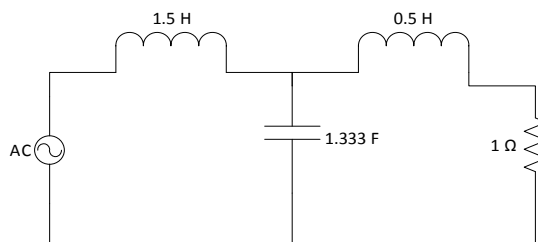


Figura 12 Filtro Pasa Bajas pasivo

$$\Omega_n = \frac{\omega_D}{\omega_n} = \frac{2\pi * (2.5M)}{1} = 1.57079 \times 10^7$$

$$L_{1D} = \frac{L_{1n}}{\Omega_n} = \frac{1.5 H}{1.57079 \times 10^7} = 9.5493 \times 10^{-8}$$

$$C_{1D} = \frac{C_{1n}}{\Omega_n} = \frac{1.333 H}{1.57079 \times 10^7} = 8.4882 \times 10^{-8}$$

$$L_{2D} = \frac{L_{2n}}{\Omega_n} = \frac{0.5 H}{1.57079 \times 10^7} = 3.1831 \times 10^{-8}$$

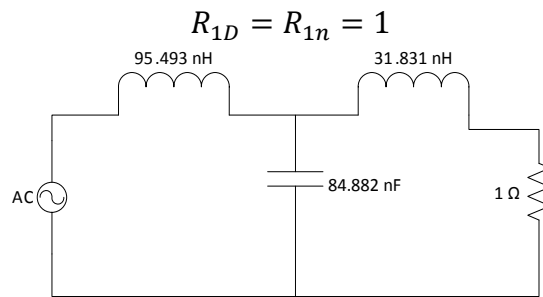


Figura 13 Filtro Pasa Bajas pasivo

**Fc = 4MHz**

b)

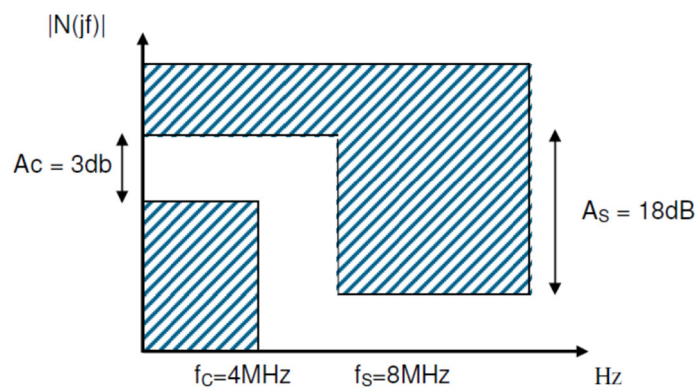


Figura 14 Filtro Pasa Bajas

Se siguen los mismos pasos que en el paso anterior.

$$\Omega_n = \frac{\omega_D}{\omega_n} = \frac{2\pi * (4M)}{1} = 2.51327 \times 10^7$$

$$L_{1D} = \frac{L_{1n}}{\Omega_n} = \frac{1.5 H}{2.51327 \times 10^7} = 5.96832 \times 10^{-8}$$

$$C_{1D} = \frac{C_{1n}}{\Omega_n} = \frac{1.333 H}{2.51327 \times 10^7} = 5.30516 \times 10^{-8}$$

$$L_{2D} = \frac{L_{2n}}{\Omega_n} = \frac{0.5 H}{2.51327 \times 10^7} = 1.98944 \times 10^{-8}$$

$$R_{1D} = R_{1n} = 1$$

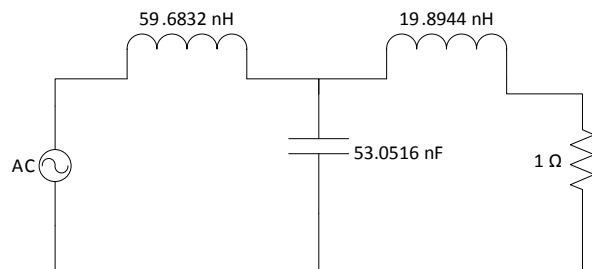


Figura 15 Filtro Pasa Bajas Pasivo

**Fc = 10MHz**

c)

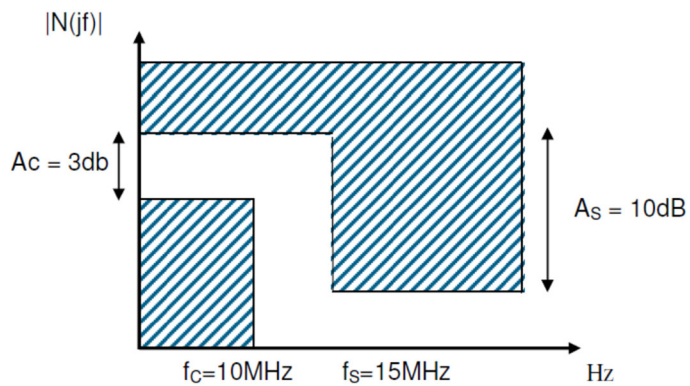


Figura 16 Filtro Pasa Baja

Se siguen los mismos pasos que en el ejercicio anterior.

$$\Omega_n = \frac{\omega_D}{\omega_n} = \frac{2\pi * (10M)}{1} = 6.28318 \times 10^7$$

$$L_{1D} = \frac{L_{1n}}{\Omega_n} = \frac{1.5 H}{6.28318 \times 10^7} = 2.38732 \times 10^{-8}$$

$$C_{1D} = \frac{C_{1n}}{\Omega_n} = \frac{1.333 H}{6.28318 \times 10^7} = 2.12206 \times 10^{-8}$$

$$L_{2D} = \frac{L_{2n}}{\Omega_n} = \frac{0.5 H}{6.28318 \times 10^7} = 7.95775 \times 10^{-9}$$

$$R_{1D} = R_{1n} = 1$$

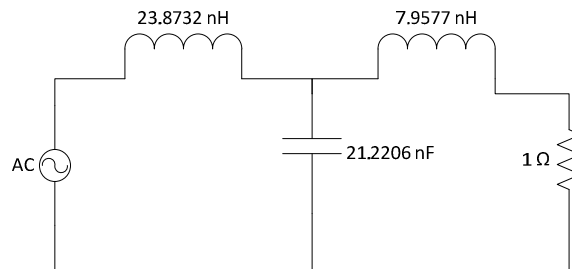


Figura 17 Filtro Pasa Bajas Pasivo

## Simulación

### Inciso a 2.5MHz

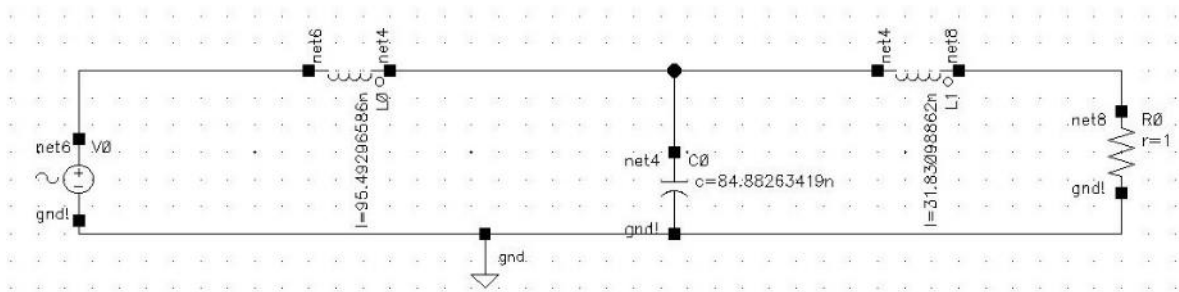


Figura 18 Circuito del filtro

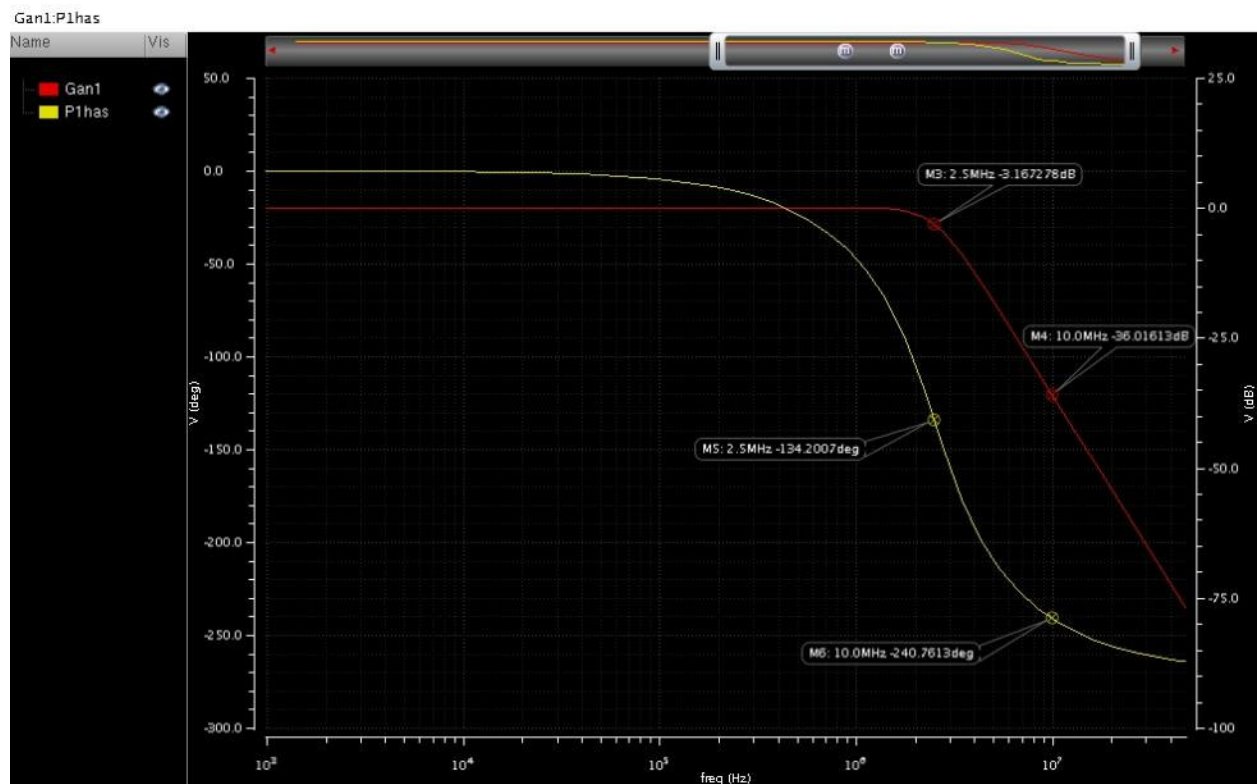


Figura 19 Simulación

### Inciso b 4MHz

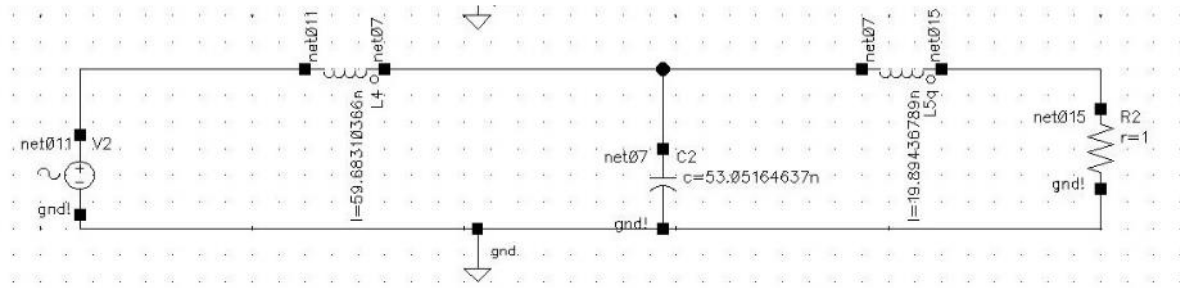


Figura 20 Circuito del Filtro

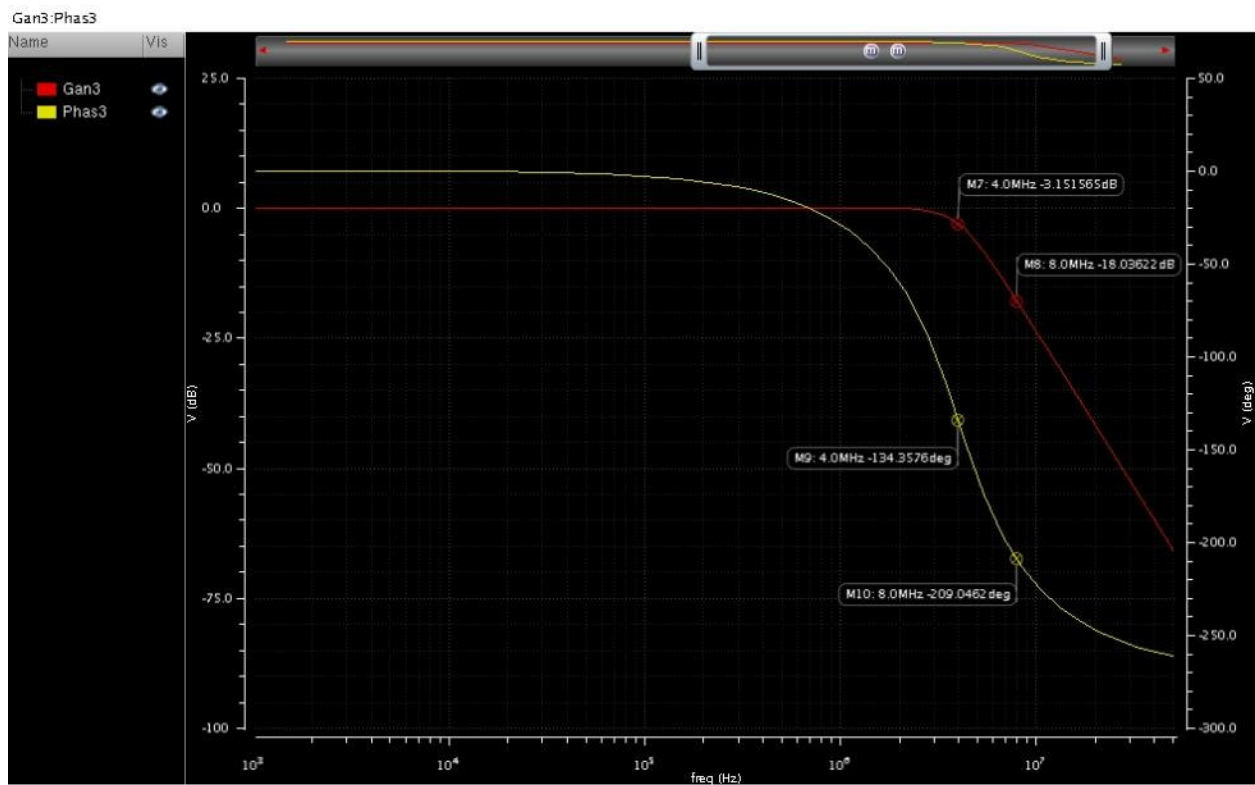


Figura 21 Simulación

Inciso c 10MHz

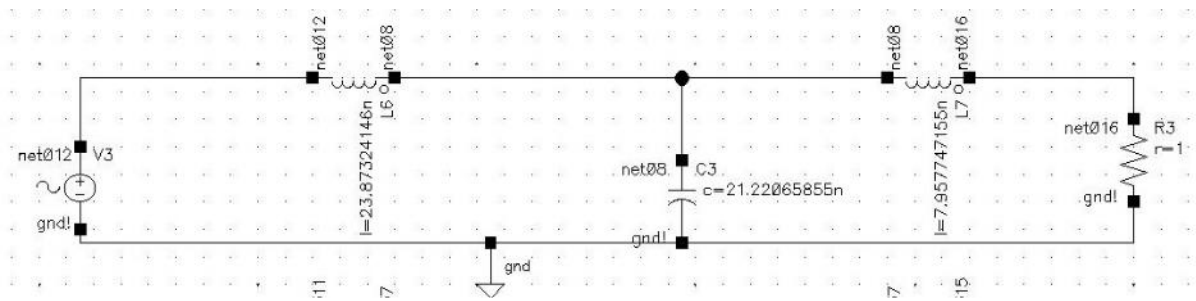


Figura 22 Circuito del Filtro

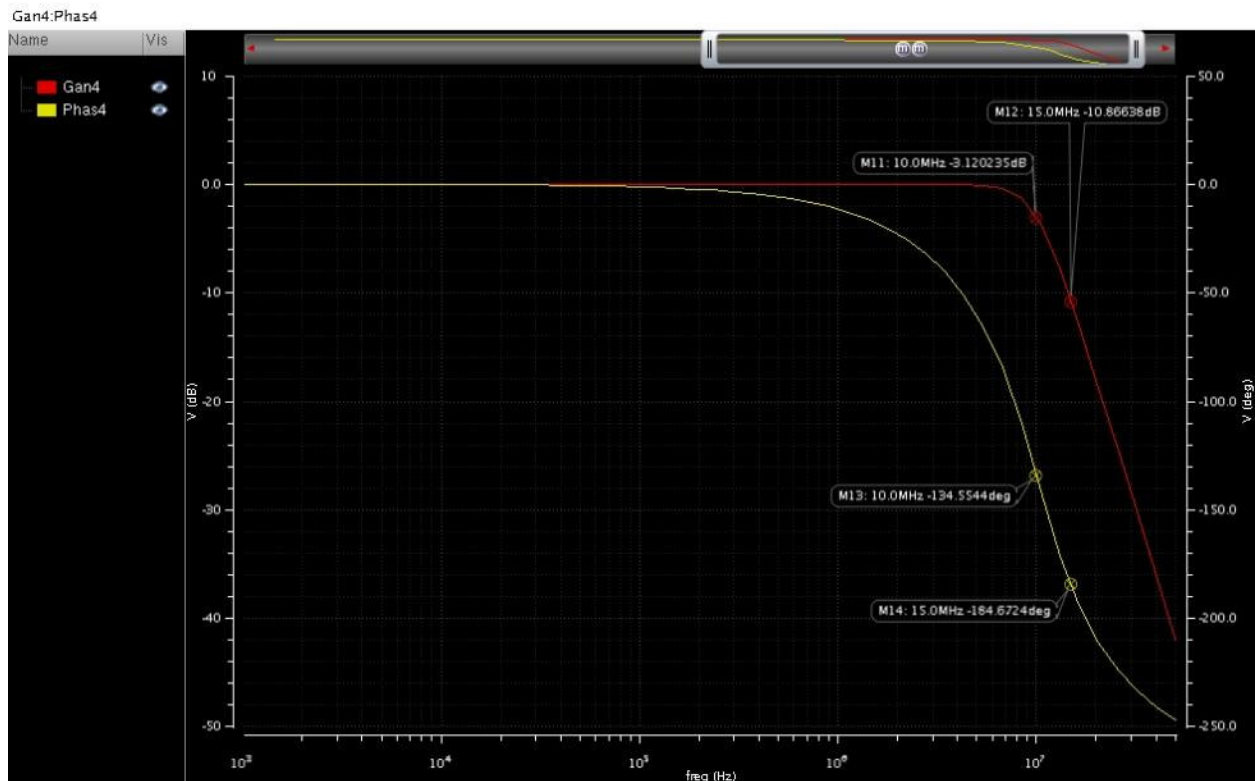


Figura 23 Simulación

## FILTROS OTA-C

El diseño de este tipo de filtros parte de los filtros pasivos, donde se puede obtener las ecuaciones de sus variables de estado y en base a ellas obtener sus SFG (*Signal Flow Graph*), y posteriormente convertir estos diagramas en una implementación con OTA's. A continuación, se muestra el proceso paso a paso.

## DISEÑO

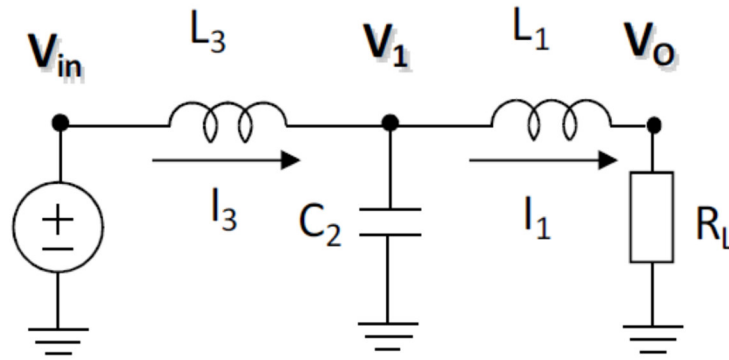


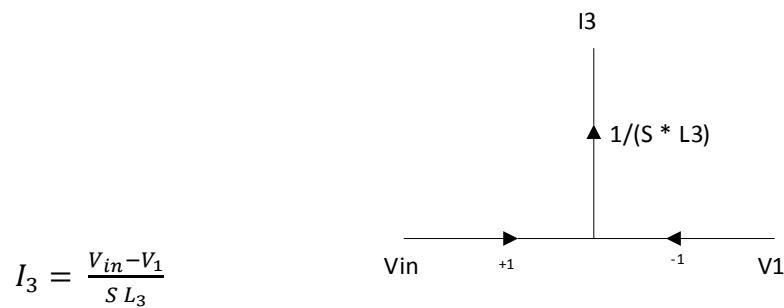
Figura 24 Filtro Pasivo

- Determine las ecuaciones del circuito en función de sus variables de estado.

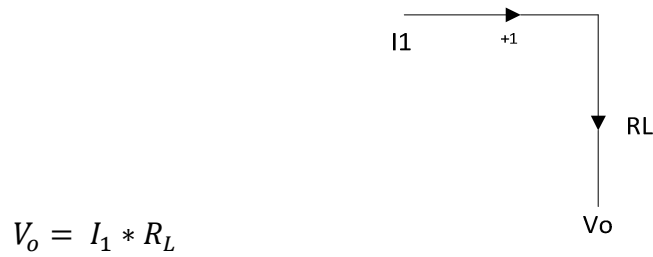
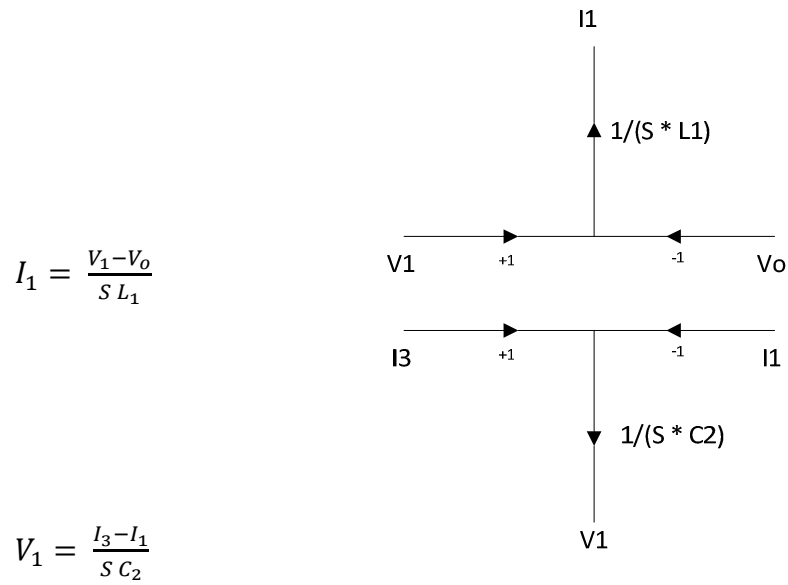
$$I_3 = \frac{V_{in} - V_1}{S L_3}, \quad I_1 = \frac{V_1 - V_o}{S L_1}$$

$$V_1 = \frac{I_3 - I_1}{S C_2}, \quad V_o = I_1 * R_L$$

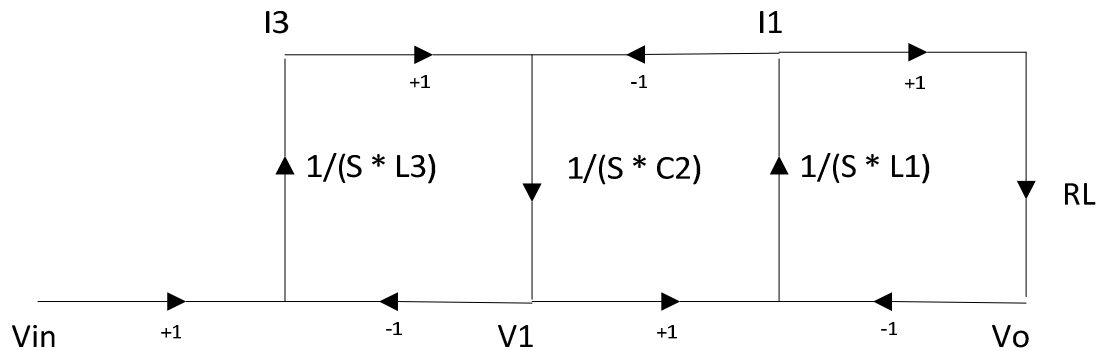
- Dibuje el SFG para cada una de las ecuaciones individuales.





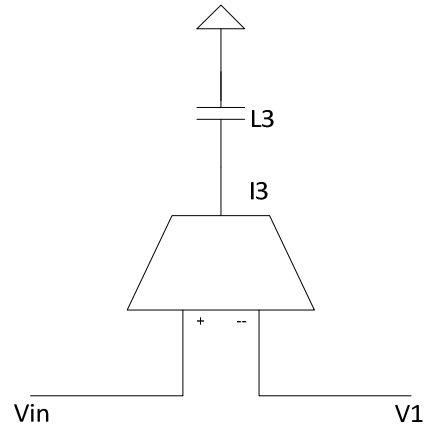


3. Dibuje el SFG total para el sistema completo.

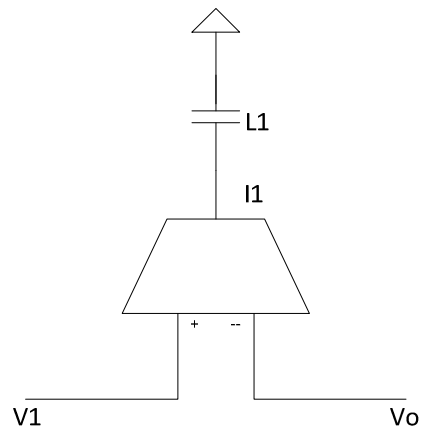


4. Muestre la realización de cada uno de los SFG individuales utilizando OTA's (considere  $G_m=1$  para todos los OTA's)

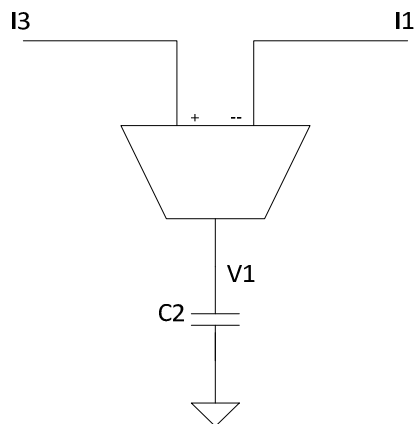
$$I_3 = \frac{V_{in} - V_1}{sL_3}$$

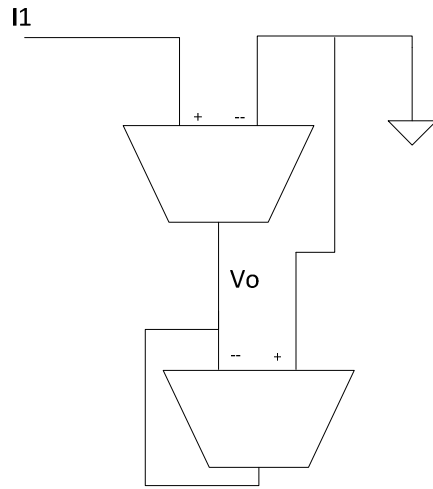


$$I_1 = \frac{V_1 - V_o}{sL_1}$$



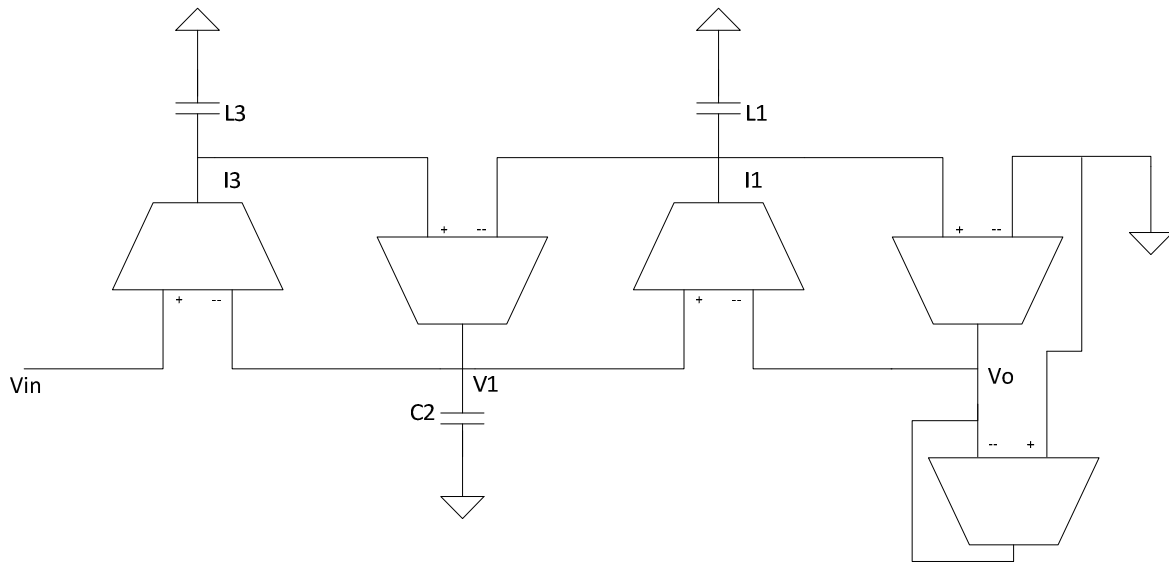
$$V_1 = \frac{I_3 - I_1}{sC_2}$$





$$V_o = I_1 * R_L$$

5. Muestre la realización completa del filtro utilizando solamente OTA's y capacitores (Filtro OTA-C)



## SIMULACION

A continuación, se muestra el esquemático del circuito recién diseñado y la respuesta en magnitud y fase.

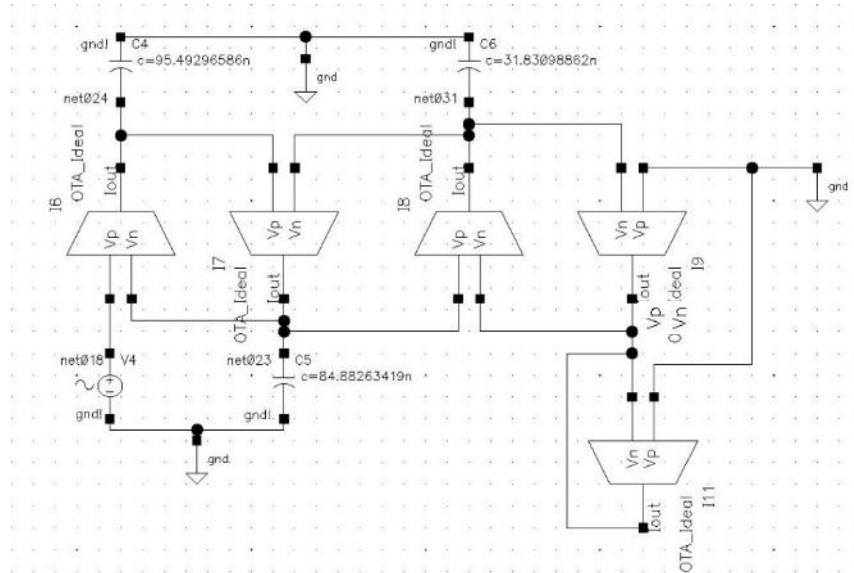


Figura 25 Filtro OTA-C esquemático

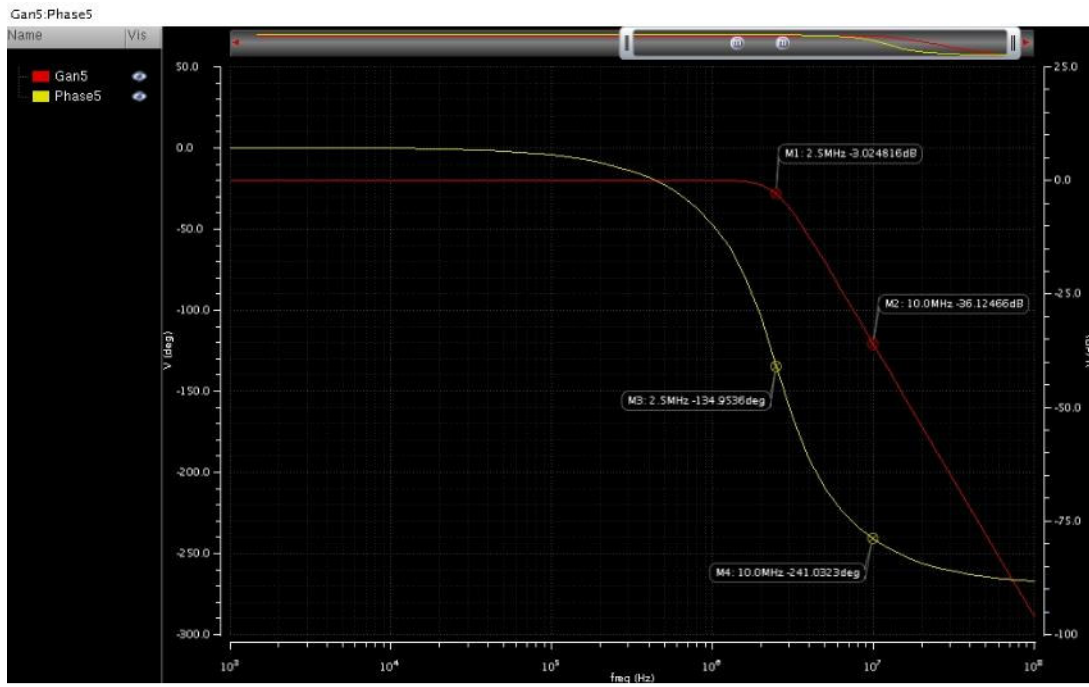
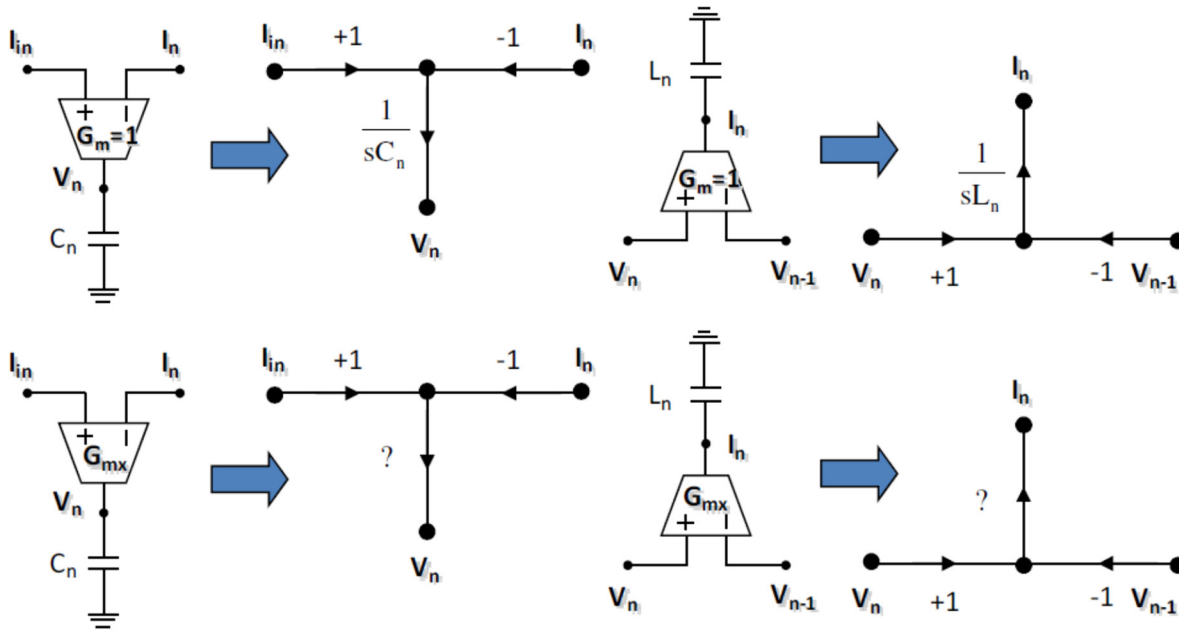


Figura 26 Filtro OTA-C respuesta

## CONTROLANDO LA FRECUENCIA DE CORTE CON TRASCONDUCTANCIA.

Considerando todas las  $G_m$  de los OTA's de la sección anterior iguales pero diferentes de 1, i.e.  $G_m = G_{mx}$ , se puede determinar:



1. Las ecuaciones individuales implementadas por los OTA's

$$\begin{aligned}
 I_3 &= \left( \frac{V_{in} - V_1}{S L'_3} \right) G_{mx}, & I_1 &= \left( \frac{V_1 - V_o}{S L'_1} \right) G_{mx} \\
 V_1 &= \left( \frac{I_3 - I_1}{S C'_2} \right) G_{mx}, & V_o &= (I_1 * R'_L) G_{mx}
 \end{aligned}$$

2. Las modificaciones necesarias en los valores de los elementos para que las ecuaciones implementadas sean iguales a las ecuaciones originales

Igualando las ecuaciones obtenidas en el inciso anterior con las ecuaciones originales y simplificando se obtienen las siguientes expresiones.

$$L_3 = \frac{L'_3}{G_{mx}}, \quad L_1 = \frac{L'_1}{G_{mx}}$$

$$C_2 = \frac{C'_2}{G_{mx}}, \quad R_L = R'_L * G_{mx}$$

Entonces los nuevos valores de los componentes serian:

$$L'_3 = L_3 * G_{mx}, \quad L'_1 = L_1 * G_{mx}$$

$$C'_2 = C_2 * G_{mx}, \quad R'_L = \frac{R'_L}{G_{mx}}$$

Con estos resultados se puede observar que es posible modificar la frecuencia de corte del filtro sin necesidad de modificar el valor de los componentes pasivos. Esto a través del control de la transconductancia de los OTA's

Al cambiar los valores del circuito y realizar la simulación se puede ver que la respuesta en frecuencia es la misma, como era de esperarse.

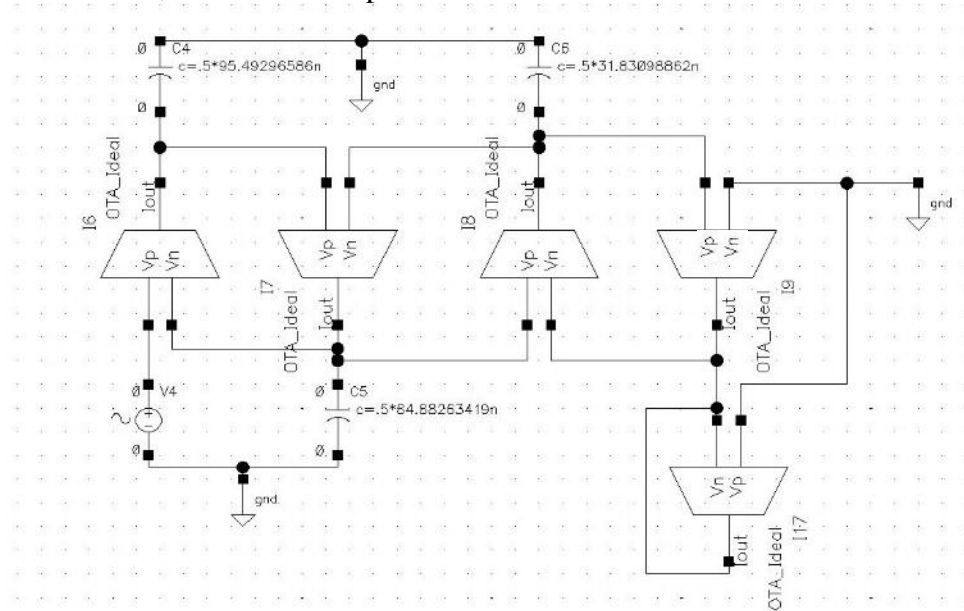


Figura 27 Filtro OTA-C esquemático

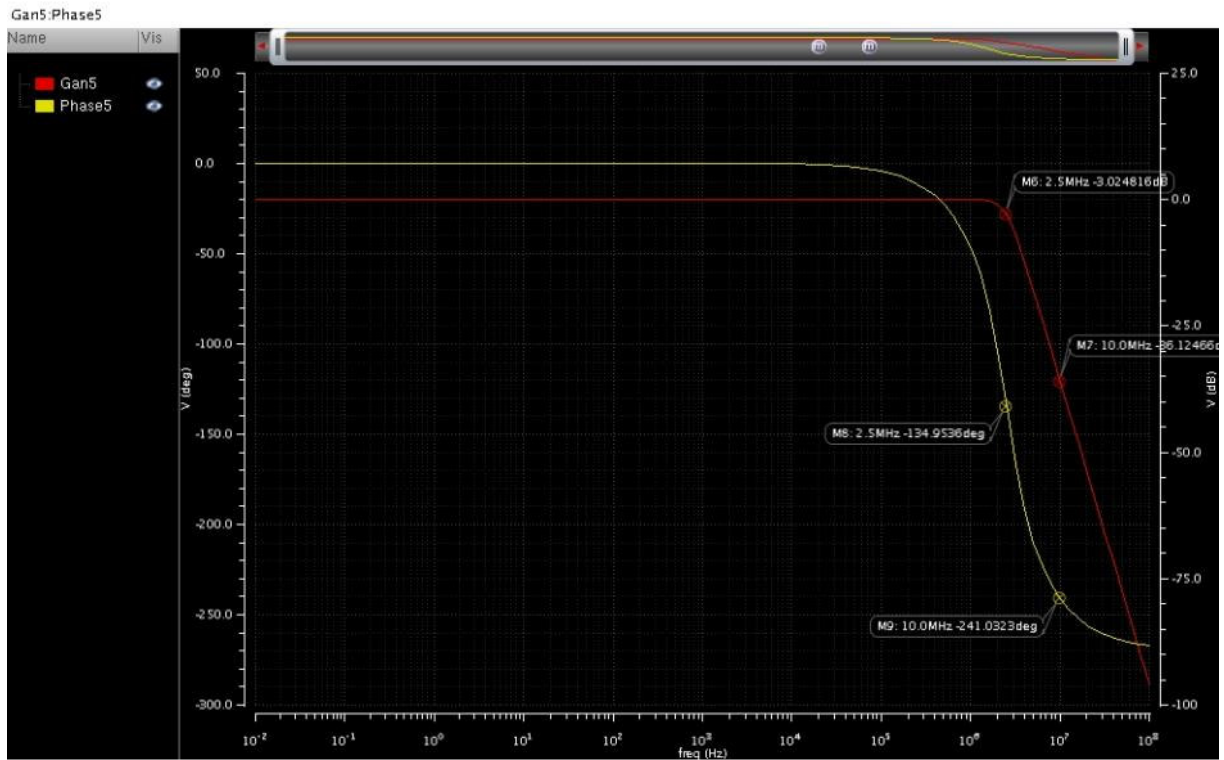


Figura 28 Filtro OTA-C respuesta

# DISEÑO DE REFERENCIA

En base al marco teórico, el siguiente paso es implementad los filtros requeridos en las especificaciones del proyecto en base a elementos ideales, la idea es validar la funcionalidad y al mismo tiempo determinar las especificaciones que el OTA basado en transistores debe cumplir. A continuación, se muestra la implementación de los 4 filtros en su versión OTA-C utilizando el procedimiento descrito en la sección anterior.

**1 MHz**

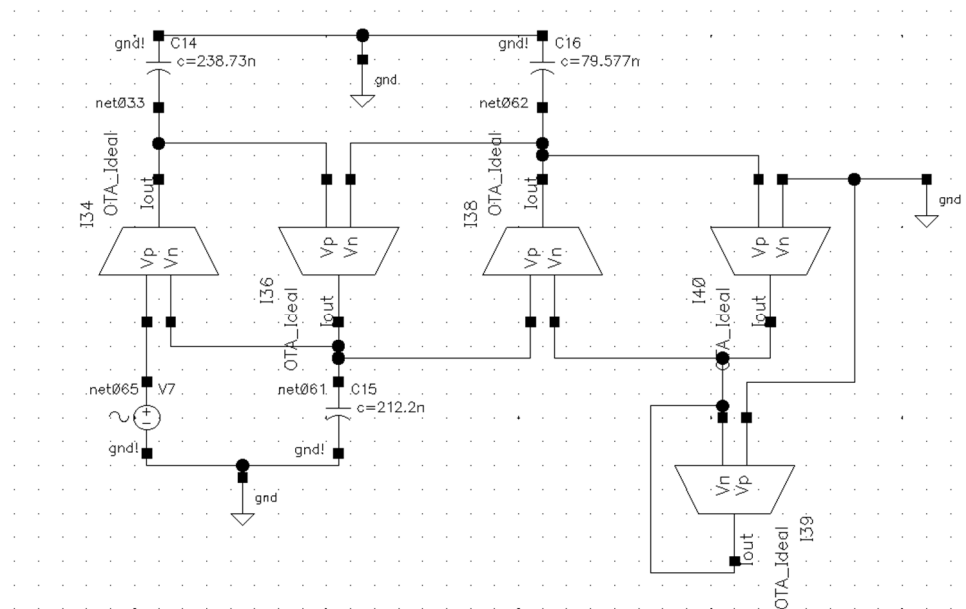


Figura 29 Filtro OTA-C



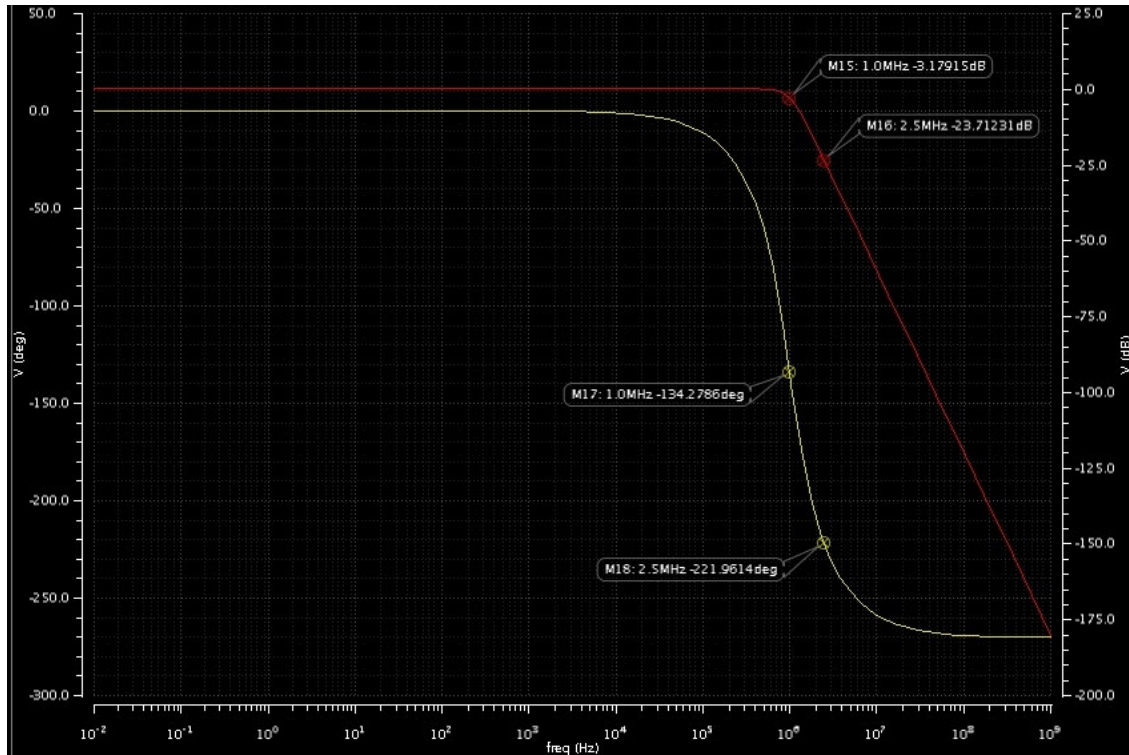


Figura 30 Simulación

## 2.5 MHz

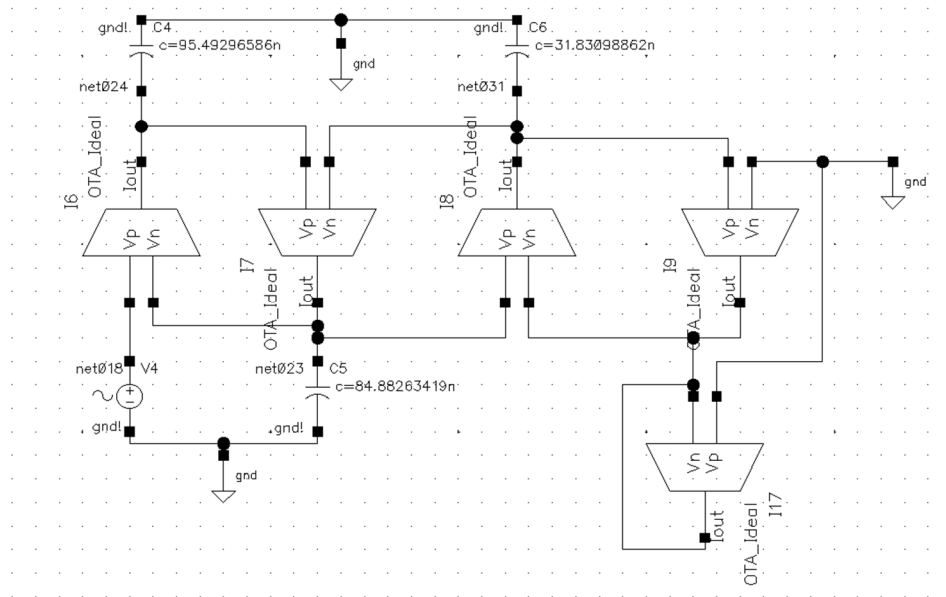


Figura 31 Filtro OTA-C

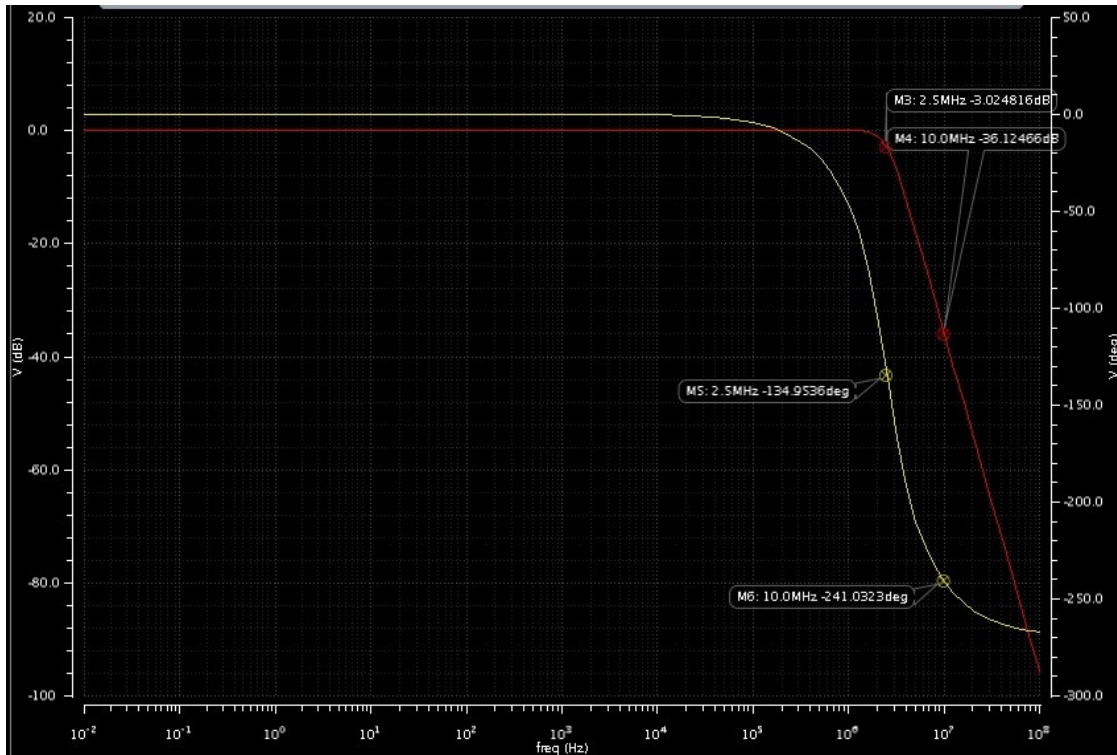


Figura 32 Simulación

4 MHz

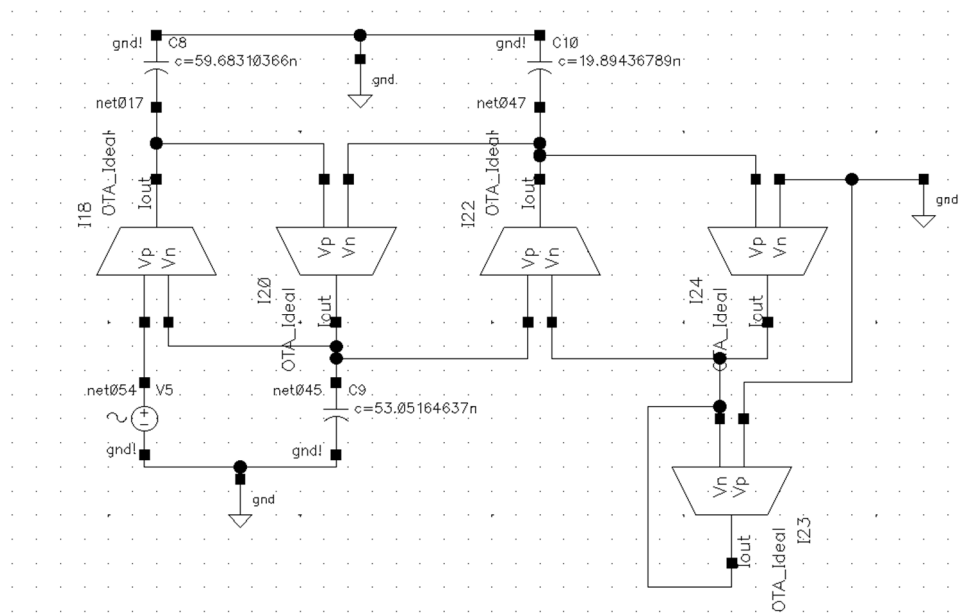


Figura 33 Filtro OTA-C

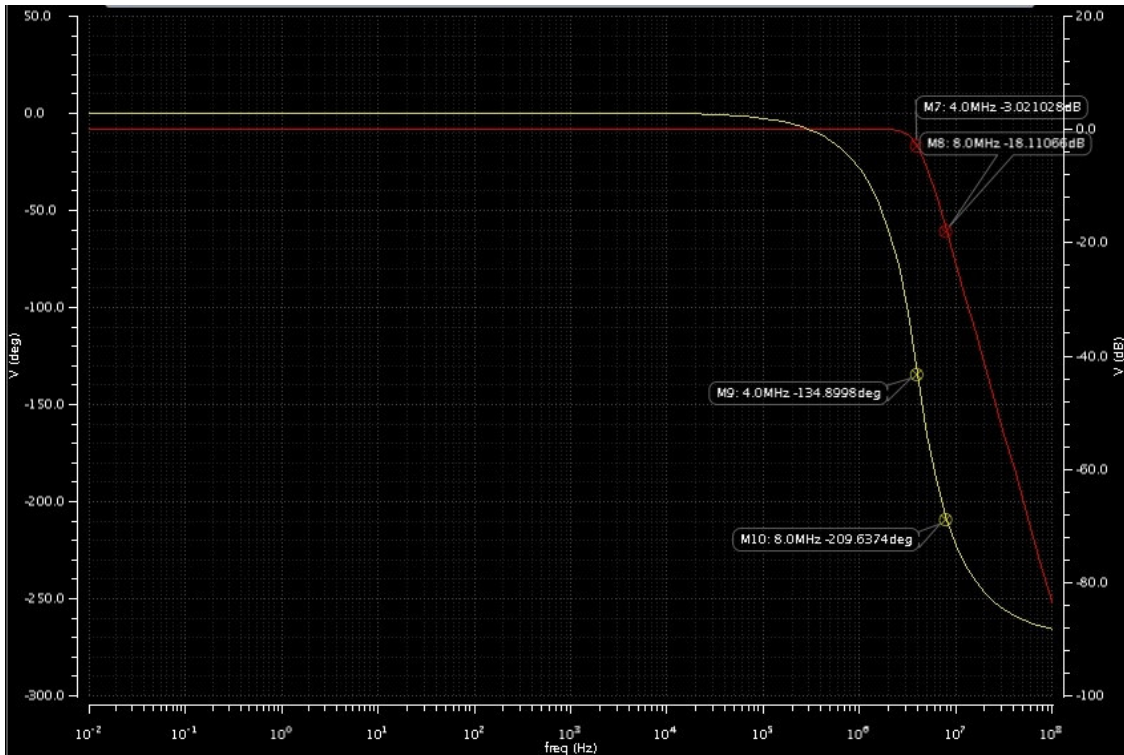


Figura 34 Simulación

10 MHz

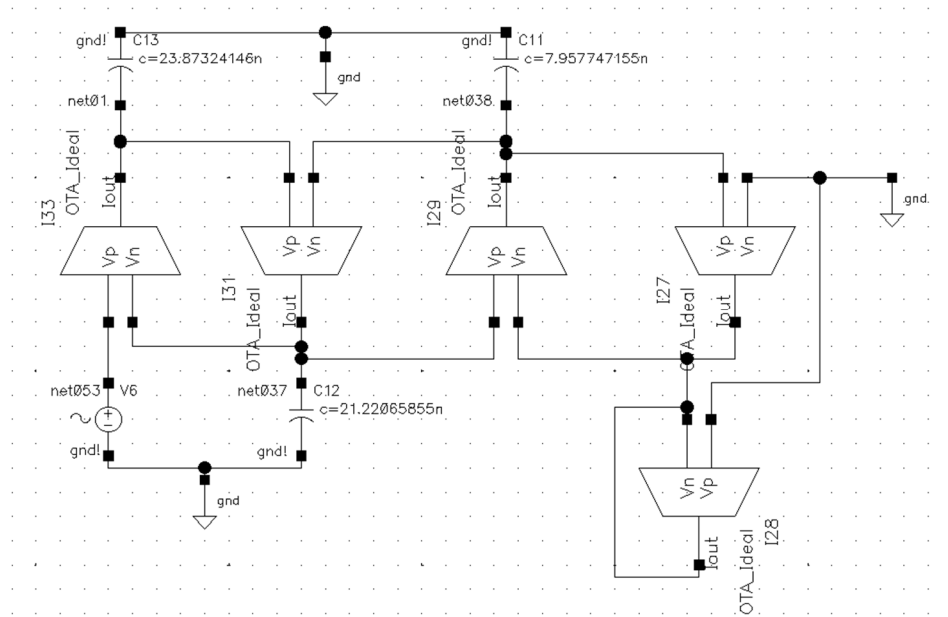


Figura 35 Filtro OTA-C

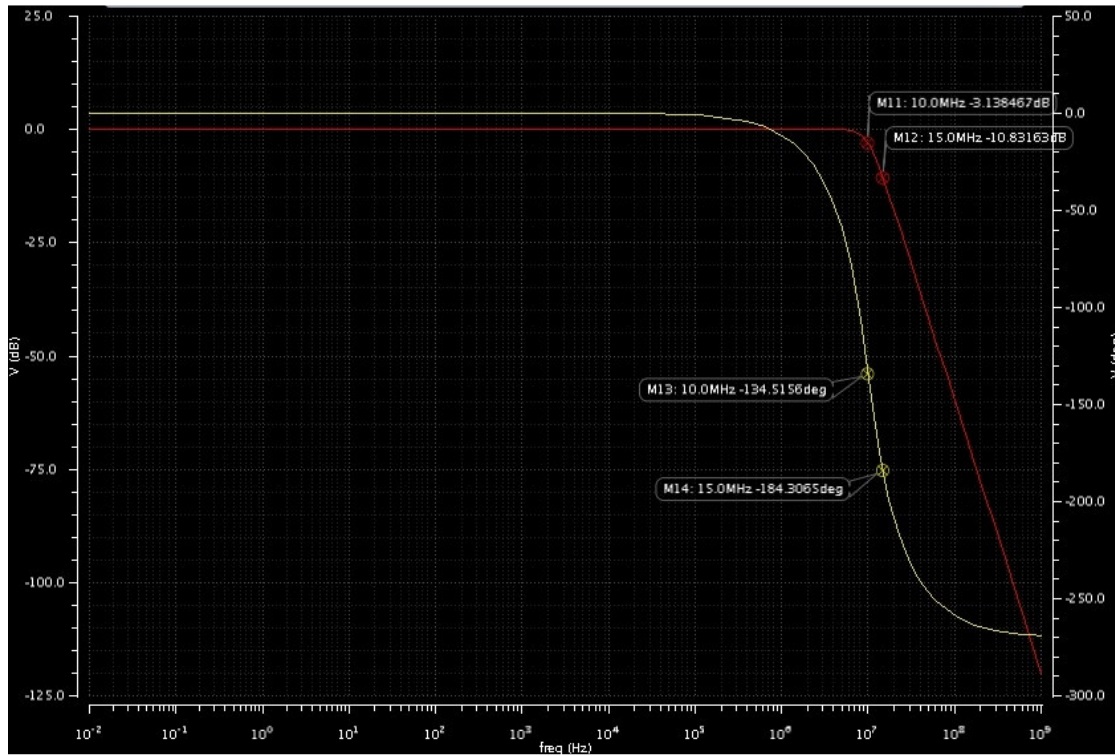


Figura 36 Simulación

Una vez que se tienen todos sus filtros en su versión OTA-C, el siguiente paso es buscar la forma de combinarlos en una sola implementación configurable para obtener las 4 diferentes respuestas.

Para lograr esto se repite el ejercicio de factorizar la transconductancia de las ecuaciones que describen los filtros y se realiza un análisis para observar la relación de los valores de los componentes resultantes para cada filtro.

### 1. Rediseñe los filtros para el caso $g_m=250\mu S$ .

Utilizando las ecuaciones de la sección anterior, se pueden recalculer los valores de los elementos cuando se tiene una  $g_m=250\mu S$ .

$$L'_3 = L_3 * G_{mx}, \quad L'_1 = L_1 * G_{mx}$$

$$C'_2 = C_2 * G_{mx}, \quad R'_L = \frac{R'_L}{G_{mx}}$$

#### 1 MHz

$$L'_3 = 238.73nF * 250\mu = 59.6825pF, \quad L'_1 = 212.2nF * 250\mu = 53.05pF$$

$$C'_2 = 79.577nF * 250\mu = 19.8942pF, \quad R'_L = \frac{1}{250\mu} = 4k$$

**2.5 MHz**

$$L'_3 = 95.493nF * 250u = 23.8732pF, \quad L'_1 = 31.831nF * 250u = 7.95775nF$$

$$C'_2 = 84.882nF * 250u = 21.2205pF, \quad R'_L = \frac{1}{250u} = 4k$$

**4 MHz**

$$L'_3 = 59.6832nF * 250u = 14.9207pF, \quad L'_1 = 19.8944nF * 250u = 4.9735pF$$

$$C'_2 = 53.0516nF * 250u = 13.2627pF, R'_L = \frac{1}{250u} = 4k$$

**10 MHz**

$$L'_3 = 23.8732nF * 250u = 5.96825pF, \quad L'_1 = 7.9577nF * 250u = 1.9894pF$$

$$C'_2 = 21.2206nF * 250u = 5.305pF, \quad R'_L = \frac{1}{250u} = 4k$$

2. Determine la razón de las frecuencias de corte para los filtros de 2.5MHz, 4MHz y 10MHz con respecto al filtro de 1MHz.

**2.5MHz**

$$\frac{f_{c\ 2.5M}}{f_{c\ 1M}} = \frac{2.5MHz}{1MHz} = 2.5$$

**4MHz**

$$\frac{f_{c\ 4M}}{f_{c\ 1M}} = \frac{4MHz}{1MHz} = 4$$

**10MHz**

$$\frac{f_{c\ 10M}}{f_{c\ 1M}} = \frac{10MHz}{1MHz} = 10$$

3. Determine el factor de escala entre cada uno de los valores de los elementos de los filtros de 2.5MHz, 4MHz y 10MHz con respecto al filtro de 1MHz.

**2.5MHz**

$$\frac{L_{3\ 2.5\ M}}{L_{3\ 1M}} = \frac{23.8732pF}{59.6825pF} = \frac{1}{2.5}$$

$$\frac{C_{2\ 2.5\ M}}{C_{2\ 1M}} = \frac{21.2205pF}{53.05pF} = \frac{1}{2.5}$$

$$\frac{L_{1\ 2.5\ M}}{L_{1\ 1M}} = \frac{7.95775nF}{19.8942pF} = \frac{1}{2.5}$$

**4 MHz**

$$\begin{aligned}\frac{L_{3\ 4M}}{L_{3\ 1M}} &= \frac{14.9207pF}{59.6825pF} = \frac{1}{4} \\ \frac{C_{2\ 4M}}{C_{2\ 1M}} &= \frac{13.2627pF}{53.05pF} = \frac{1}{4} \\ \frac{L_{1\ 4M}}{L_{1\ 1M}} &= \frac{4.9735pF}{19.8942pF} = \frac{1}{4}\end{aligned}$$

**10 MHz**

$$\begin{aligned}\frac{L_{3\ 10M}}{L_{3\ 1M}} &= \frac{5.96825pF}{59.6825pF} = \frac{1}{10} \\ \frac{C_{2\ 10M}}{C_{2\ 1M}} &= \frac{5.305pF}{53.05pF} = \frac{1}{10} \\ \frac{L_{1\ 10M}}{L_{1\ 1M}} &= \frac{1.9894pF}{19.8942pF} = \frac{1}{10}\end{aligned}$$

**4. Determine el factor de escala entre la gm de los OTA's con respecto al filtro de 1MHz.**

**2.5 MHz**

$$\frac{gm_{2.5M}}{gm_{1M}} = \frac{1}{1} = 1$$

**4 MHz**

$$\frac{gm_{4M}}{gm_{1M}} = \frac{1}{1} = 1$$

**10 MHz**

$$\frac{gm_{10M}}{gm_{1M}} = \frac{1}{1} = 1$$

En base a estos resultados podemos observar que la relación que guardan los valores de los elementos pasivos entre si corresponde a la relación de la transconductancia de los diferentes filtros. Dicho de otro modo, en lugar de variar el valor de los elementos pasivos, se pueden dejar fijos y variar la transconductancia del OTA obteniendo los mismos resultados. A continuación, se muestra la simulación del filtro de  $f_c=1\text{MHz}$ , pero con distintos valores de gm.

a) gm=1

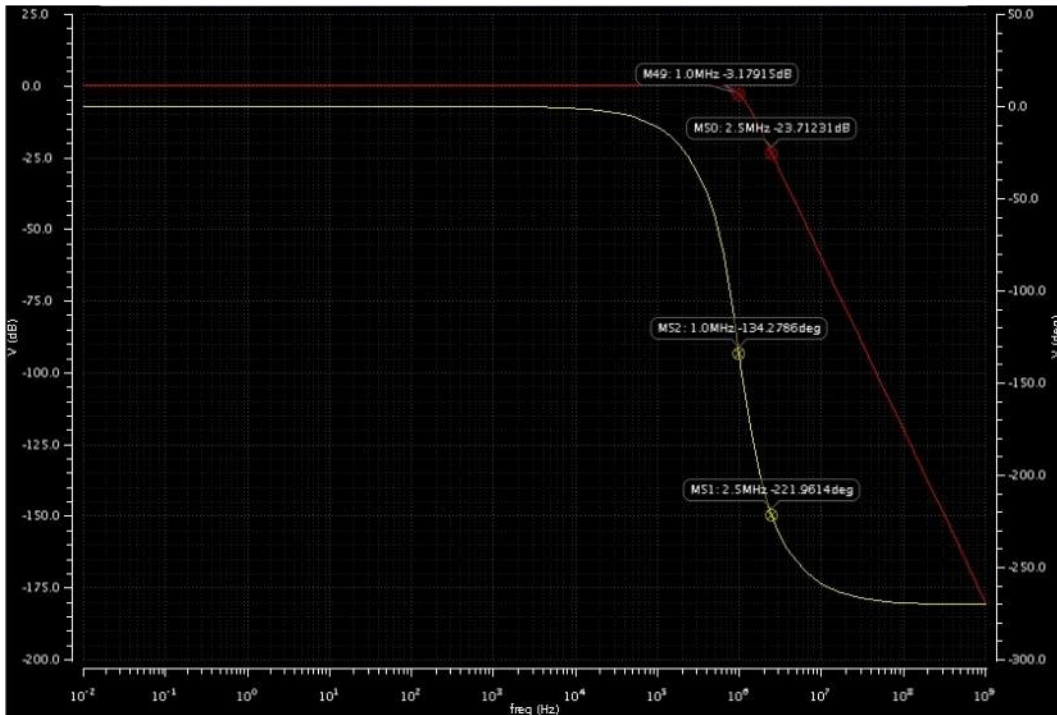


Figura 37 Simulación

b)  $g_m=2.5$

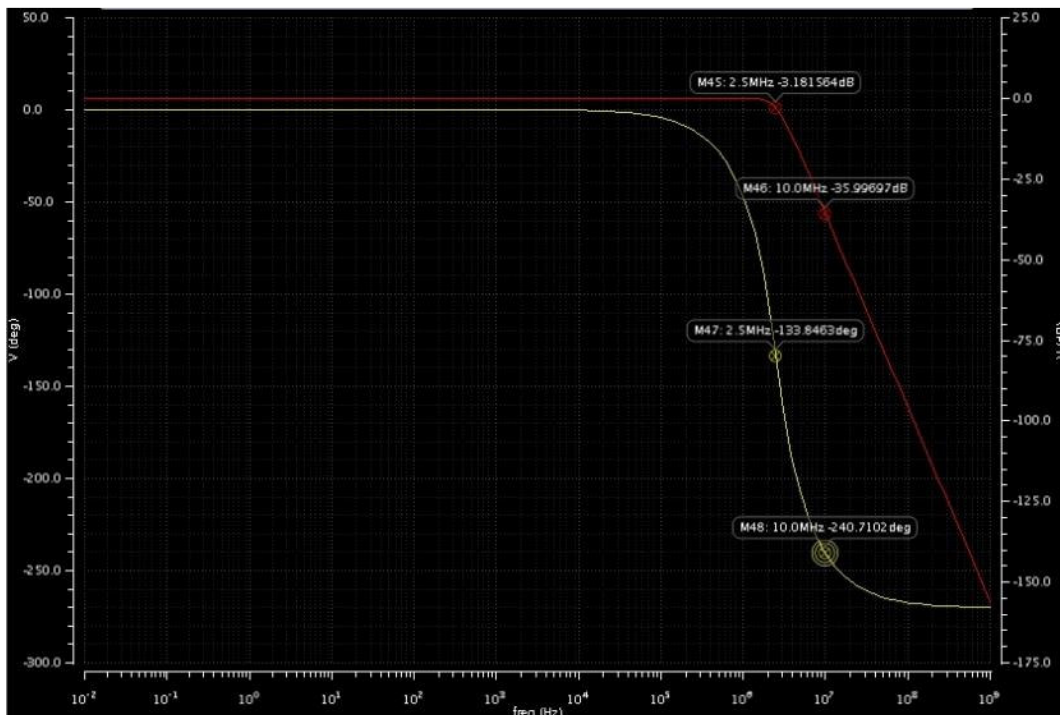


Figura 38 Simulación

c)  $gm=4$

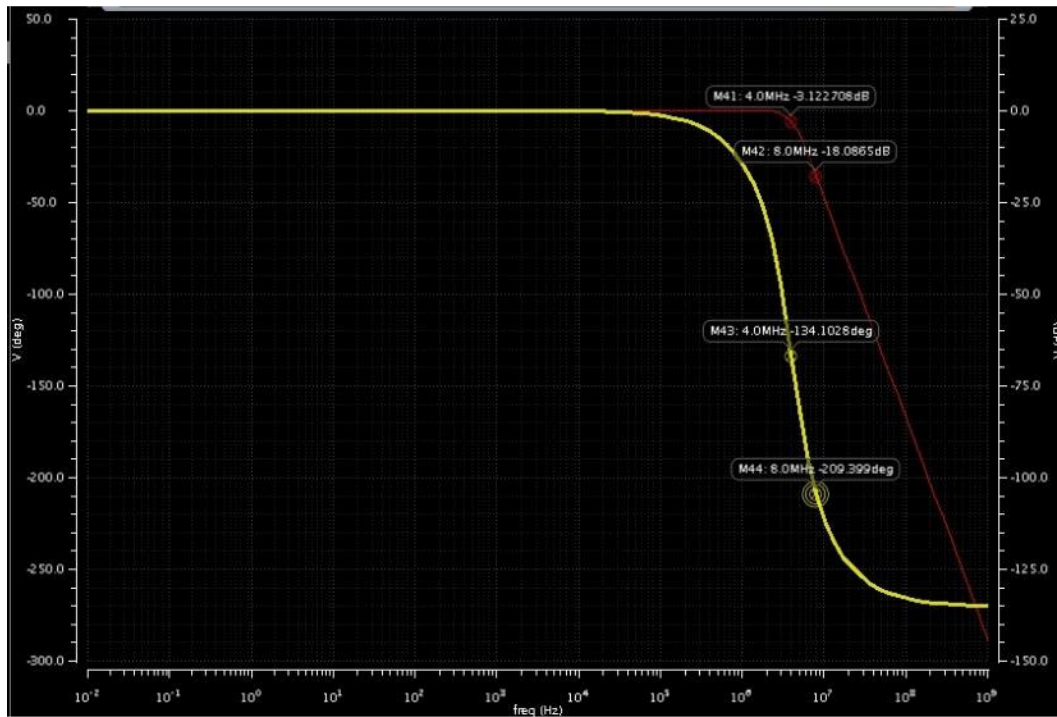


Figura 39 Simulación

c)  $gm=10$

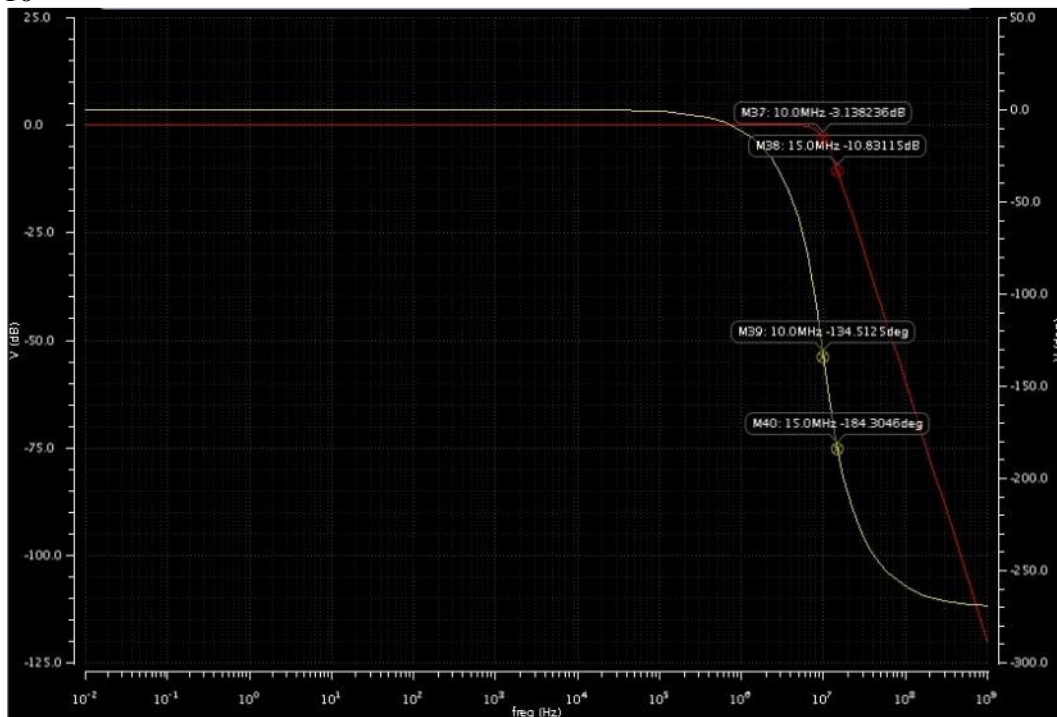


Figura 40 Simulación



Al variar la transconductancia por 2.5, 4 y 10 utilizando los mismos valores de los componentes del filtro a 1MHz se observó que la respuesta en frecuencia es la misma que con los filtros con frecuencia de corte a 2.5MHz, 4MHz y 10MHz. Entonces se podría decir que variar la  $g_m$  realiza una desnormalización en frecuencia equivalente. Con este paso se obtuvo un filtro capaz de variar su frecuencia de corte de una forma relativamente sencilla. El siguiente paso es empezar a considerar los elementos reales de los OTA's como la resistencia de salida y la linealidad de la transconductancia. Hasta este punto todas las simulaciones se han hecho considerando OTAS ideales con una resistencia de salida infinita, sin embargo, esto no pasa en la realidad y la resistencia de salida de los OTA implementados con transistores es finita. A continuación, se muestra la simulación de los filtros introduciendo al modelo del OTA una resistencia de salida de  $4M\Omega$ .

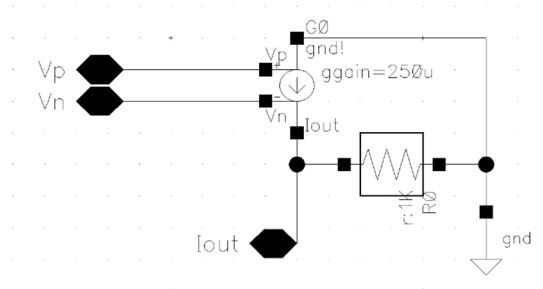


Figura 41 Modelo del OTA con resistencia de salida finita

1MHz

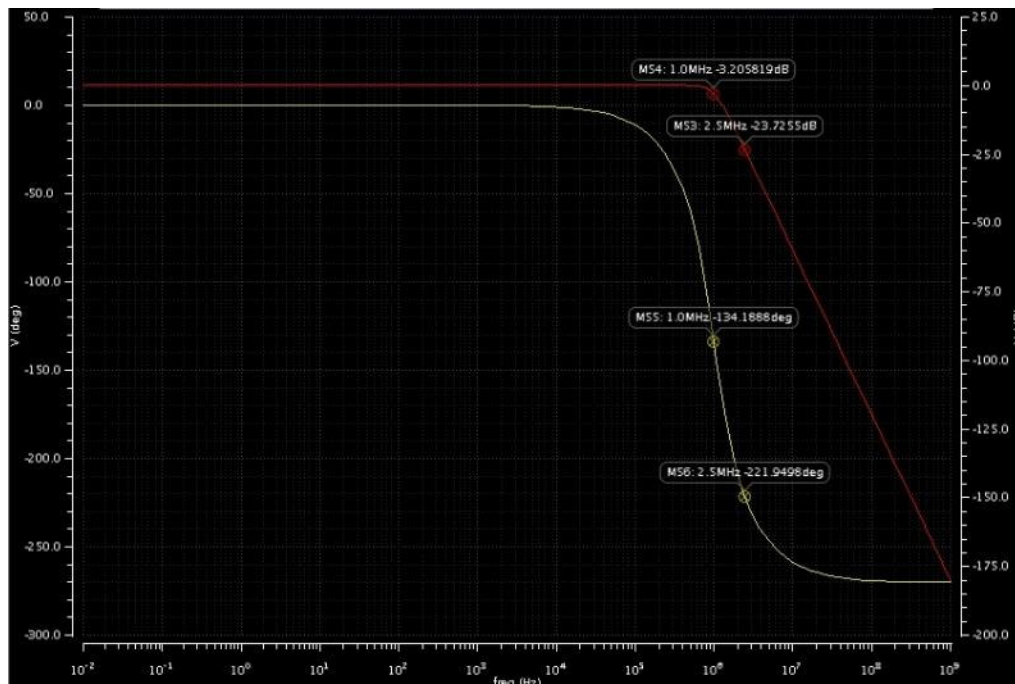


Figura 42 Simulación

## 2.5MHz

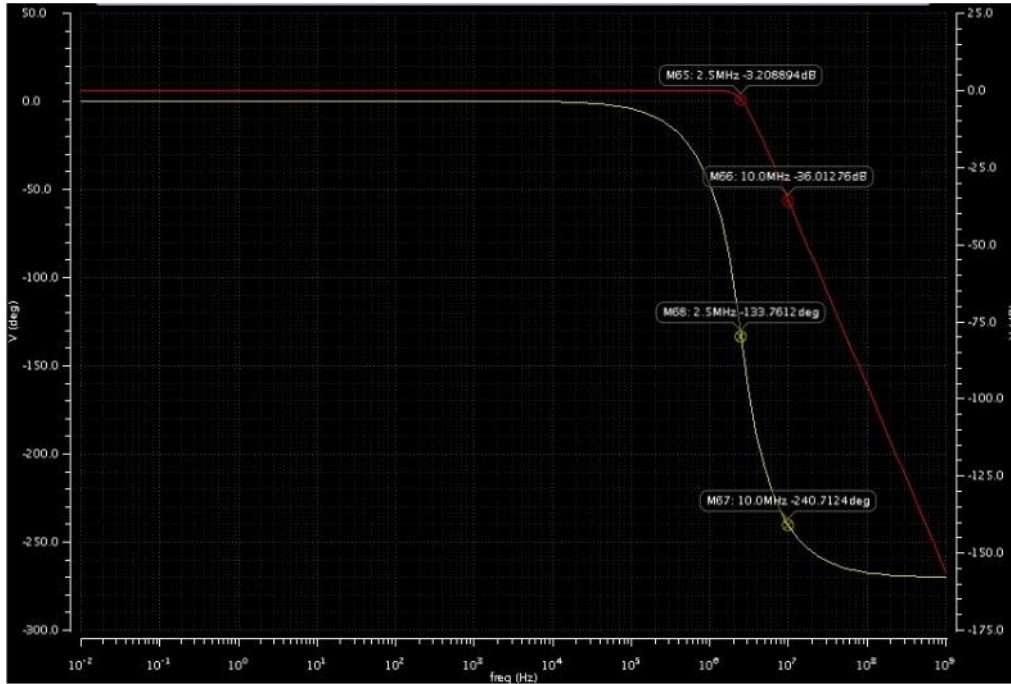


Figura 43 Simulación

## 4MHz

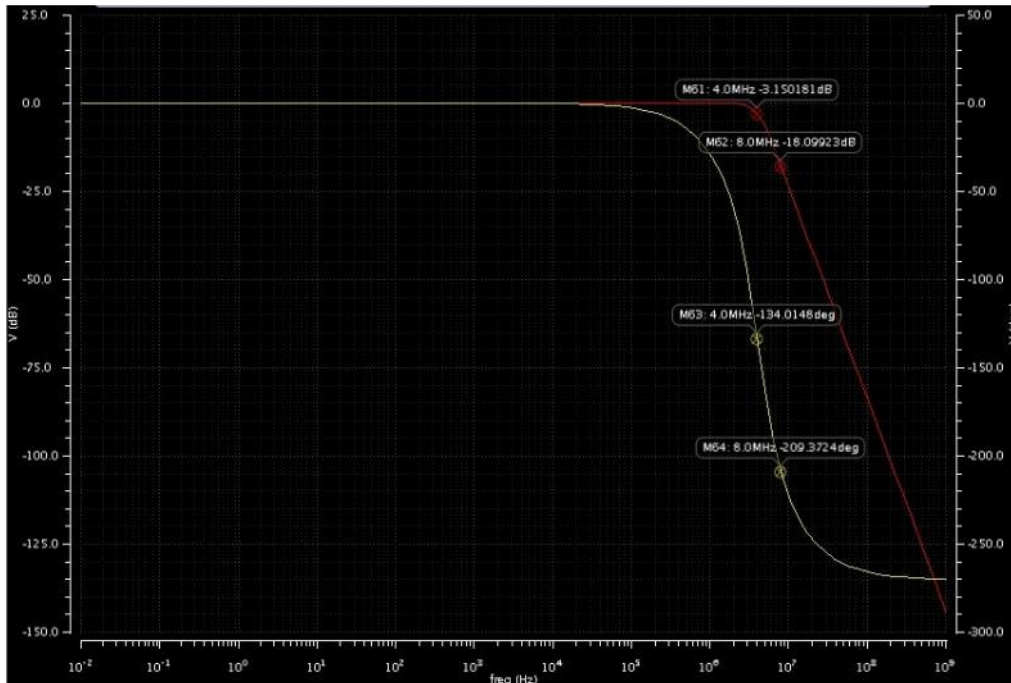


Figura 44 Simulación

10MHz

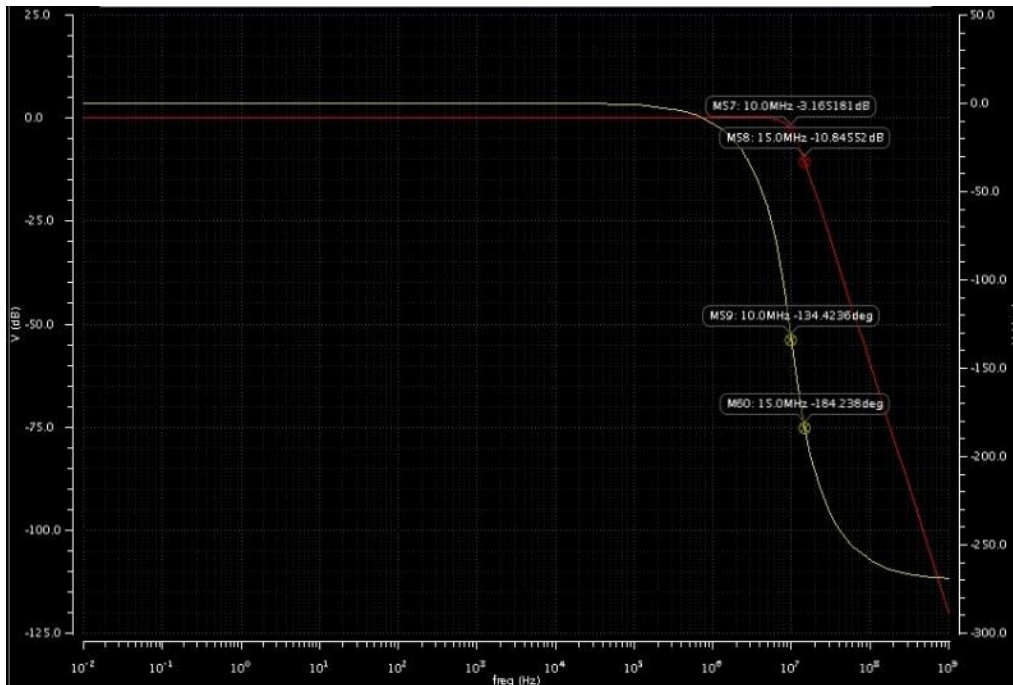


Figura 45 Simulación

Al hacer esto se observa como la resistencia de salida finita del OTA tiene un impacto en la respuesta del filtro. Otro parámetro que afecta el desempeño del filtro es la linealidad de la transconductancia en el rango de entrada, puesto que como se muestra en la siguiente figura para que el filtro funcione la gm de los OTA debe permanecer constante den todo el rango de entrada.

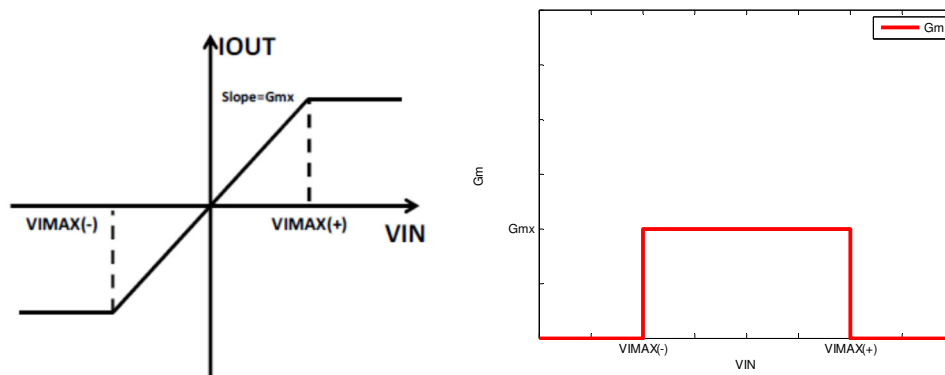


Figura 46 transconductancia ideal en el rango de entrada

A continuación, se muestra la simulación de un OTA real haciendo la medición del rango para el cual gm se mantiene con 1% de variación.

Utilizando el OTA con las dimensiones mostradas en la figura,  $i_{bias}=12.8\mu A$ :

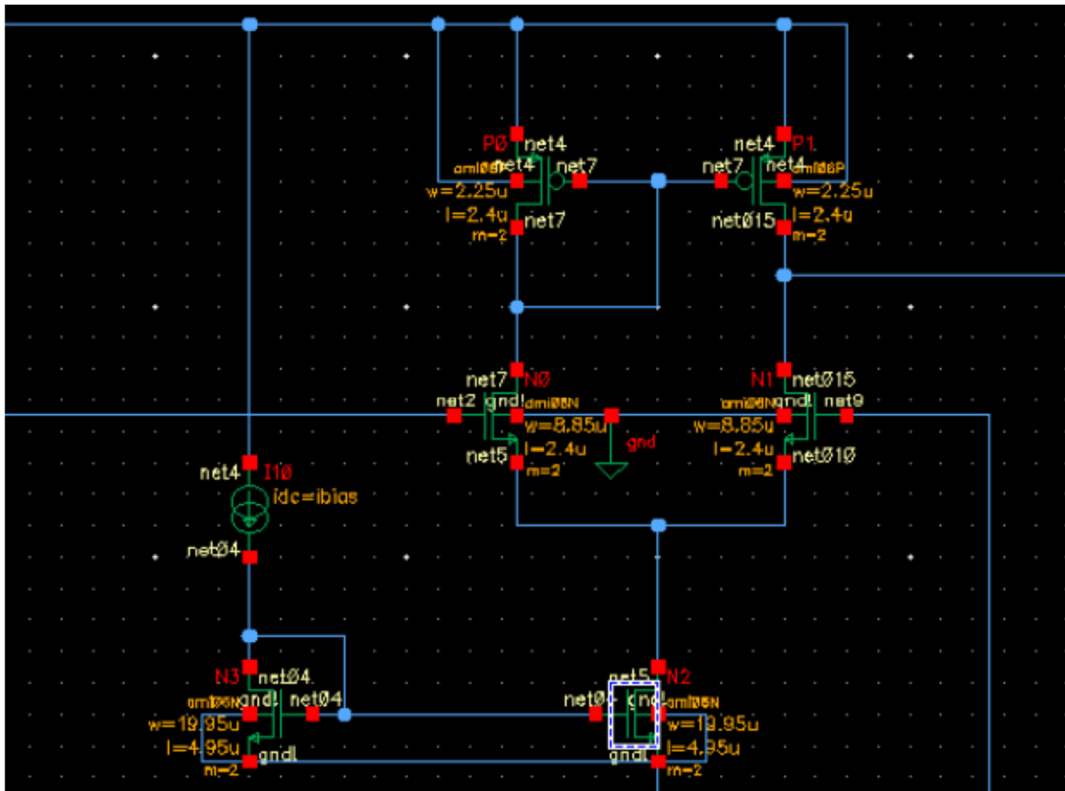


Figura 47 OTA real

1. Realice un análisis de punto de operación y obtenga el valor de  $G_m$  del OTA.

cgsov1	4.614f
cjd	19.25f
cjs	22.6f
csb	-10.43f
csd	-92.1a
csg	-40.45f
css	50.97f
gbd	0
gbs	0
gds	418.7n
<b>gm</b>	<b>78.33u</b>
gmbs	22.3u
gmoverid	12.43
i1	6.303u
i3	-6.303u
i4	-40f

Figura 48 Punto de Operación

2. Simule la característica  $I_{OUT}$  vs.  $V_{IN}$  utilizando el circuito de prueba de la figura siguiente.

$V_{IN}$  from  $-V_{DD}/2$  to  $+V_{DD}/2$  in 10mV Steps

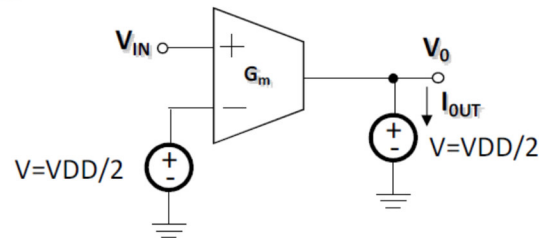


Figura 49 Circuito de Prueba

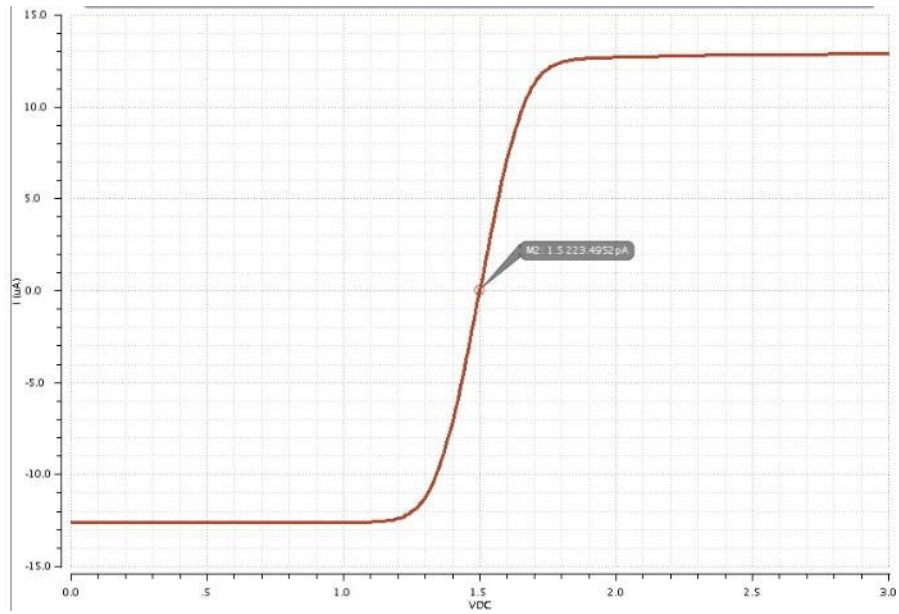


Figura 50  $I_{out}$  vs  $V_{in}$

3. Simule la característica  $G_m$  vs.  $V_{IN}$ . Coloque un marcador en  $V_{IN}=0$ . Compare este valor con el obtenido en 1

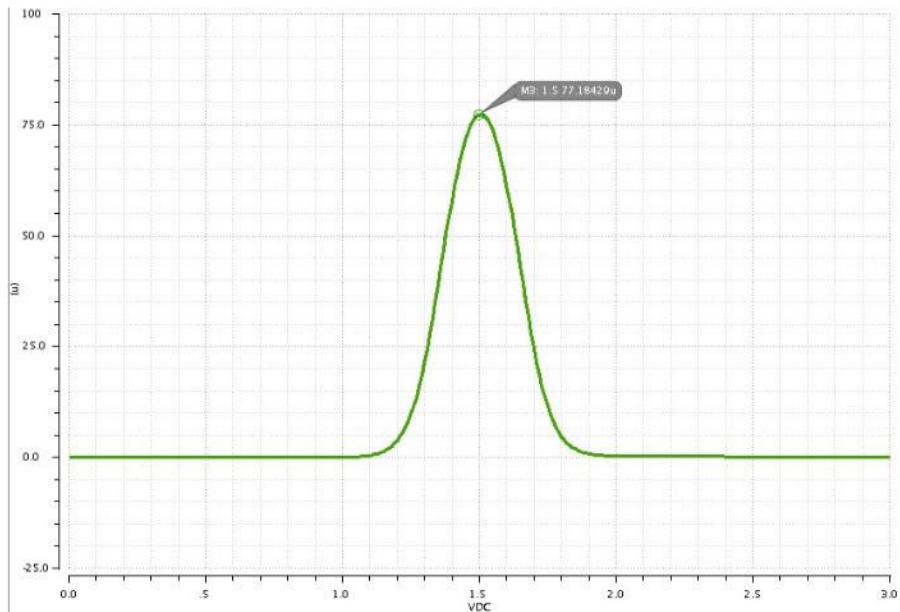


Figura 51  $g_m$  vs  $V_{in}$

Comparado con el valor obtenido en el inciso 1 se puede observar que la diferencia es mínima, tan solo 0.15  $\mu S$ . De acuerdo a la simulación el rango del voltaje de entrada donde  $G_m$  tiene una variación máxima del 1% es de tan solo 40.8mV.

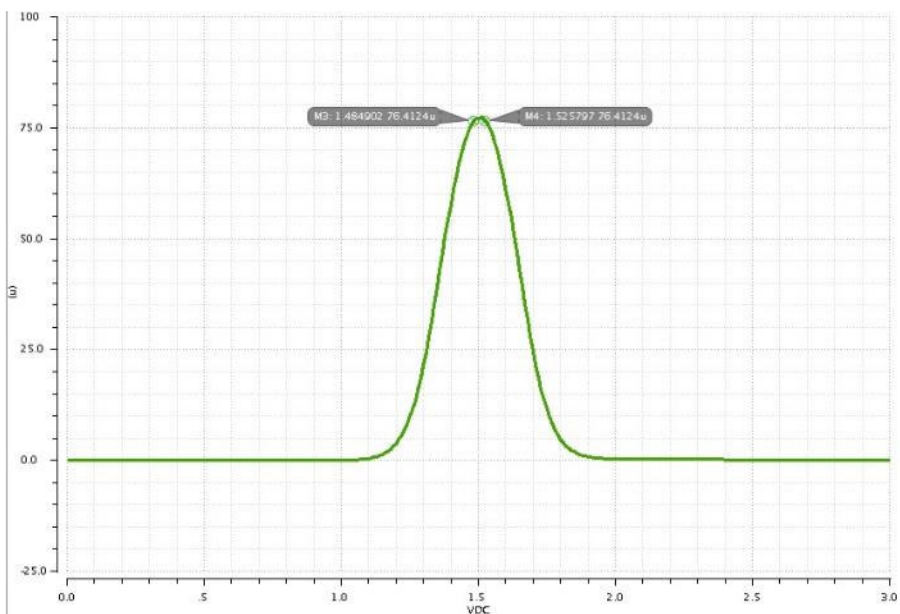


Figura 52 Rango de Operación

Para solucionar este problema, se utiliza una variante del OTA donde lo que se busca es extender este rango de operación.

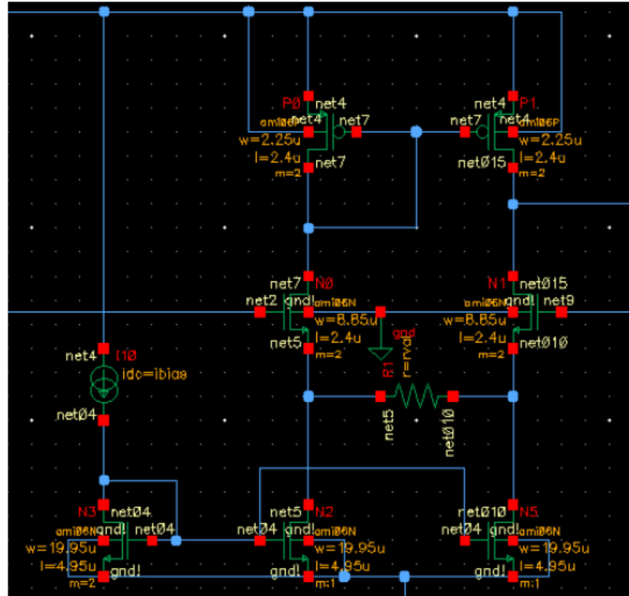


Figura 53 OTA modificado

Enseguida se presentan una comparativa de la respuesta de este OTA utilizando diferentes valores para la resistencia.

1uΩ

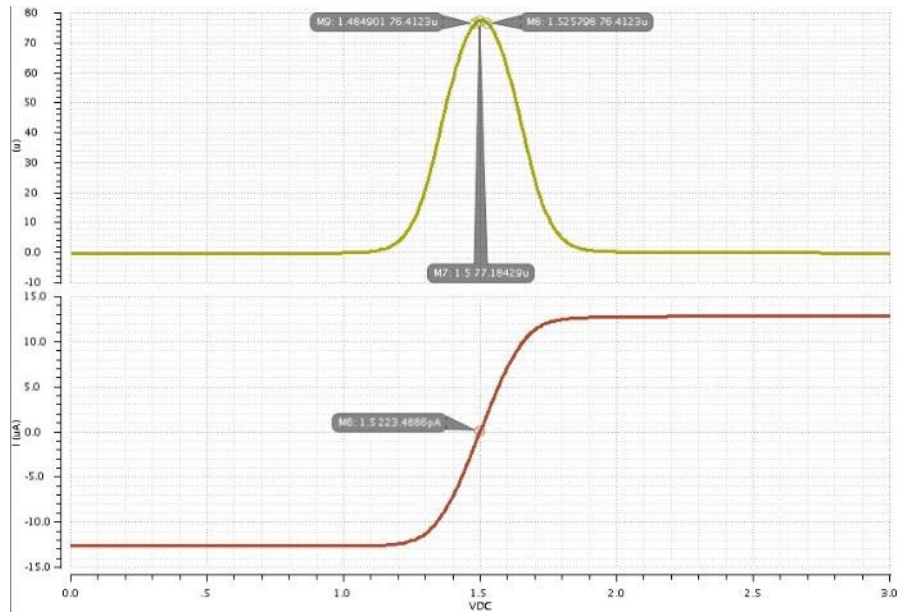


Figura 54 Gm con R=1uΩ

10k

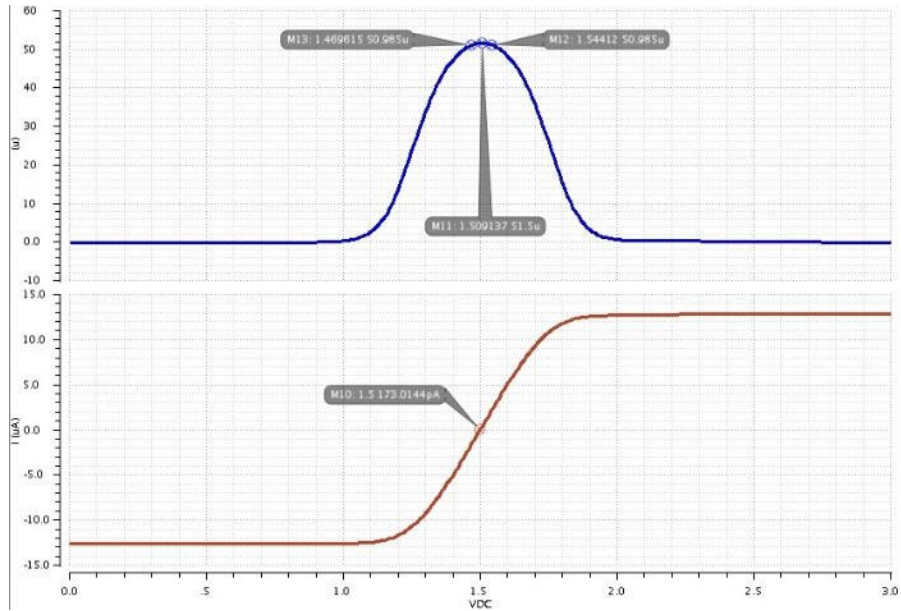


Figura 55 Gm con R=10kΩ

20k

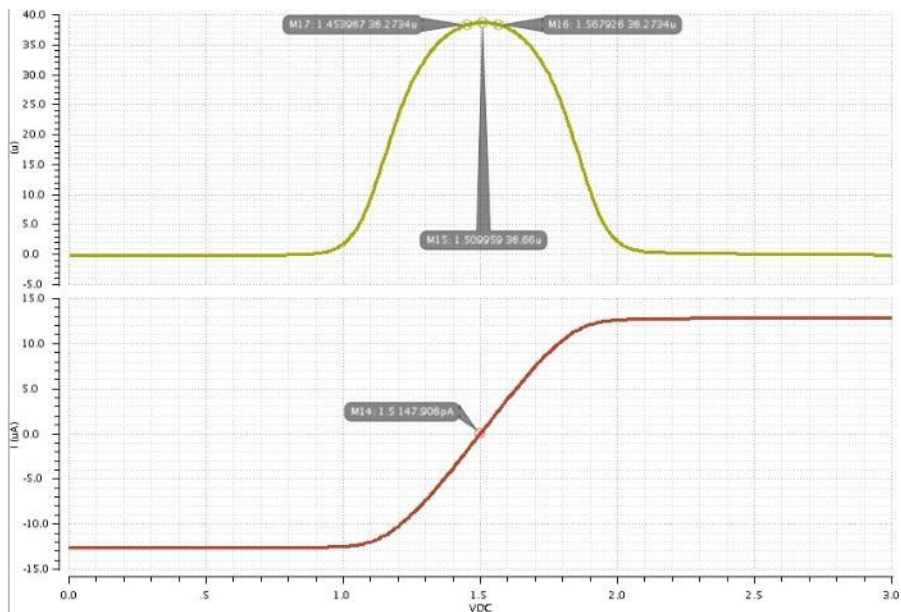


Figura 56 Gm con R=20kΩ



30k

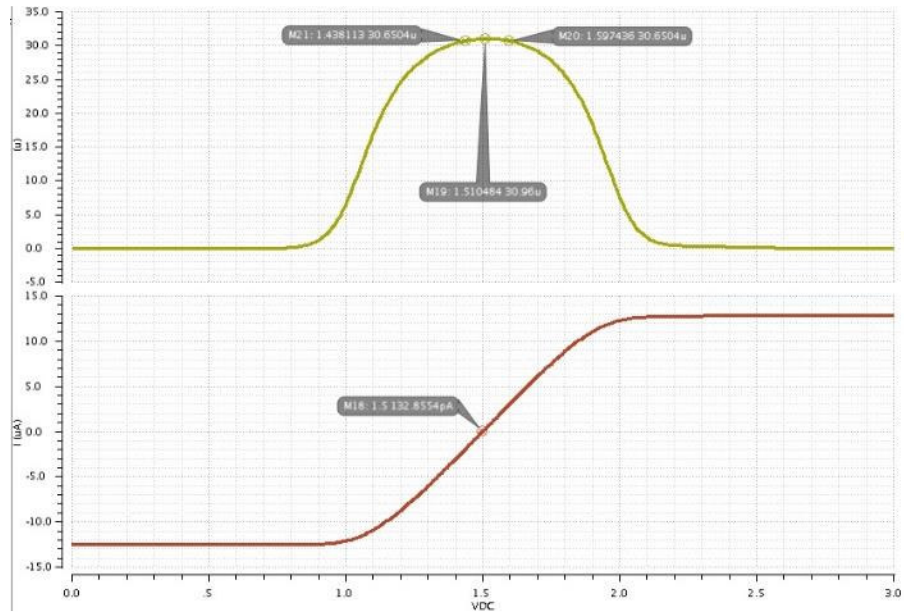


Figura 57 Gm con R=30kΩ

40k

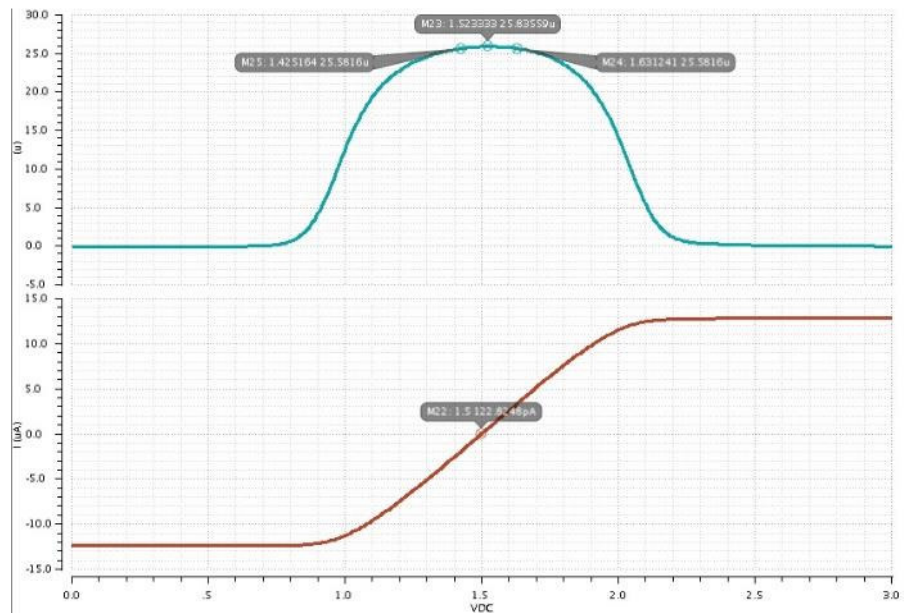


Figura 58 Gm con R=40kΩ

50k

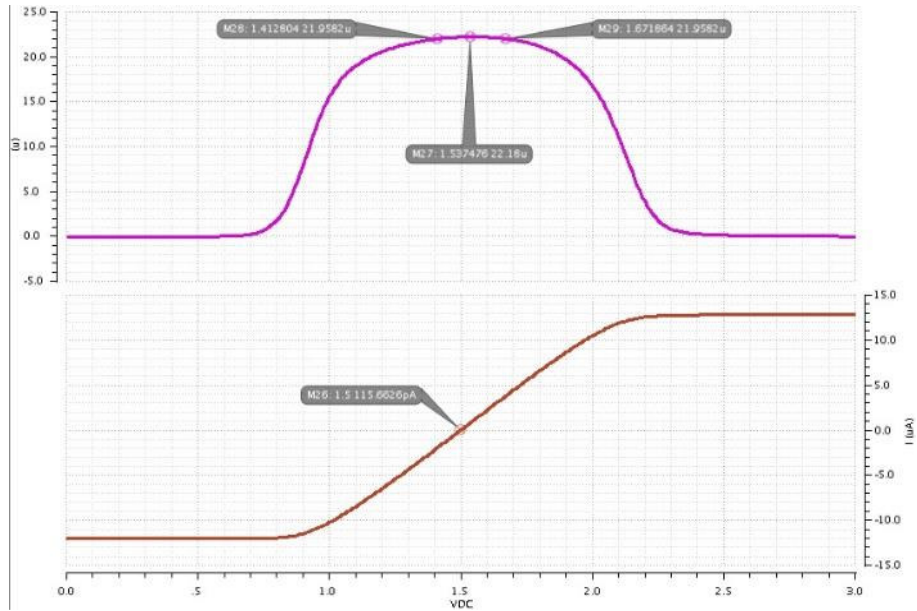


Figura 59 Gm con R=50kΩ

100k

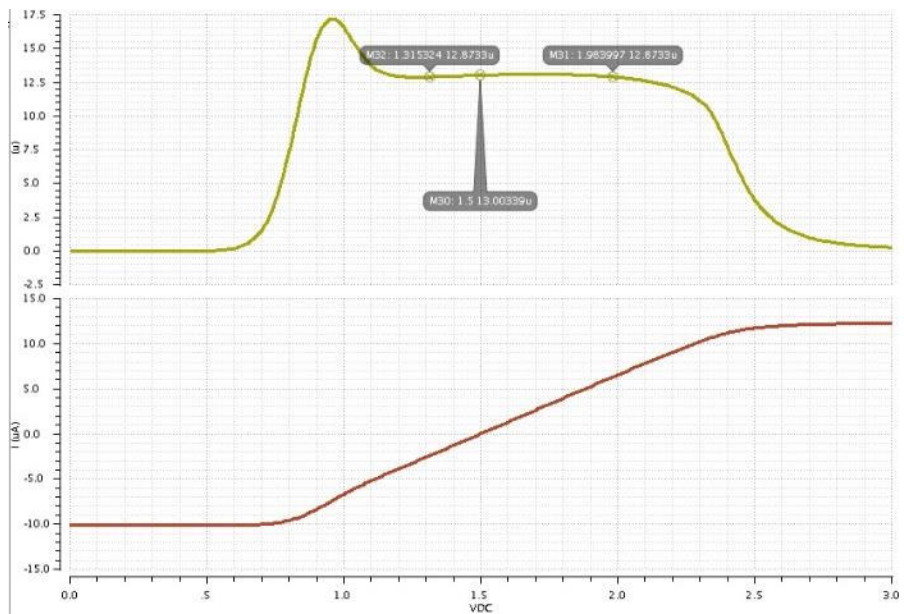


Figura 60 Gm con R=100kΩ

Como se muestra en la siguiente tabla comparativa conforme se aumenta el valor de la resistencia, también lo hace el rango de operación, sin embargo, esto disminuye el valor máximo de transconductancia. Para este trabajo se debió llegar a un compromiso entre el rango de operación y el valor de transconductancia, en este caso una resistencia de 40k cumpliría con el rango de entrada.

Resistencia	Rango	Gm (Max)
1u	40.8 mV	77.18 uS
10k	74.5 mV	51.5 uS
20k	114 mV	38.66 uS
30k	159.3 mV	30.96 uS
40k	206.1 mV	25.83 uS
50k	259 mV	22.18 uS
100k	668.6 mV	13.00 uS

El último paso antes de comenzar con el diseño del OTA que se utilizara en el filtro es convertir la implementación *single-ended* en una implementación diferencial.

Para convertir el filtro previo en su versión completamente diferencial se necesita redefinir el OTA con sus dos entradas diferenciales y su salida también diferencial. Tomando como base el modelo ideal del OTA pasado se extiende y se modifica el símbolo de la siguiente forma:

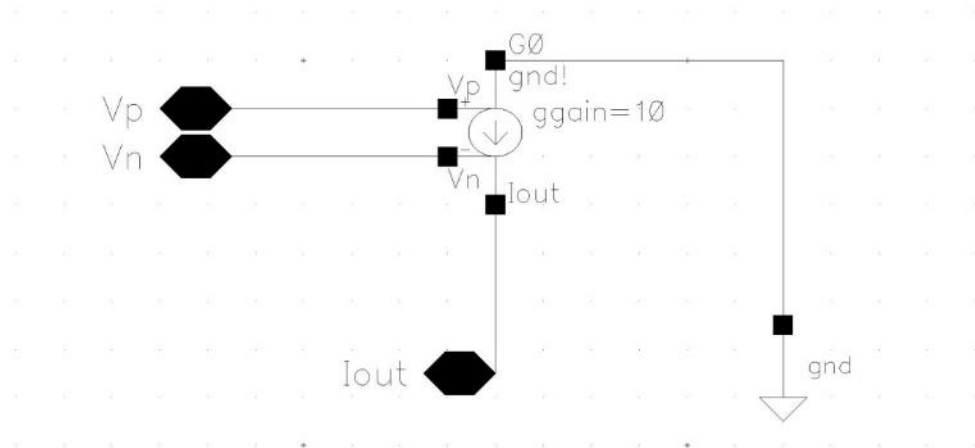


Figura 61 OTA ideal de la tarea anterior

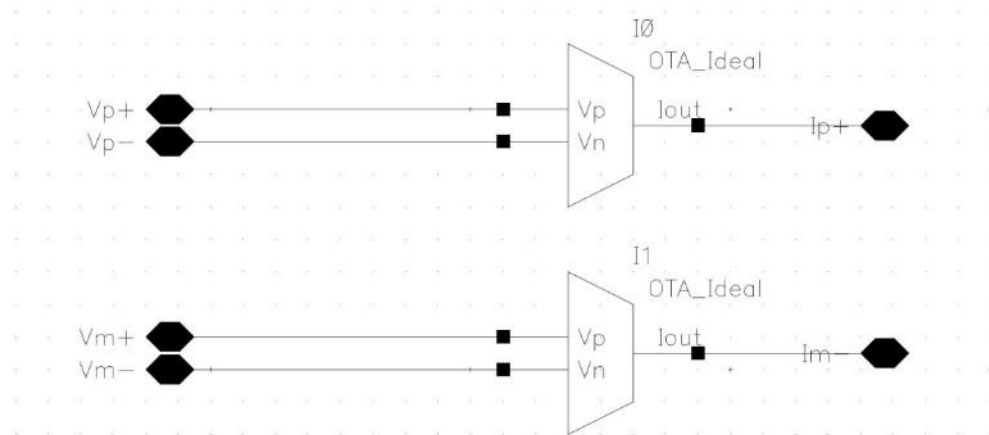


Figura 62 OTA completamente diferencial

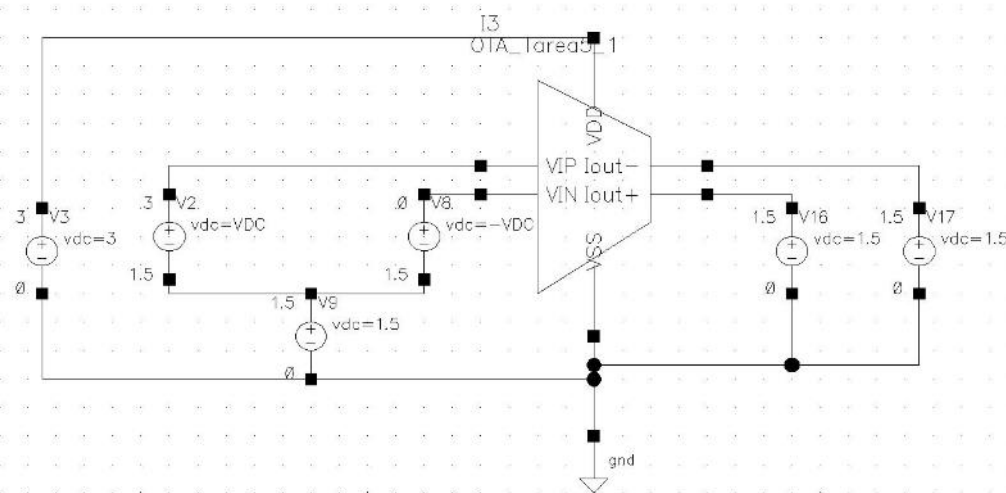


Figura 63 Símbolo del OTA Diferencial

Una vez que se tiene el modelo ideal del OTA completamente diferencial el siguiente paso fue armar el circuito del filtro de acuerdo con el ejemplo visto en clase. Es importante notar que en este circuito se incluyen como carga del filtro los OTAs conectados como resistencias, esto tiene como ventaja que el valor de la resistencia de carga se autoajusta con la  $g_m$  de los OTAs y esto resulta en un filtro completamente ajustable a través de la  $g_m$  de sus OTAs.

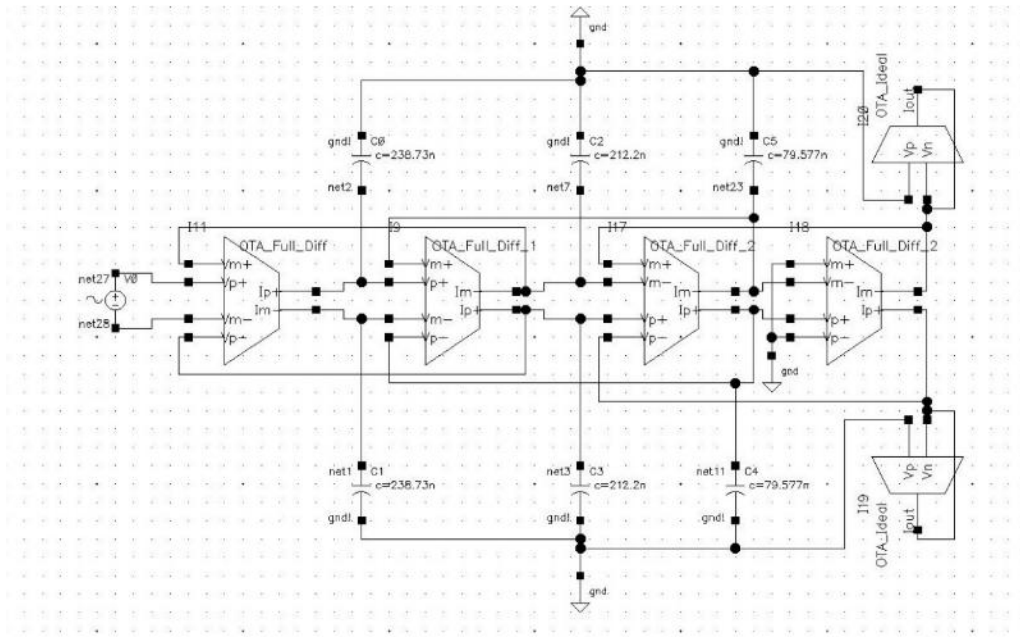


Figura 64 Filtro OTA - C

Por último, se varía la  $G_m$  de los OTAs de acuerdo con los valores requeridos por cada frecuencia de corte y se observa que la respuesta en cada caso sea la misma a la obtenida previamente.

a) 1MHz ( $G_m=1$ )

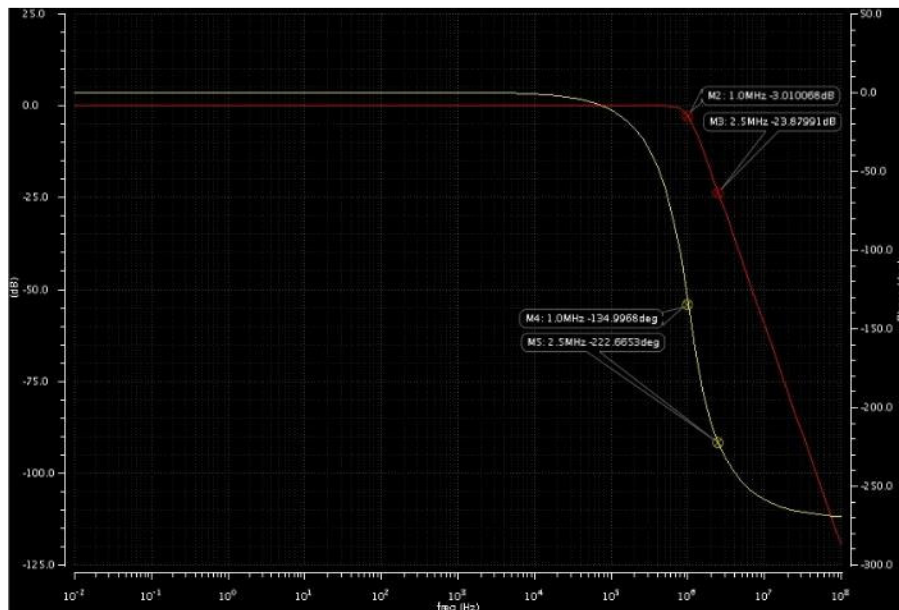


Figura 65 Simulación

b) 2.5MHz (Gm=2.5)

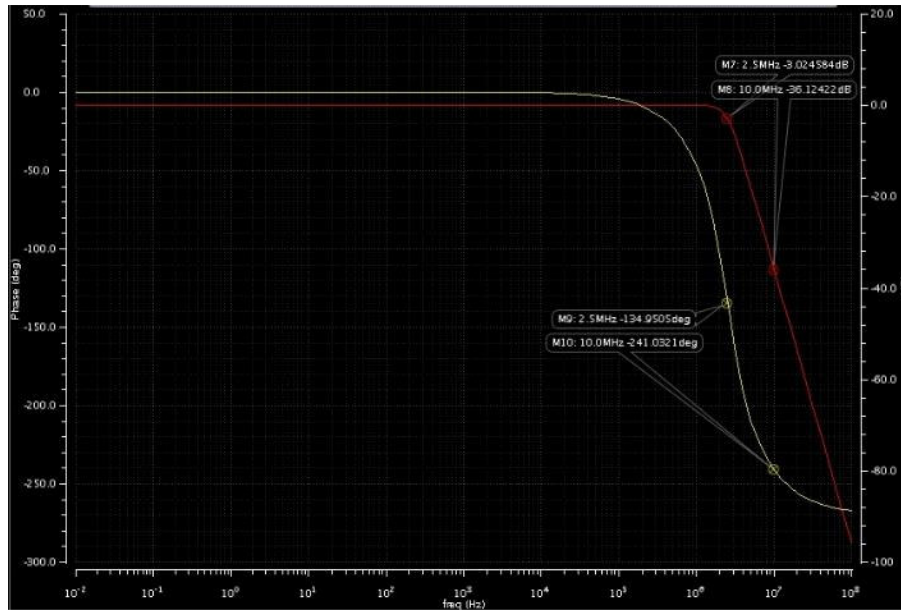


Figura 66 Simulación

c) 4MHz (Gm=4)

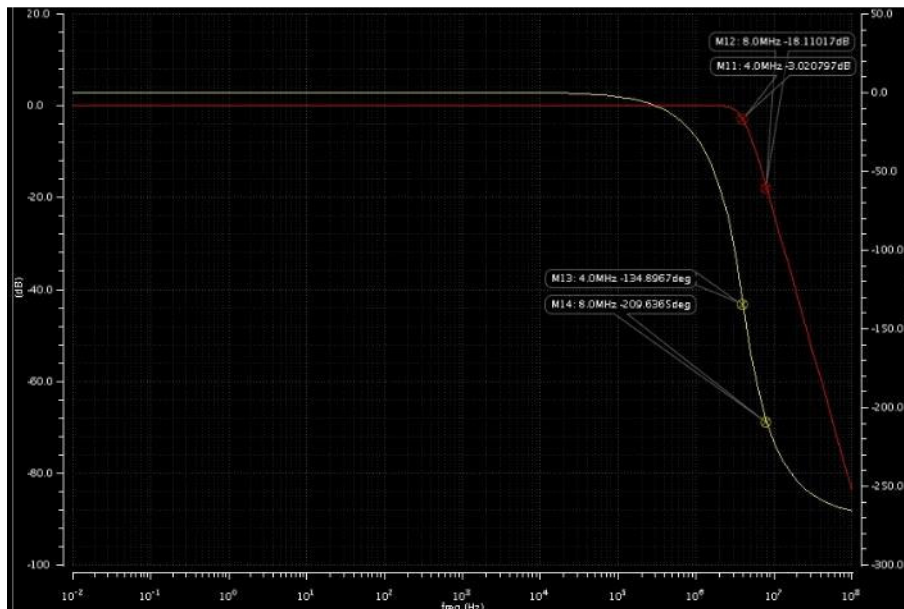


Figura 67 Simulación

d) 10MHz (Gm=10)

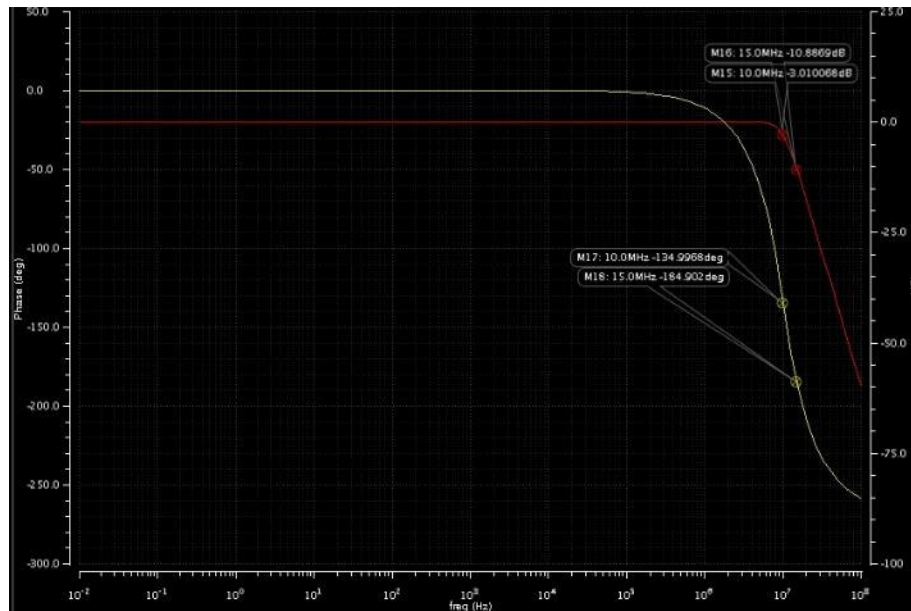


Figura 68 Simulación

Al comparar estos resultados con los obtenidos previamente, se puede ver que la respuesta es prácticamente la misma. Con esto comprobamos que se puede tener un filtro OTA-c completamente diferencial, con las bondades que esto implica, manteniendo la misma respuesta. Adicionalmente se validan las conexiones del circuito que se utilizara más adelante en la implementación del filtro con transistores.

## DISEÑO PRE-LAYOUT

Al resolver este problema no se siguió un proceso de diseño convencional pues al iniciar a resolver el problema aún no se tenían claras las implicaciones de las decisiones de diseño. El proceso fue un proceso iterativo donde cada nueva versión del diseño incluía nuevas consideraciones aprendidas en la versión anterior.

A continuación, se presenta una breve descripción de los resultados y las lecciones aprendidas en cada iteración y un desarrollo completo de la versión final del filtro.

**Versión 1:** En la primera versión se tomó como base el OTA visto en clase para diseñar el nuevo OTA. En esta primera versión se buscó tener un OTA con bajo consumo y dimensiones pequeñas, sin embargo, sin mucha noción de los compromisos de diseño el resultado no fue el esperado pues a pesar de conseguir la atenuación esperada de cada filtro a -3dB, se observó que la pendiente de cada filtro era diferente y por lo tanto no se cumplía con la atenuación en la frecuencia de rechazo.

Por otro lado, de esta primera iteración también se observó cómo es necesario acoplar la resistencia de carga del filtro con el valor de  $1/g_m$  de lo contrario la respuesta del filtro se ve deteriorada mostrando picos cerca de la frecuencia de corte, la misma respuesta se observó con valores erróneos de los capacitores del filtro. Por último, se observó que al aumentar la corriente de control también se disminuía la resistencia de salida del OTA, esta situación hacia que para el caso del filtro a 10MHz la respuesta se atenuara en 2.5dB desde frecuencias bajas.

**Versión 2:** Para esta segunda versión se aumentó el canal de los transistores buscando aumentar la resistencia de salida, también se buscó mantener un buen ancho de banda con dimensiones y consumo mínimo. Es importante mencionar que en este punto hubo una confusión pues se creía que un ancho de banda de 100MHz era requerido. En esta versión se hicieron muchos sacrificios de estabilidad para obtener los 100 MHz de ancho de banda y al final se consiguieron las respuestas esperadas de los filtros, sin embargo, aun con una atenuación considerable. En esta versión se incorporaron OTAs configurados como resistencias para las cargas del filtro, lo cual elimino la necesidad de ajustar la resistencia de carga para cada valor de la corriente de control. La resistencia de linealización se escogió acorde para tener la respuesta deseada sin respetar el rango lineal requerido por el proyecto. En conclusión, esta fue una versión muy marginal pero que daba las respuestas esperadas, con la pendiente correcta pero aun con atenuación.

**Versión 3:** El mayor cambio entre la versión anterior y esta fue que ahora se buscó un GBW de 100MHz en lugar de un BW de 100MHz. Esto permitió desarrollar una versión más robusta con voltajes de saturación mayores y con anchos de canal mayores. El resultado fue una respuesta con menor atenuación y mucho más estable y al igual que la versión anterior, se logró obtener las frecuencias de corte y pendientes correctas, pero aun sin conseguir el rango lineal pues para esta versión la resistencia de linealización aún era fija.

**Versión 4:** En esta versión se incorporó un sistema de *switches* el cual ajustaba el valor de la resistencia de linealización al valor requerido para obtener el rango lineal deseado. Esta ya es una versión que cumple con las especificaciones del proyecto pero que aún necesita cierto ajuste además de la corriente de control para funcionar correctamente. El único problema con esta versión fue que al elegir la  $g_m$  mínima no se consideró la capacitancia parasita por lo que los valores de los capacitores quedaron muy pequeños, al borde de lo recomendado y por eso fue un poco difícil ajustar el filtro.

**Versión 5:** Esta versión incluye todos los elementos aprendidos en las versiones pasadas y busca el diseñar un filtro con atenuación mínima para todos los casos, con capacitores que se puedan integrar y que sea ajustable únicamente con la corriente de control, lo anterior se logra reemplazando la resistencia de linealización por transistores operando en la región de triodo. A continuación, se describe en detalle el diseño del OTA de esta versión:

**Diseño del OTA final:** Se inicia por hacer un análisis de los valores finales de capacitores requeridos para el filtro. En este punto son dos las principales consideraciones para decidir el valor



de los capacitores y por lo tanto la gm. El primero es la integración de los capacitores en un circuito integrado, ya que con valores muy grandes el área que ocuparían los hace imprácticos y si son muy pequeños las capacitancias parasitas afectarían considerablemente la respuesta del circuito, esto acota los valores de los capacitores en un rango de 1 pF a 50 pF. El segundo elemento que considerar tiene que ver con un efecto observado en clase donde, al simular el filtro con OTAs ideales agregando los efectos de la resistencia de salida no infinita, se obtenía que conforme se iban disminuyendo los valores de los capacitores la resistencia de salida cobraba más importancia, es decir que para capacitores muy pequeños una resistencia de salida baja atenuaría más la salida del filtro que para valores de capacitores mayores. Tomando en cuenta estas consideraciones se eligen los siguientes valores de capacitores y transconductancia mínima:

$$L3 = 23.87 \text{ pF}, \quad C2 = 21.22 \text{ pF}, \quad L3 = 7.957 \text{ pF}$$

$$Gm_{min} = 100 \text{ uS}, \quad Gm_{med} = 500 \text{ u}, \quad Gm_{max} = 1 \text{ m}$$

Con estos valores de capacitores se desea una resistencia de salida cercana a 100k para el peor de los casos (corriente máxima).

El siguiente paso es calcular la corriente necesaria para obtener la transconductancia requerida, para hacerlo se utiliza la siguiente formula y algunos valores medidos de simulaciones pasadas.

$$Gm = \frac{2 I_D}{(VGS - VTH)} = \frac{I_B}{(VGS - VTH)}$$

$$I_B = Gm * (VGS - VTH)$$

Entonces:

$$I_{B \min} = 100e - 6 * (0.9925 - .8674) = 12.5 \text{ uA}$$

$$I_{B \max} = 1e - 3 * (1.085 - .8674) = 217.6 \text{ uA}$$

Sin embargo, con la experiencia de las previas iteraciones se sabe que al agregar el elemento de linealización la gm del OTA disminuye, por lo que se selecciona una corriente mayor para compensar este efecto. Los valores finales seleccionados son:

$$I_{B \max} = 310 \text{ uA}, \quad I_{B \text{ med}} = 155 \text{ uA}$$

El siguiente paso es utilizar estos valores de corriente, los valores de gm seleccionados y los voltajes de polarización previamente medidos en las iteraciones previas para calcular el tamaño de los transistores:

$$\frac{WN}{LN} = \frac{I_B}{K_n * (VGSN - VTHN)^2}$$

$$\frac{WP}{LP} = \frac{I_B}{K_p * (VGSP - VTHP)^2}$$

Los valores de  $K_n$ ,  $K_p$ ,  $V_{THN}$  y  $V_{THP}$  se obtienen de simulaciones previas. El valor de  $V_{GSN}$  se calcula usando el voltaje de modo común y el voltaje mínimo deseado para polarizar los espejos de corriente, en este caso 410 mV. Por último, el valor de  $V_{GSP}$  se toma el mismo que el  $V_{CM}$ .

Entonces, utilizando el punto de operación medio, se calculan los transistores NMOS del par diferencial:

$$\frac{WN}{LN} = \frac{155 \mu A}{117 \mu (1.05 - 0.8841)^2} = 48.1341$$

Usando  $LN = 3 \mu$  y un multiplicador de 8:

$$WN = \frac{(48.1341 * 3 \mu)}{8} = 18.0503 \mu$$

Para el caso de los PMOS se tiene:

$$\frac{WP}{LP} = \frac{155 \mu A}{35 \mu (1.5 - 0.9471)^2} = 14.4867$$

Usando  $LP = 3 \mu$  y un multiplicador de 8:

$$WP = \frac{(14.4867 * 3 \mu)}{8} = 5.4325 \mu$$

Por último, para los transistores del espejo se tiene lo siguiente:

$$\frac{WM}{LM} = \frac{2 * I_B}{K_n * (V_{DSat})^2} = \frac{350 \mu}{117 \mu * (0.175)^2} = 195.36$$

Usando  $LM = 5 \mu$  y un multiplicador de 2:

$$WM = \frac{(195.36 * 5 \mu)}{2} = 488.4 \mu$$

Para el caso de la circuitería de retroalimentación del modo común, se hace una escala del par diferencial de 1:4, de forma que los valores de estos transistores son un cuarto de los transistores del par diferencial.

El siguiente paso es armar el circuito con las dimensiones calculadas y simularlo. Al hacerlo se puede ver que un par de ajustes finos son necesarios para alcanzar los parámetros requeridos, entonces la siguiente tabla muestra las dimensiones finales del OTA.

	W (u)	L (u)	Multiplicador
Par diferencial PMOS	5	3	8
Par diferencial NMOS	20	3	8
Espejo	499	5	1
CMFB PMOS	5	3	2
CMFB NMOS	20	3	2
CMFB Espejo	260	5	1

El siguiente paso es agregar el elemento de linealización, en este caso serán un par de transistores NMOS conectados en paralelo y operando en la región de triodo. El ajuste de estos transistores fue en proceso completamente empírico y no involucro caculo alguno. Al final estas fueron las dimensiones seleccionadas:

	W (u)	L (u)	Multiplicador
NMOS en Triodo	25	5	4

El siguiente paso es simular y caracterizar el OTA para hacerlo se utilizan los siguientes circuitos de prueba.

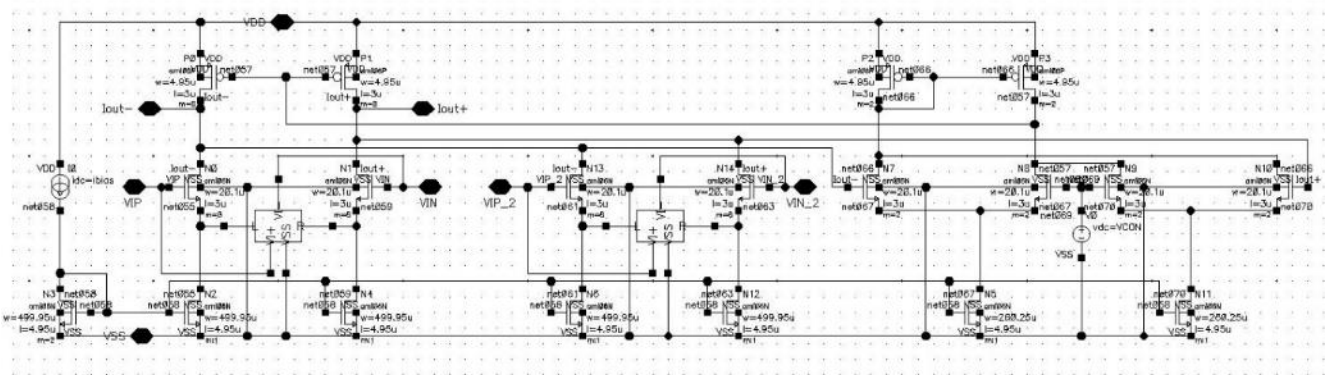


Figura 69 Dimensiones finales del OTA

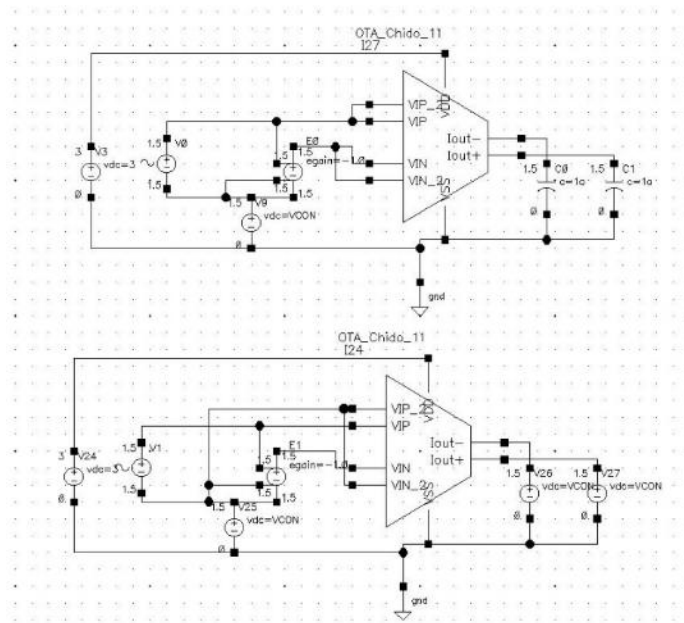


Figura 70 Circuitos de prueba del OTA

Al hacer un barrido en DC del voltaje de entrada para distintos valores de corriente de control, se obtiene la siguiente grafica de corrientes de salida.

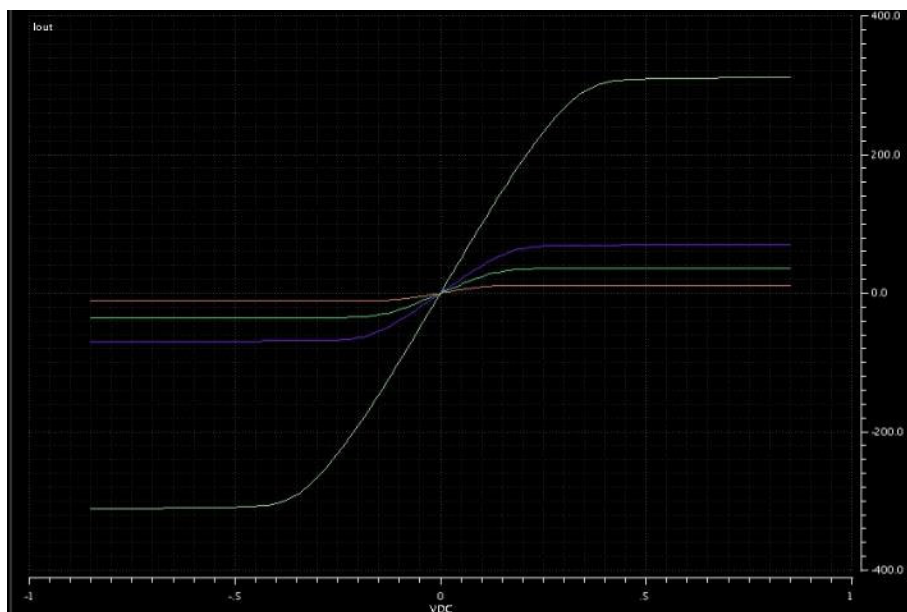


Figura 71 Simulación

Al derivar estas expresiones se obtiene la transconductancia del OTA.

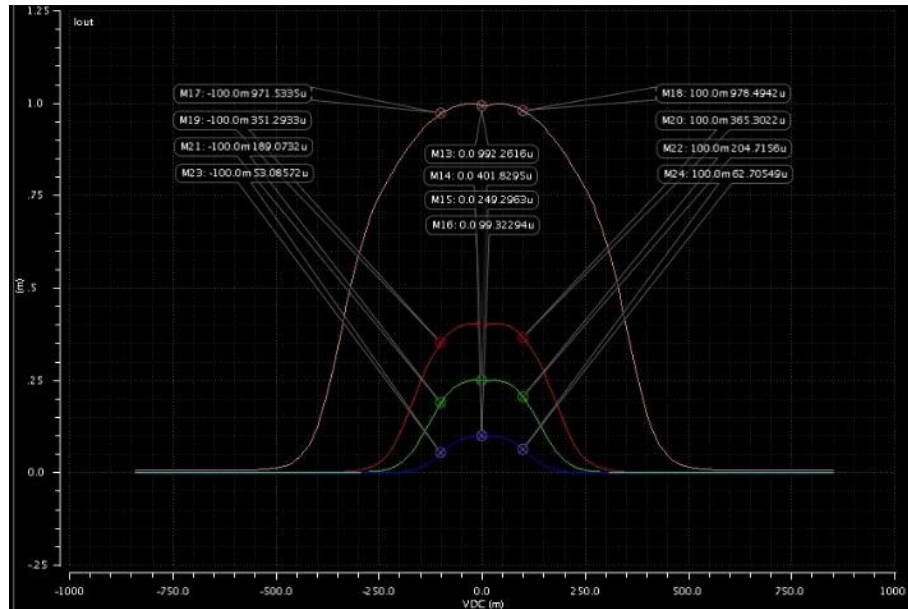


Figura 72 Simulación

Al igual que el ajuste de los transistores de linealización, el valor de la corriente de control para el cual se tiene un rango de  $G_{mx}$  a  $10 G_{mx}$ , se obtuvo de forma empírica. La siguiente tabla muestra resumen de los resultados:

Table 4 resumen de resultados

Corriente	$G_{mx}$	Relación
11.1 u	99.32 u	$G_{mx}$
35.25 u	249.29 u	$\cong 2.5 G_{mx}$
56 u	401.82 u	$\cong 4 G_{mx}$
311.5 u	992.26 u	$\cong 10 G_{mx}$

Una vez caracterizada la  $G_m$  del OTA el siguiente paso es comprobar que se tenga una buena resistencia de salida y que se tenga un buen GBW, arriba de 100MHz para el caso de  $10G_{mx}$ . LA siguiente grafica muestra la respuesta en frecuencia para los casos de  $G_{mx}$  y  $10G_{mx}$  y como se puede observar el GBW se encuentra en un buen valor.

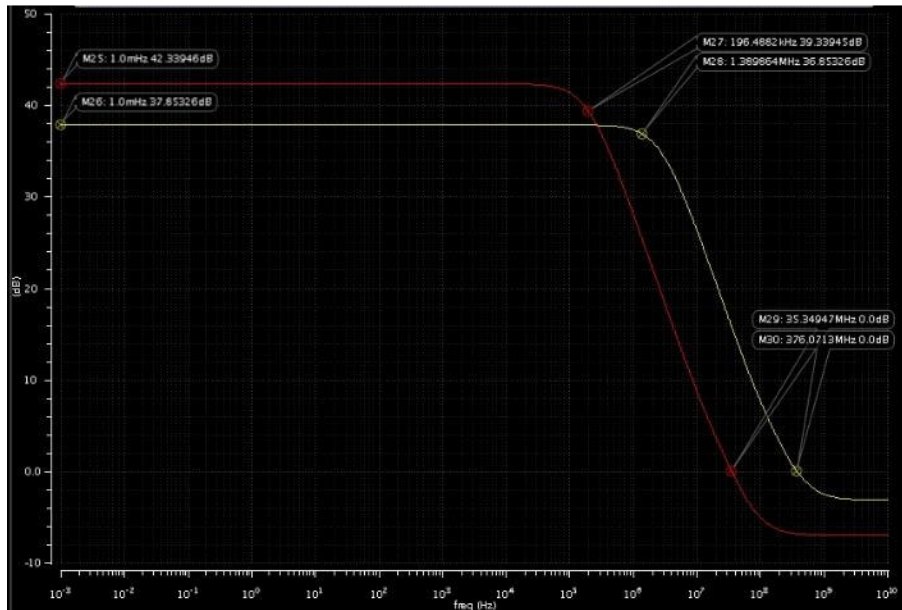


Figura 73 Respuesta en Frecuencia

Por otro lado, el valor de la resistencia de salida se calcula como sigue:

$$R_{out} = \frac{A}{gm} = \frac{10^{AdB/20}}{gm}$$

$$R_{out\ Min} = \frac{10^{37.85/20}}{992.26\ \mu} = 79.13\ k\Omega, \quad R_{out\ Max} = \frac{10^{42.34/20}}{99.32\ \mu} = 1.31\ M\Omega$$

## SIMULACIONES

Una vez diseñado el OTA con transistores polarizados en la región de triodo para aumentar el rango lineal del OTA se procede a armar el filtro. Al igual que en el ejercicio 1 se utilizan OTAs como resistencias para autoajustar su valor con la gm. Es importante mencionar que al utilizar esta configuración se logró tener un filtro completamente ajustable solo con la corriente de referencia. El proceso para ajustar el filtro y las distintas respuestas se muestran a continuación.

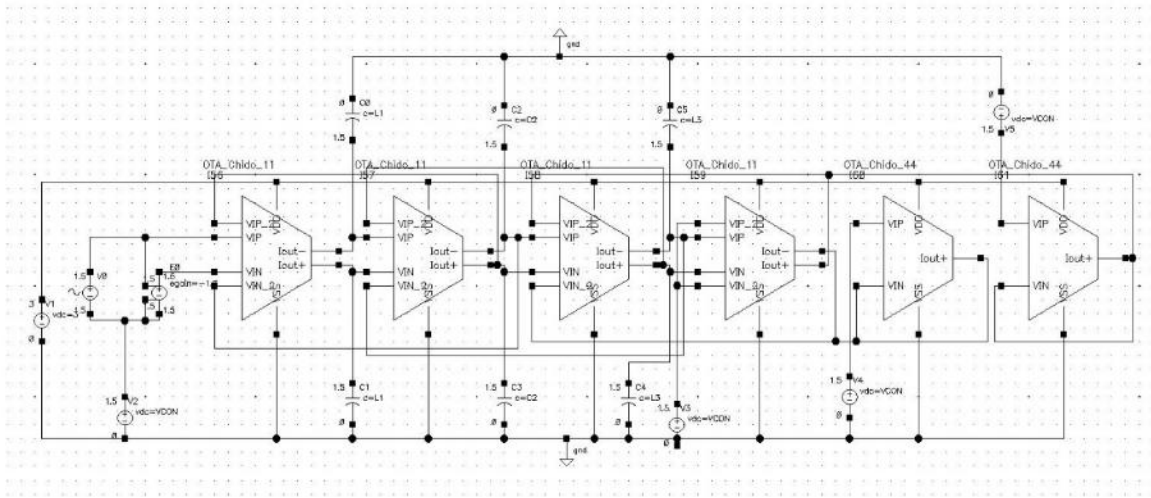


Figura 74 Circuito del Filtro OTA-C

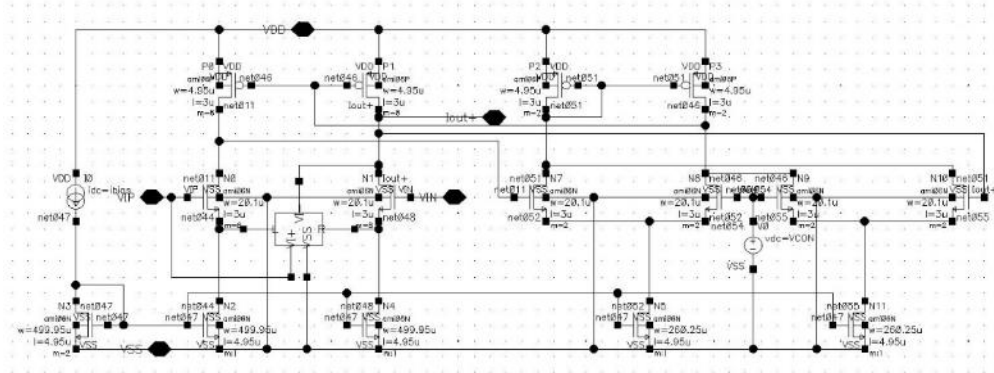


Figura 75 Circuito del OTA de carga

Para mejorar la respuesta del filtro se debe caracterizar la capacitancia parasita del OTA. Usando los resultados de la simulación se tienen los siguientes valores:

$$C_L = \frac{gm}{GBW} = \frac{99.2u}{2\pi * 35.34MHz} = 0.4473 pF$$

Este valor de capacitancia se le resta al valor de los capacitores de manera que la capacitancia real en el nodo se parezca lo más posible al valor calculado para el filtro. La siguiente grafica muestra las respuestas de los filtros utilizando las corrientes de la Tabla 1. Se incluyen marcadores en sus respectivas frecuencias de corte para poder observar que se cumplen las especificaciones del filtro y que la atenuación en DC del peor de los casos es de -400 mdB.

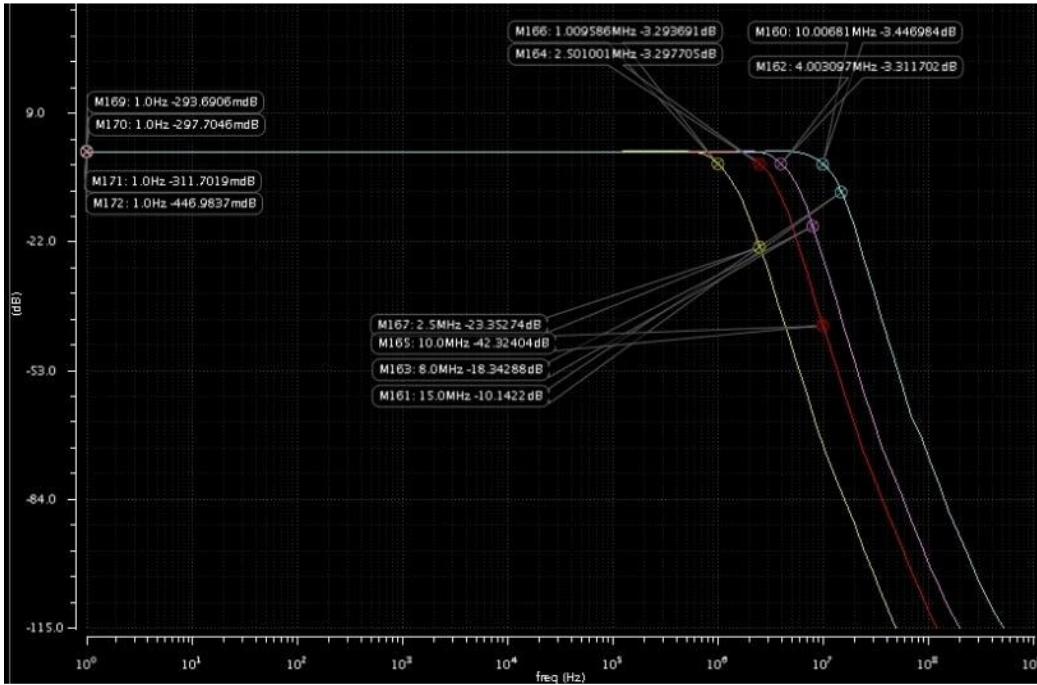


Figura 76 Respuestas del filtro

A continuación, se incluyen las respuestas individuales de los filtros mostrando marcadores en la ganancia a las frecuencias de corte y frecuencias de rechazo y sus respectivas fases.

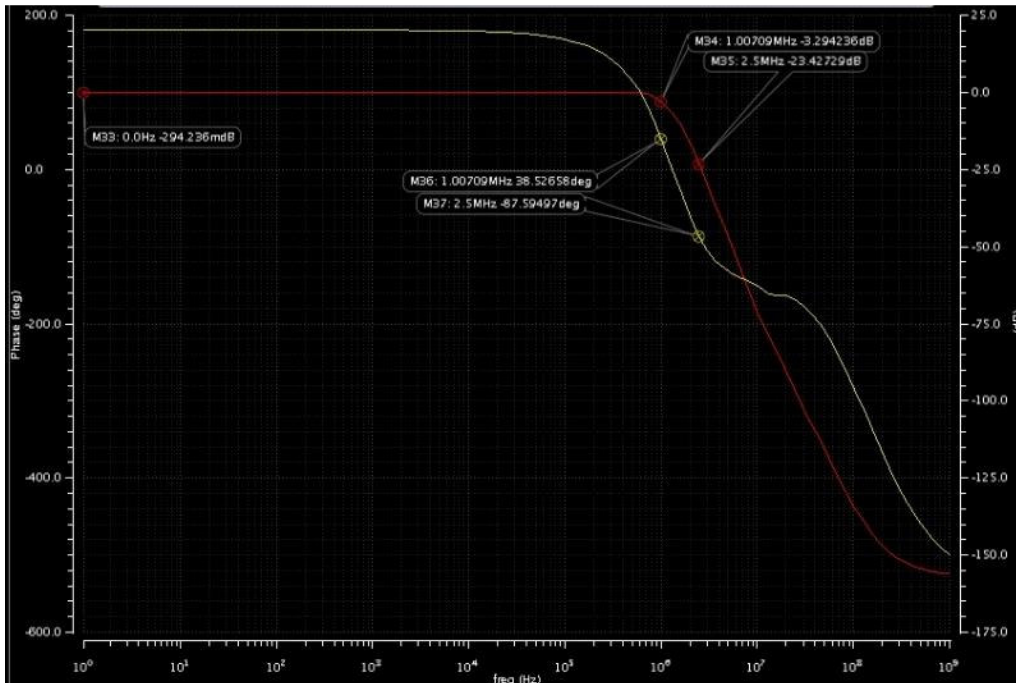


Figura 77 Filtro a 1MHz



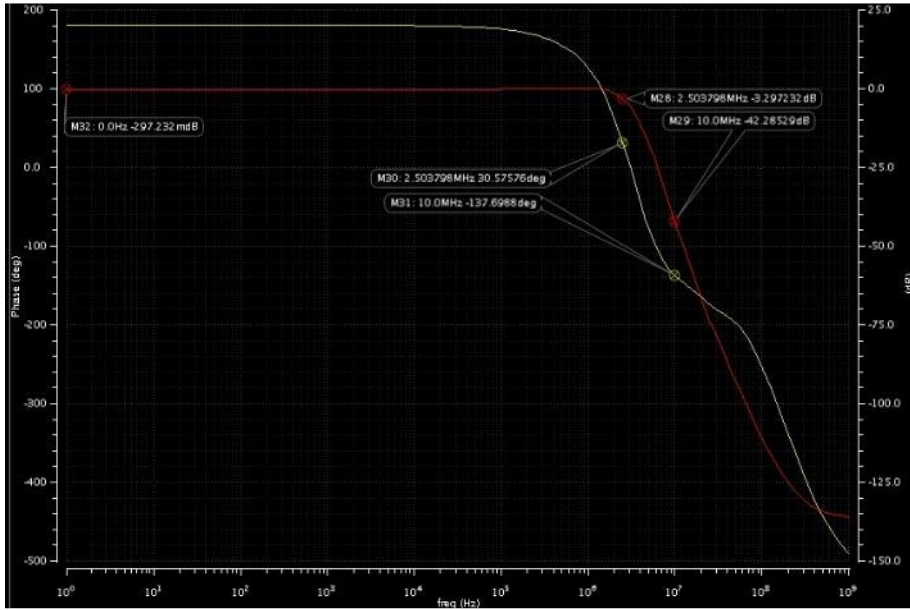


Figura 78 Filtro a 2.5 MHz

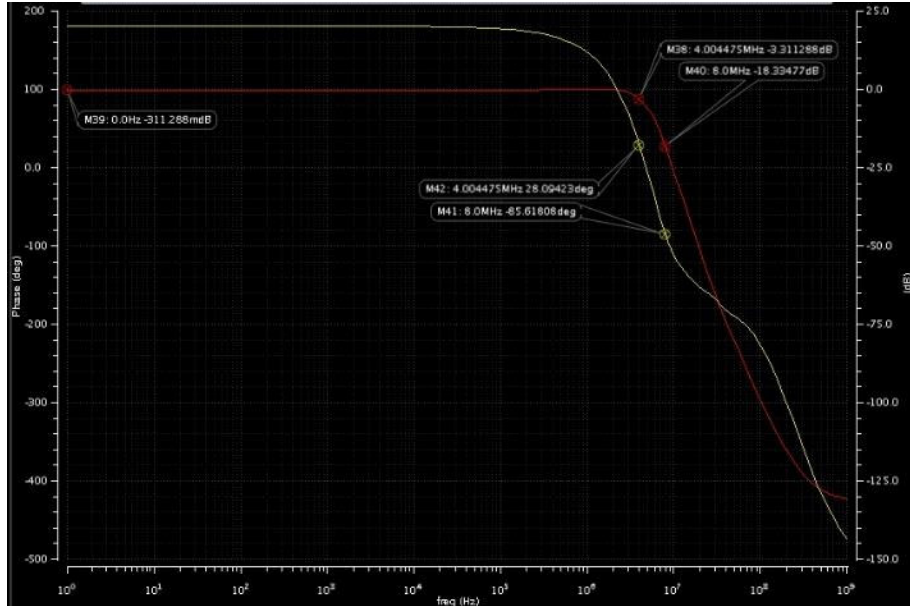


Figura 79 Filtro a 4 MHz

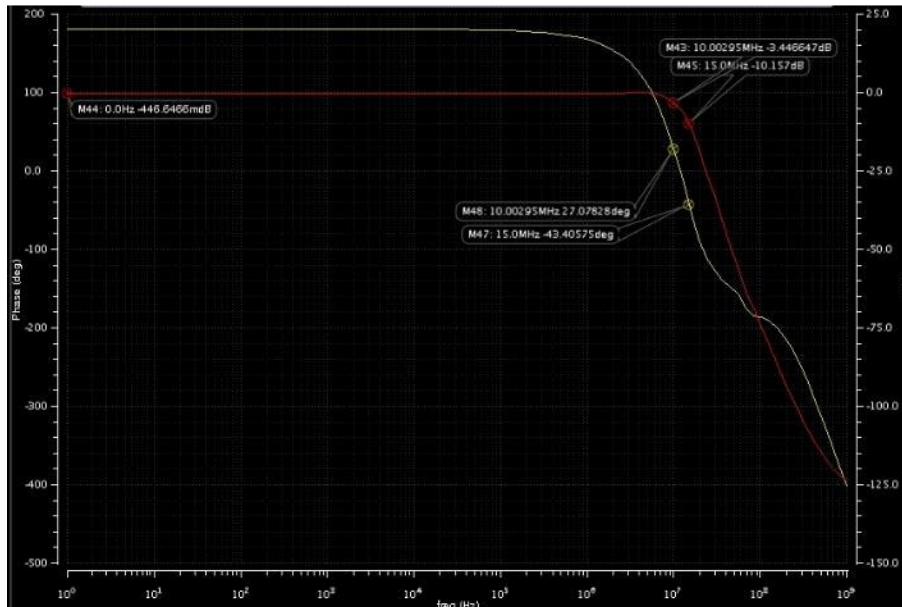


Figura 80 Filtro a 10MHz

## CONCLUSIONES

En el marco teórico se comprobó que se puede pasar de una implementación pasiva a una implementación activa sin afectar la respuesta en frecuencia, sin embargo, esto solo pasa cuando se utilizan OTAs ideales pues como se vio después al agregar la resistencia de salida en el modelo, la respuesta en frecuencia presenta atenuación cada vez mayor conforme se disminuye  $R_{out}$  y esto afecta totalmente la frecuencia de corte del filtro. Otro aspecto importante es el principio de operación en el que se basó el proyecto final, solo con variar la transconductancia de los OTAs y dejando los mismos valores de los capacitores del filtro de 1MHz se pueden obtener las distintas frecuencias de corte de los cuatro filtros diseñados. Si consideramos esto y que la  $g_m$  de los OTAs puede ser controlada fácilmente con la corriente de polarización se puede tener filtros programables.

Las simulaciones de los OTA reales, ayudó a comprender que en un OTA ideal la transconductancia se mantiene constante en el rango de operación, sin embargo, en un OTA real esto no se cumple y el rango en el que la transconductancia se mantiene con una variación aceptable es un rango muy pequeño. También se experimentó con una de las técnicas para aumentar el rango en el que la transconductancia se mantiene con poca variación. Como se pudo observar al aumentar la resistencia que conecta ambas ramas del par diferencial se obtiene un mayor rango donde  $g_m$  se mantiene sin variaciones, sin embargo, también se observó que al

hacerlo también se disminuye el valor máximo de la transconductancia. Entonces para un buen compromiso fue necesario para una entrada de  $\pm 100$  mV.

Al final, en el diseño del OTA se siguió un proceso iterativo en el cual se fueron incorporando la experiencia y el conocimiento nuevo con cada iteración. Se aprendió de la importancia de tomar en cuenta los efectos de capacitancias parasitas, se comprobó que la resistencia de salida no es infinita y que es muy importante considerarla en el proceso de diseño. También se aprendió la importancia de tener un buen GBW para evitar asegurar que el OTA es capaz de manejar los capacitores del filtro de forma correcta, etc. A lo largo del desarrollo de este proyecto se llegó a varias soluciones que en cierto grado cumplían con las especificaciones planteadas, al final se llegó a una solución óptima al tomar en cuenta consideraciones como los valores de los capacitores para tengan dimensiones realizables en silicio, agregando OTAs como resistencia para autoajustar la carga del filtro y agregando transistores operando en la región de triodo para autoajustar la resistencia de linealización de los OTAs. Con estas consideraciones se logró tener un filtro completamente configurable únicamente variando la corriente de control y se pudo verificar que los requerimientos del proyecto se cumplieron.

## REFERENCIAS

- [1] Esdras Juárez, Lecture SIMPLE CMOS OTA Design, Marzo 2013
- [2] Esdras Juárez, Lecture Fully Differential OTAs, Octubre 2013
- [3] Esdras Juárez, CMOS OTAs for Analog Filter Design, Octubre, 2013
- [4] Esdras Juárez, Lecture Common Mode Feedback Circuits, Noviembre 2013
- [5] E. Sanchez Sinencio and J. Silva Martinez. CMOS transconductance amplifiers, architectures and active filters: a tutorial.
- [6] Huelsman, Lawrence: Active & Passive Analog Filter Design. McGraw-Hill, 1993



**ITESO**

Universidad Jesuita  
de Guadalajara

# **Diseño Avanzado de Circuitos Integrados Avanzados**

M.C. Federico Lobato

**FILTRO PASA-BAJAS ACTIVO CMOS OTA-C CON SINTONIZACIÓN  
AUTOMÁTICA ASISTIDA POR UN PLL INTEGRADO PARA  
RECEPTORES MULTI-ESTÁNDAR.**

Rigoberto Bracamontes Salazar

MD6090846

## Contenido

<a href="#">OBJETIVO</a> .....	154
<a href="#">Marco Teórico (T1)</a> .....	155
<a href="#">Modelo de Referencia en VerilogA Fuentes de Voltaje y Corriente (T2)</a> .....	159
<a href="#">Modelo de Referencia en VerilogA Filtros y PFD (T3)</a> .....	166
<a href="#">Modelo de Referencia en VerilogA ICO y Divisor de Frecuencias (T4)</a> .....	172
<a href="#">Modelo de Referencia en VerilogA Charge Pump e Integración del PLL (T5)</a> .....	180
<a href="#">Diseño Pre-Layout y Simulaciones del VCO(T6)</a> .....	195
<a href="#">TRABAJO FUTURO</a> .....	207
<a href="#">CONCLUSIONES</a> .....	207

## OBJETIVO

Diseñar un filtro pasa-bajas activo CMOS OTA-C con sintonización automática asistida por un PLL integrado para receptores multi-estándar. En este documento se describe el diseño del PLL y la integración forman parte de un trabajo futuro.

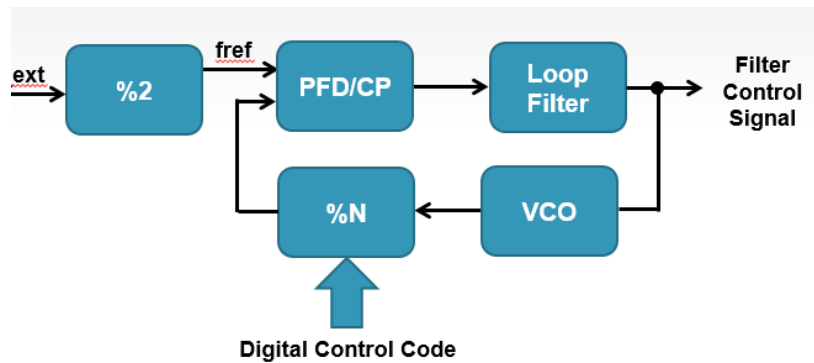


Figura 81 Diagrama a bloques de un PLL.

El filtro deberá ser programable y deberá contar con cuatro frecuencias de amarre las cuales se describen a continuación.

fref	fout	N
500.0E+3	1.0E+6	2.00
500.0E+3	2.5E+6	5.00
500.0E+3	4.0E+6	8.00
500.0E+3	10.0E+6	20.00

Figura 82 Especificaciones del PLL.

Las frecuencias de salida del PLL son las mismas que las frecuencias de corte del filtro y la idea es que esta similitud ayude en la futura integración de ambos bloques.

Este proyecto fue desarrollado a lo largo del semestre en base a trabajo en clase y tareas, por lo que el reporte del mismo está formado por las tareas del curso. A continuación, se presentan dichas tareas explicando su aporte al proyecto.

## Diseño Avanzado de Circuitos Integrados Avanzados

a) Develop an analogy between a chemical, a physical, or an optical system and the PLL system.

Una analogía del funcionamiento del PLL se podría hacer con la regulación de la temperatura de los mamíferos de sangre caliente. Por ejemplo, la frecuencia de referencia se pudiera comparar con la temperatura normal del cuerpo y la frecuencia de salida con la temperatura real del cuerpo. Entonces, las diferencias en frecuencia causadas por las distintas variables del entorno se pudieran comparar con la diferencia de la temperatura del cuerpo con la temperatura actual causada por actividad física o por la temperatura del medio ambiente. Continuando con la analogía el PLL detectara esta diferencia y modificara el voltaje de entrada del VCO hasta llegar a la frecuencia deseada. De forma similar el cuerpo detectara que está caliente o frío y modificara el metabolismo para compensar y alcanzar la temperatura normal del cuerpo.

b) Compare the following commercial PLLs; one from I and one from II

– I. CY25701, CY24293, SI5251, SI5338

– II. CDCUA877, CDCU877A, ICD97U877a, ICS97U877, MPC96877, IDTCSPU877

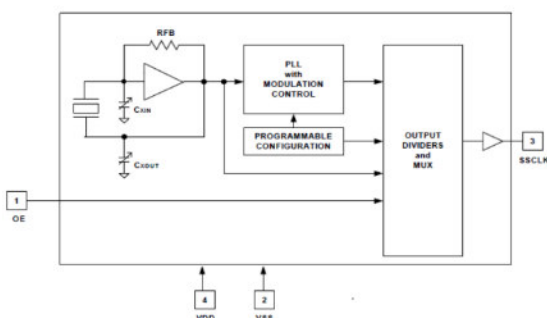
Include in this comparison; Fref, Fvco, Fout, Power consumption, Startup Time, Settling Time, Jitter (Period, Half-period, cycle-to-cycle), Phase Noise, Applications and Main differences in architectures.

	<b>CY25701</b>	<b>CDCUA877</b>
<b>FRef</b>	Internal	External 160 MHz to 410 MHz
<b>FVCO</b>	N / A	160 MHz to 410 MHz
<b>FOut</b>	Up to 166 MHz	160 MHz to 410 MHz

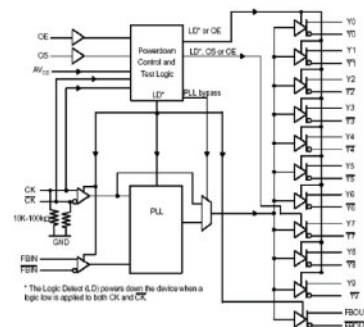
<b>Power Consumption</b>	<165 mW	<380 mW
<b>Startup time</b>	< 10 ms	<6 $\mu$ s
<b>Settling Time</b>	N/A	N/A
<b>Jitter Period</b>	N/A	$\pm$ 30 ps
<b>Jitter Half Period</b>	N/A	$\pm$ 75 ps
<b>Jitter Cycle to Cycle</b>	85 to 200 ps	0 to 40 ps
<b>Phase Noise</b>	N/A	N/A
<b>Applications</b>	Suitable for most PC, DDR2 and SDRAM consumer, and networking applications	

### Diferencias en la Arquitectura

La principal diferencia en arquitectura es que la frecuencia de referencia es interna para el CY25701 y en cambio es externa para el CDCUA877. Otra diferencia es el número de salidas de reloj disponibles, para el CY25701 solo hay una salida de reloj mientras que para el CDCUA877 hay 10. Otra diferencia importante es que en el CY25701 la frecuencia de salida es programable mientras que el CDCUA877 solo es un buffer que se limita a seguir a la referencia. Hablando de la arquitectura del PLL no se puede hacer una comparación detallada pues ninguno de los fabricantes detalla su funcionamiento en la información disponible en sus páginas web.



CY25701

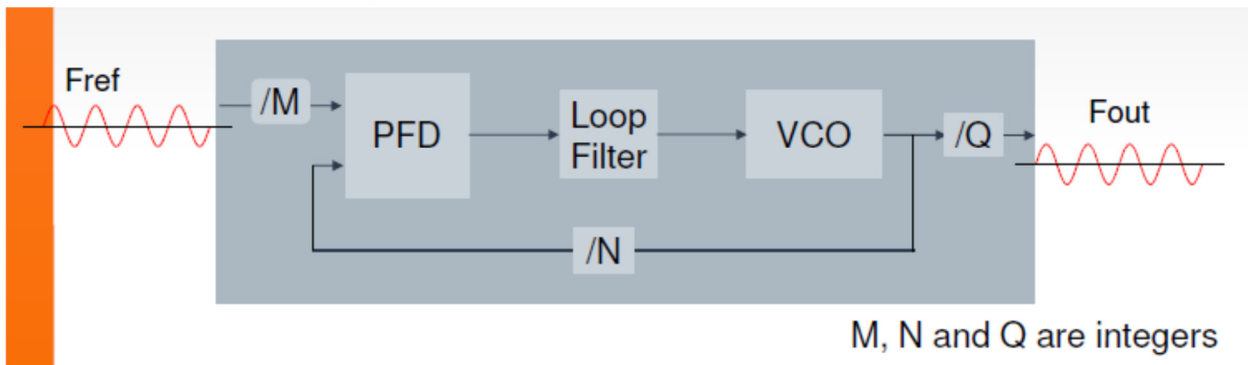


CDCUA877

Figura 83 PLL comerciales.



c) Review middle system for some exercises



c.1)  $Q=2$ ,  $N=4$  and  $F_{out} = 125\text{kHz}$ ; find  $M$  and  $F_{ref}$ .

$$\frac{F_{ref}}{M} = \frac{F_{out} * Q}{N}$$

$$\frac{F_{ref}}{M} = \frac{250 \text{ kHz}}{4} = 62.5 \text{ kHz}$$

$$F_{ref} = (62.5 \text{ kHz}) * M$$

**Solucion 1:**  $F_{ref} = 62.5 \text{ kHz}, M = 1$

**Solucion 2:**  $F_{ref} = 125 \text{ kHz}, M = 2$

c.2)  $Q=1$ ,  $M=4$  and  $F_{ref} = 250\text{MHz}$ ; find  $N$  and  $F_{out}$

$$\frac{F_{ref}}{M} = \frac{F_{out} * Q}{N}$$

$$\frac{250 \text{ MHz}}{4} = \frac{F_{out}}{N}$$

$$F_{out} = (62.5 \text{ MHz}) * N$$

**Solucion 1:**  $F_{out} = 62.5 \text{ MHz}, N = 1$

**Solucion 2:**  $F_{out} = 125 \text{ MHz}, N = 2$

c.3)  $Q=4$ ,  $F_{out}/F_{ref} = 4$ ; find  $N$  and  $M$ .

$$\frac{N}{M * Q} = \frac{F_{out}}{F_{ref}} = 4$$

$$\frac{N}{M} = 16$$

**Solucion 1:**  $M = 1, N = 16$

**Solucion 2:**  $M = 2, N = 32$

c.4)  $Q=1, N/M = 5$ ; find  $F_{out}$  and  $F_{ref}$ .

$$\frac{F_{ref}}{M} = \frac{F_{out} * Q}{N}$$

$$\frac{N}{M} = \frac{F_{out}}{F_{ref}} = 5$$

**Solucion 1:**  $F_{out} = 5, F_{ref} = 1$

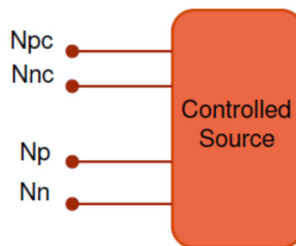
**Solucion 2:**  $F_{out} = 10, F_{ref} = 2$

# Diseño Avanzado de Circuitos Integrados Avanzados

a) Create the verilogA model for the following elements:

- i. Voltage Controlled Voltage Source (VCVS)
- ii. Voltage Controlled Current Source (VCCS)
- iii. Current Controlled Voltage Source (CCVS)
- iv. Current Controlled Current Source (CCCS)

All source must have 2 ports; 1 port for controlling and 1 port to sense the source as well as programmability. Present the verilogA code and verification plan (testbenches)



## • VCVS

VerilogA: Código en VerilogA de una fuente de voltaje controlada por voltaje.

```

/home/usuario/NCSU/Rigo_VerilogA/VCVS/veriloga/veriloga.va
// VerilogA for Rigo_VerilogA, VCVS, veriloga
`include "constants.vams"
`include "disciplines.vams"
module VCVS(Vp, Vn, Op, On);
  inout Vp, Vn, Op, On;
  electrical Vp, Vn, Op, On;
  parameter real gain = 1;
  analog begin
    V{Op, On} <+ gain*V{Vp, Vn};
  end
endmodule
    
```

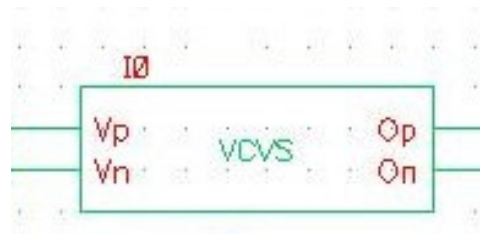


Figura 84 Símbolo

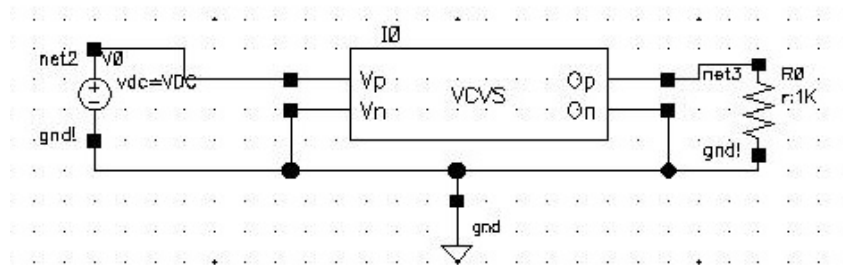


Figura 85 Test Bench

## Simulación

Para la verificación se realizó un barrido de voltaje desde 0 a 5 volts, la fuente está programada con una ganancia de 2 por lo que se espera que el voltaje a la salida sea el doble de la entrada.

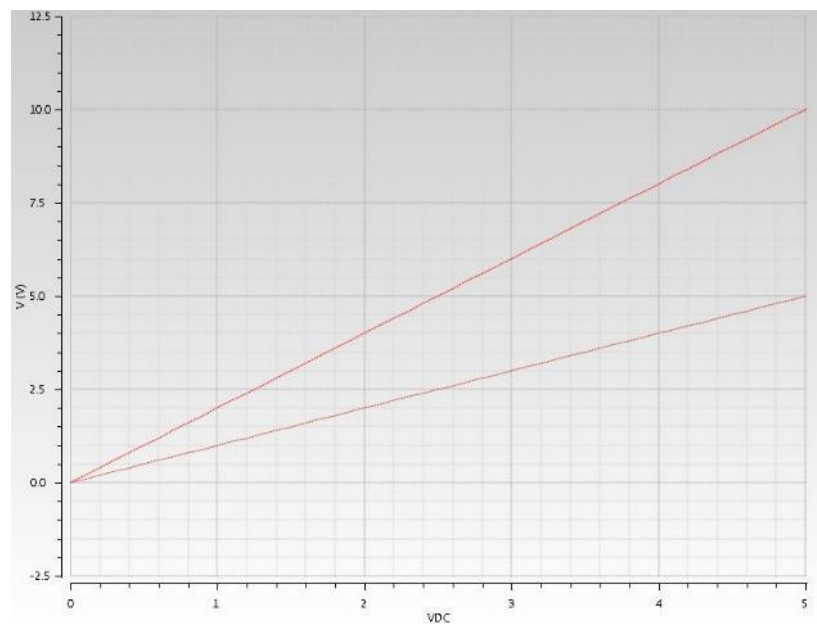


Figura 86 Simulación: Entrada (Café), Salida(Rojo)

## • VCCS

VerilogA: Código en VerilogA de una fuente de corriente controlada por voltaje.

```
/home/usuario/NCSU/Rigo_VerilogA/VCCS/veriloga/veriloga.va
// VerilogA for Rigo_VerilogA, VCCS, veriloga
`include "constants.vams"
`include "disciplines.vams"

module VCCS(Vp, Vn, IOp, IOIn);
  inout Vp, Vn, IOp, IOIn;
  electrical Vp, Vn, IOp, IOIn;
  parameter real gain = 1;

  analog begin
    I(IOp, IOIn) <+ gain*V(Vp, Vn);
  end
endmodule
```

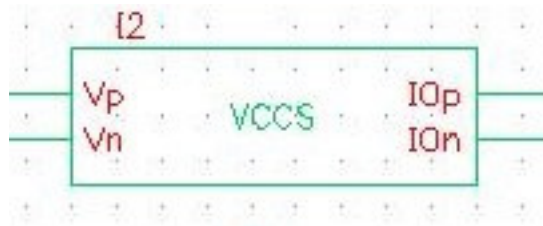


Figura 87 Símbolo

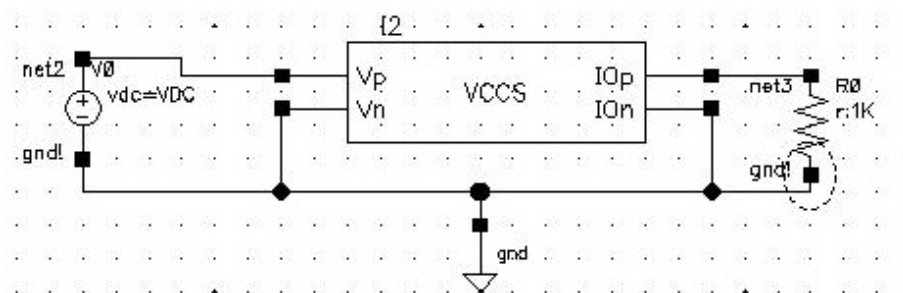


Figura 88 Test Bench

## Simulación

Para la verificación se realizó un barrido de voltaje desde 0 a 5 volts, la fuente está programada con una ganancia de 2 por lo que se espera que la corriente a la salida tenga el doble de magnitud que el voltaje a la entrada.

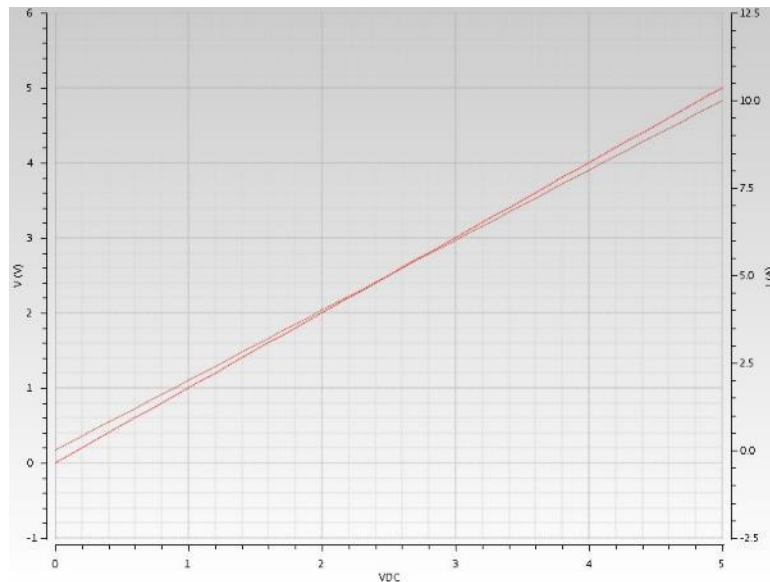


Figura 89 Simulación: Entrada (Café), Salida(Rojo)

## • CCVS

Verilog A: Código en Verilog A de una fuente de voltaje controlada por corriente.

```

/home/usuario/NCSU/Rigo_VerilogA/CCVS/veriloga/veriloga.va
// VerilogA for Rigo_VerilogA, CCVS, veriloga
`include "constants.vams"
`include "disciplines.vams"

module CCVS(Ip, In, Op, On);

  inout Ip, In, Op, On;
  electrical Ip, In, Op, On;
  parameter real gain=1;

  analog begin
    V(Op, On) <+ gain*I(Ip, In);
  end

endmodule

```



Figura 90 Simbolo

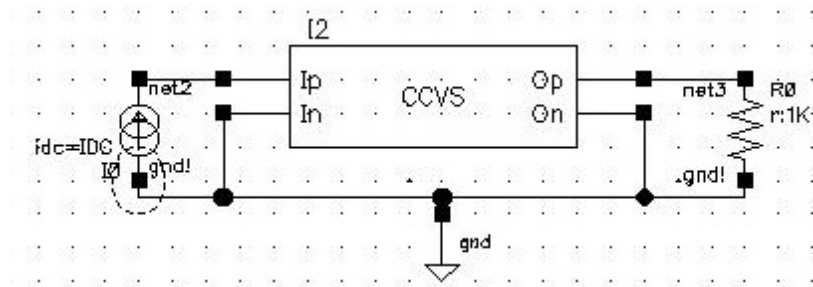


Figura 91 Test Bench

Para la verificación se realizó un barrido de corriente desde 0 a 5 amperes, la fuente está programada con una ganancia de 3 por lo que se espera que el voltaje a la salida tenga el triple de magnitud que la corriente a la entrada.

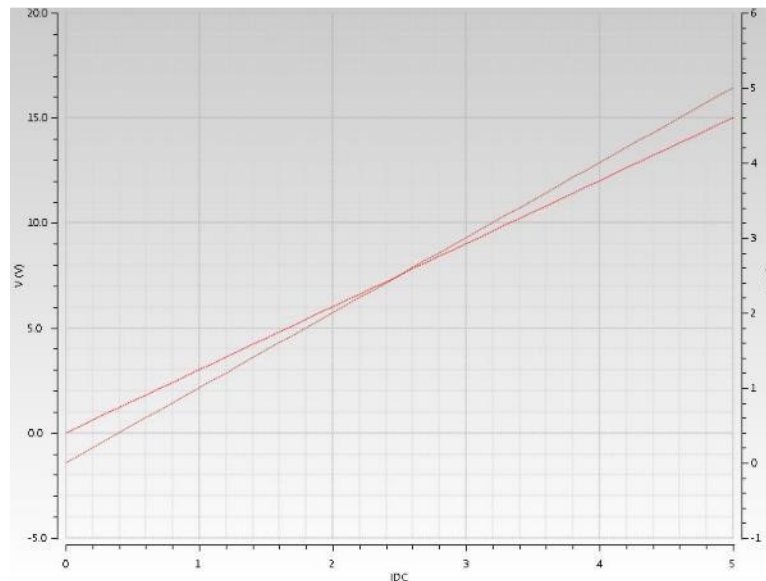


Figura 92 Simulación: Entrada (Café), Salida(Rojo)

- **CCCS**

VerilogA: Código en VerilogA de una fuente de corriente controlada por corriente.

```

/home/usuario/NCSU/Rigo_VerilogA/CCCS/veriloga/veriloga.va
// VerilogA for Rigo_VerilogA, CCCS, veriloga
`include "constants.vams"
`include "disciplines.vams"

module CCCS(Ip, In, IOp, IOn);

  inout Ip, In, IOp, IOn;
  electrical Ip, In, IOp, IOn;
  parameter real gain = 1;

  analog begin
    I(IOp, IOn) <+ gain * I(Ip, In);
  end

endmodule

```



Figura 93 Símbolo

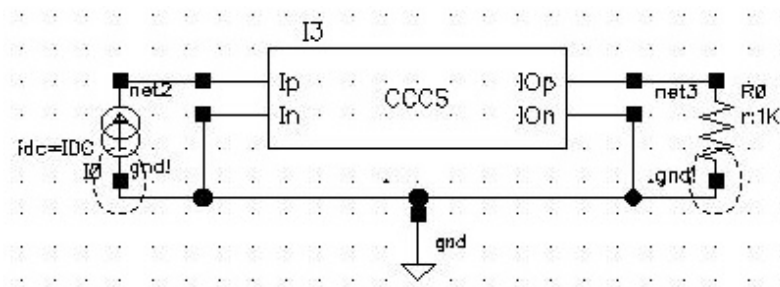


Figura 94 Test Bench

Para la verificación se realizó un barrido de corriente desde 0 a 5 amperes, la fuente está programada con una ganancia de 3 por lo que se espera que la corriente a la salida tenga el triple de magnitud que la corriente a la entrada.



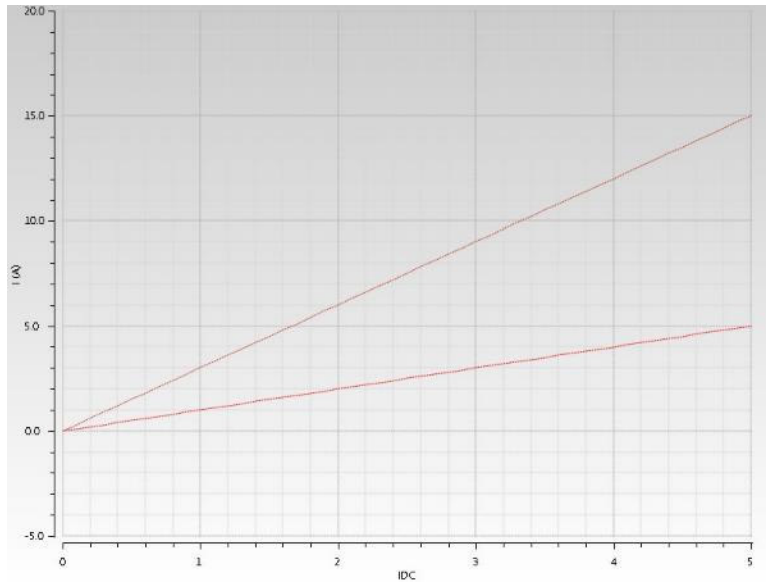


Figura 95 Simulación: Entrada (Café), Salida(Rojo)

## Diseño Avanzado de Circuitos Integrados Avanzados

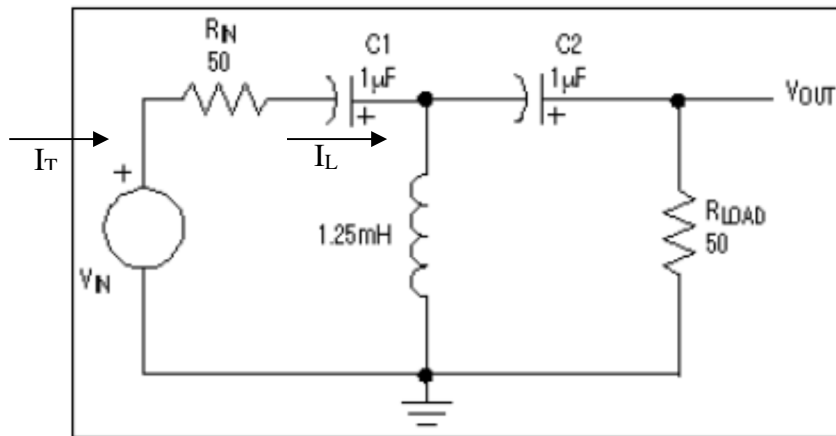


Figura 96 Filtro de 3er orden

a) Obtain the transfer function of the 3-order passive filter.

$$Z_1 = R + \frac{1}{sC}, \quad Z_2 = sL, \quad Z_3 = R + \frac{1}{sC}, \quad R = R_L, \quad Z_1 = Z_3$$

Por la ley de ohm, se tiene que:

$$V_{OUT} = I_L * R_L$$

Se hace un análisis de mallas para obtener  $I_T$

$$I_T = \frac{V_{IN}}{Z_1 + (Z_1 // Z_2)}$$

Enseguida se aplica un divisor de corriente para obtener  $I_L$

$$I_L = \frac{Z_2 * I_T}{(Z_1 + Z_2)} = \frac{Z_2 V_{IN}}{(Z_1 + (Z_1 // Z_2))(Z_1 + Z_2)}$$

Por último, se obtiene la función de transferencia y se simplifica

$$\frac{V_{OUT}}{V_{IN}} = \frac{Z_2 R_L}{(Z_1 + (Z_1 // Z_2))(Z_1 + Z_2)}$$

$$\frac{V_{OUT}}{V_{IN}} = \frac{Z_2 R_L}{\left(Z_1 + \frac{Z_1 Z_2}{Z_1 + Z_2}\right) (Z_1 + Z_2)}$$

$$\frac{V_{OUT}}{V_{IN}} = \frac{Z_2 R_L}{Z_1^2 + 2(Z_1 Z_2)}$$

Se substituyen los valores simbólicos de las impedancias y se simplifica

$$\frac{V_{OUT}}{V_{IN}} = \frac{RLS}{\left(\frac{RCS + 1}{CS}\right)^2 + 2\left(LS\frac{RCS + 1}{CS}\right)}$$

$$\frac{V_{OUT}}{V_{IN}} = \frac{RLS}{\frac{(R^2 C^2 S^2 + 2RCS + 1) + 2LCS^2(RCS + 1)}{C^2 S^2}}$$

$$\frac{V_{OUT}}{V_{IN}} = \frac{RLC^2 S^3}{2RLC^2 S^3 + (R^2 C^2 + 2LC)S^2 + 2RCS + 1}$$

$$\frac{V_{OUT}}{V_{IN}} = \frac{S^3/2}{S^3 + \left(\frac{R}{2L} + \frac{1}{RC}\right)S^2 + \frac{1}{RL}S + \frac{1}{2RLC^2}}$$

Se substituyen los valores numéricos de los componentes y se simplifica

$$\frac{V_{OUT}}{V_{IN}} = \frac{0.5 S^3}{S^3 + 4x10^4 S^2 + 8x10^8 S + 8x10^{12}}$$

## b) Using the Laplace operator create a verilogA model of the 3-order passive filter

Se utiliza verilog A para crear un modulo generico para funciones de transferencia.

```

/home/usuario/NCSU/Rigo_VerilogA/TransFunc/veriloga/veriloga.va
// VerilogA for Rigo_VerilogA, TransFunc, veriloga
`include "constants.vams"
`include "disciplines.vams"

module TransFunc(in, out, gnd);
  inout in, out, gnd;
  electrical in, out, gnd;

  parameter a0 = 1.0;
  parameter a1 = 1.0;
  parameter a2 = 1.0;
  parameter a3 = 1.0;
  parameter b0 = 1.0;
  parameter b1 = 1.0;
  parameter b2 = 1.0;
  parameter b3 = 1.0;

  analog begin
    V(out) <+ laplace_nd(V(in), {a0, a1, a2, a3}, {b0, b1, b2, b3});
  end
endmodule
/home/usuario/NCSU/Rigo_VerilogA/TransFunc/veriloga/veri

```

c) Simulate the filter in cadence and obtain the bode diagram.

Se simula el módulo en una vista de esquemático.

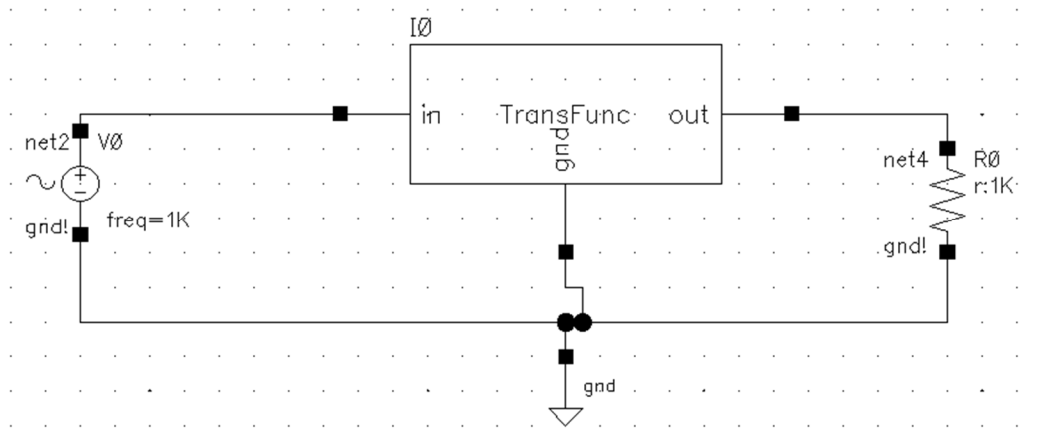
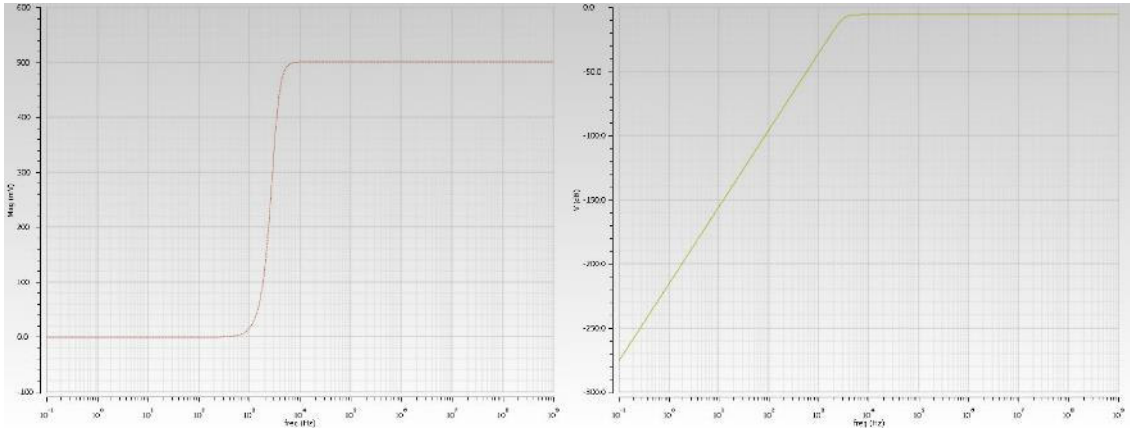


Figura 97 Símbolo



a) Escala lineal

b) Escala Logarítmica

Para confirmar los resultados se simula el circuito original, como se puede apreciar ambas respuestas son idénticas.

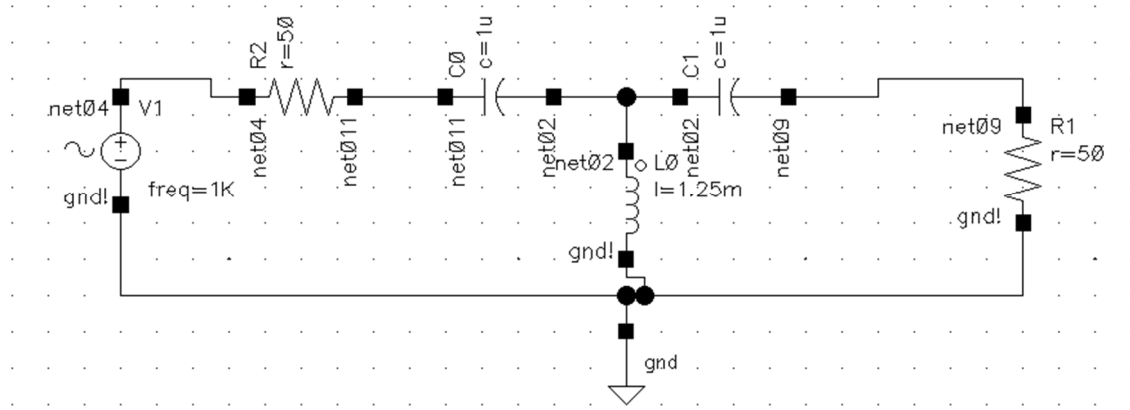
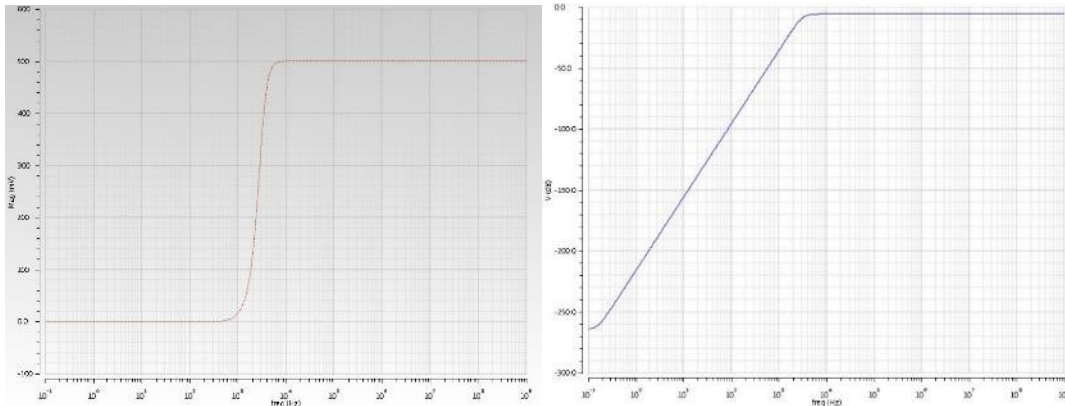


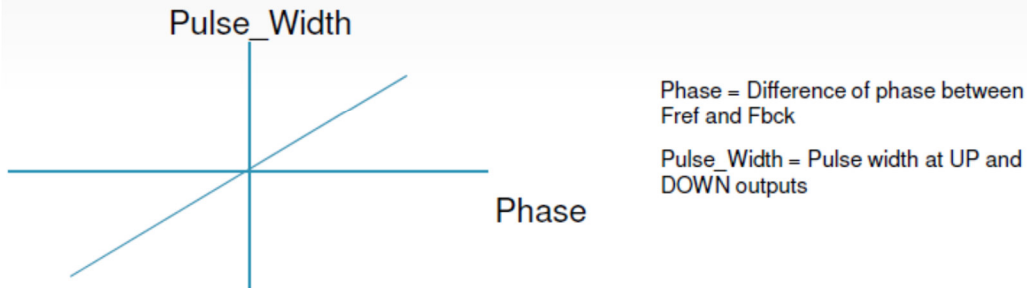
Figura 98 Circuito Original



b) Escala lineal

b) Escala Logarítmica

►Homework 3b: For the frequency range of the PLL characterize the PDF



a) Take Fref as reference, then change the frequency of Fbck.

b) Fref equal to 500KHz (Per=2us)

1. Fbck  $\approx$  500Khz (Per  $\approx$  2.0us)
2. Fbck  $\approx$  500KHz (Per  $\approx$  2.0us)

500KHz is the frequency at input of the PFD according the project definition.

Se realizaron las simulaciones primero con Fbck > 500kHz y después con Fbck < 500kHz. Enseguida se tomaron de forma manual los valores del ancho del pulso y el desfase entre las señales de referencia y Fbck correspondiente. La siguiente tabla muestra los valores obtenidos.

Table 5 Caracterización PFD

Fbck > 500kHz Down		Fbck < 500kHz Up	
Ancho de pulso us	Angulo de Desfase	Ancho de pulso us	Angulo de Desfase
-0.98	-176.4	0.08	14.4
-0.91	-163.8	0.16	28.8
-0.83	-149.4	0.23	41.4

<b>-0.75</b>	-135	0.31	55.8
<b>-0.68</b>	-111.6	0.38	68.4
<b>-0.6</b>	-108	0.45	81
<b>-0.53</b>	-95.4	0.53	95.4
<b>-0.45</b>	-81	0.6	108
<b>-0.38</b>	-68.4	0.68	122.4
<b>-0.31</b>	-55.8	0.75	135
<b>-0.23</b>	-41.4	0.83	149.4
<b>-0.15</b>	-27	0.91	163.8
<b>-0.06</b>	-10.8	0.98	176.4

Al graficar el ancho del pulso con respecto al desfase se obtiene la siguiente gráfica.

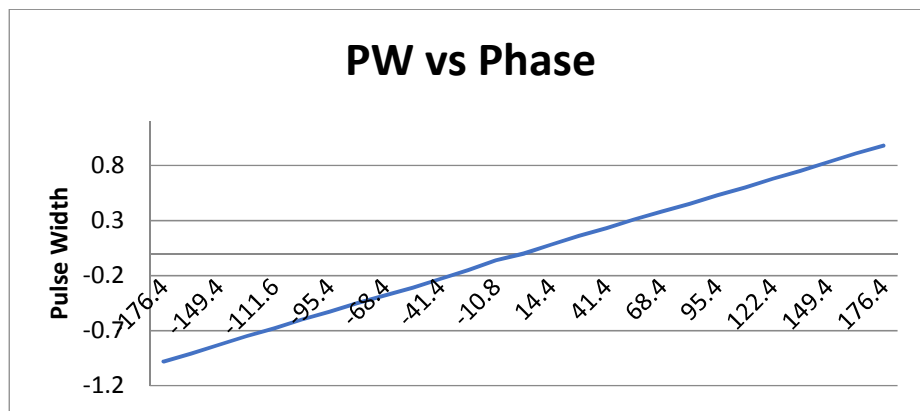
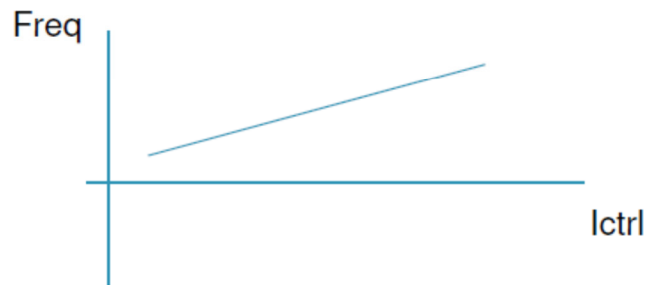


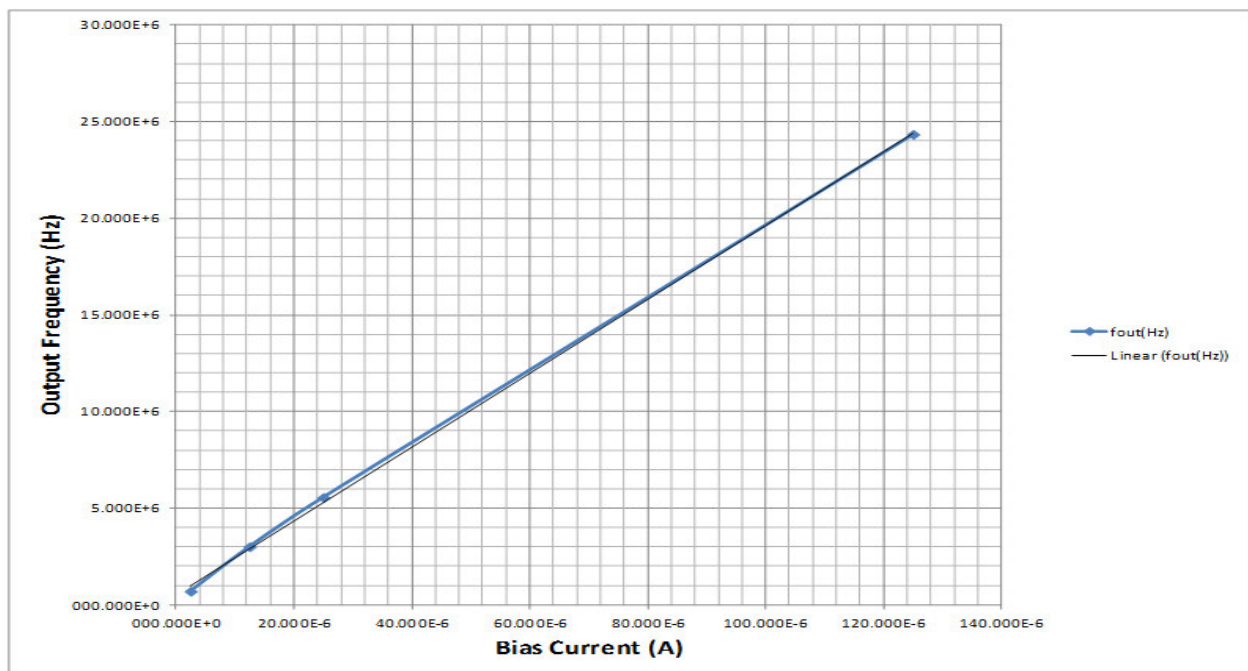
Figura 99 Ancho de Pulso vs Fase

# Diseño Avanzado de Circuitos Integrados Avanzados

- Homework 4a: Obtained the  $K_v$  (VCO/ICO gain) from the Final Project definition and modify the implementation of the VCO to obtain the VCO/ICO transfer function.



De las especificaciones del proyecto se obtiene la siguiente gráfica.





De la gráfica se obtienen los siguientes puntos.

$$\begin{aligned} y_1 &= 3\text{MHz} & x_1 &= 12\text{uA} \\ y_2 &= 15\text{MHz} & x_2 &= 76\text{uA} \\ y_3 &= 24.4\text{MHz} & x_3 &= 125\text{uA} \end{aligned}$$

Se utilizan los primeros dos puntos para obtener la pendiente o la ganancia del ICO.

$$m = K_v = \frac{15\text{ MHz} - 3\text{ MHz}}{76\text{ uA} - 12\text{ uA}} = \frac{12\text{ MHz}}{64\text{ uA}} = 187.5\text{ kHz/uA}$$

Se utiliza la ecuación de la recta y los tres puntos para obtener el cruce con el eje vertical o la frecuencia de carrera libre.

$$\begin{aligned} 42.4\text{ MHz} &= 187\text{ kHz/uA} \cdot 213\text{ uA} + 3b \\ b = fc &= \frac{2.462}{3}\text{ kHz} = 820\text{ kHz} \end{aligned}$$

Se modifica el código de ejemplo del VCO para obtener un ICO. Se utilizan los valores recién obtenidos de Kv y fc para la simulación.

```

/home/usuario/NCSU/Rigo_VerilogA/ICO/verilog
// VerilogA for Rigo_VerilogA, ICO, verilog
`include "constants.vams"
`include "disciplines.vams"

module ICO(in_p, in_n, out, gnd);
  inout in_p, in_n, out, gnd;
  electrical in_p, in_n, out, gnd;

  parameter fc = 1.0;
  parameter Kv = 1.0;
  parameter VDD = 1.0;

  real phase, f_inst;

  analog begin
    f_inst = fc + Kv*I(in_p, in_n);
    phase = idt(f_inst, 0.0, 0, 1e-9);
    V(out) <+ VDD * sin(`M_TWO_PI * phase);
    $bound_step(1/(100*f_inst));
  end
endmodule

```

Figura 100 Código Verilog A del ICO

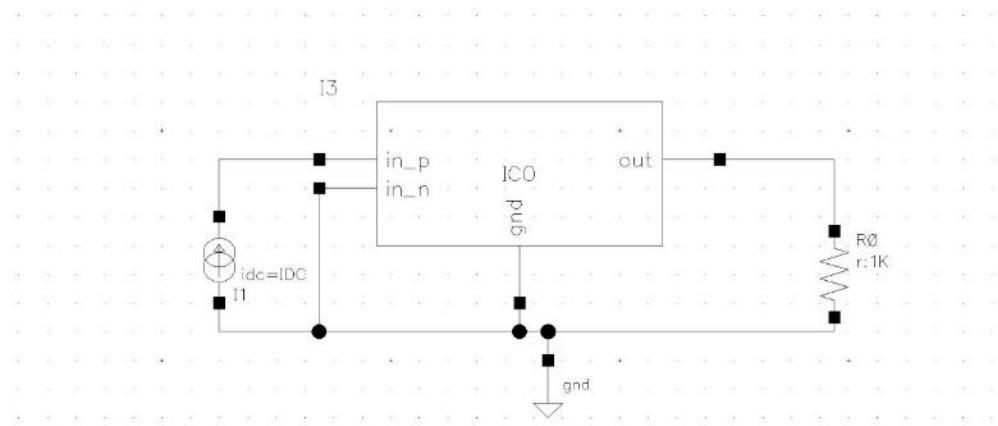


Figura 101 Test Bench del ICO

Se hace una simulación transitoria para varios valores de corriente de control y se grafica la frecuencia a la salida.

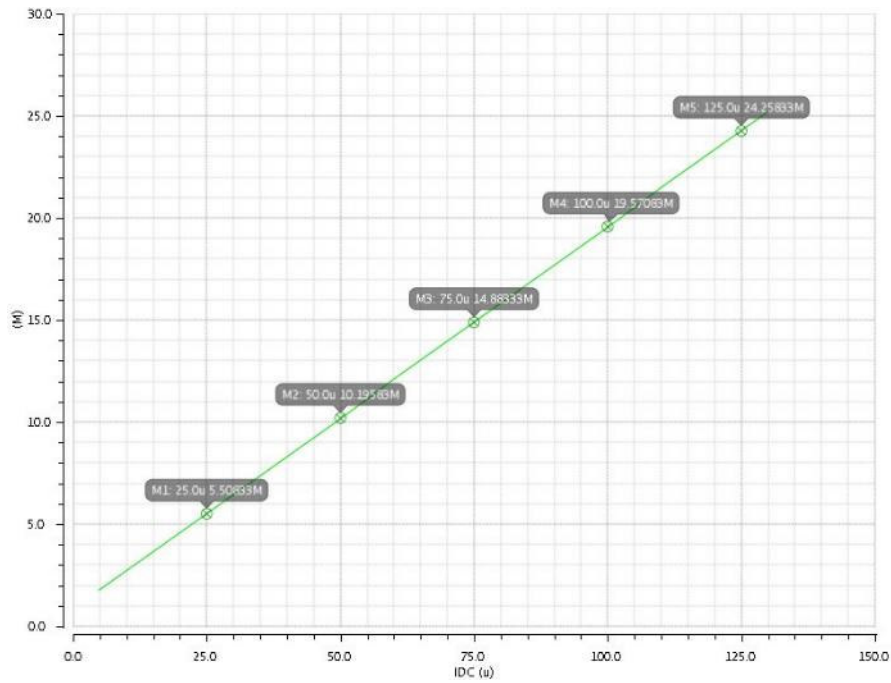
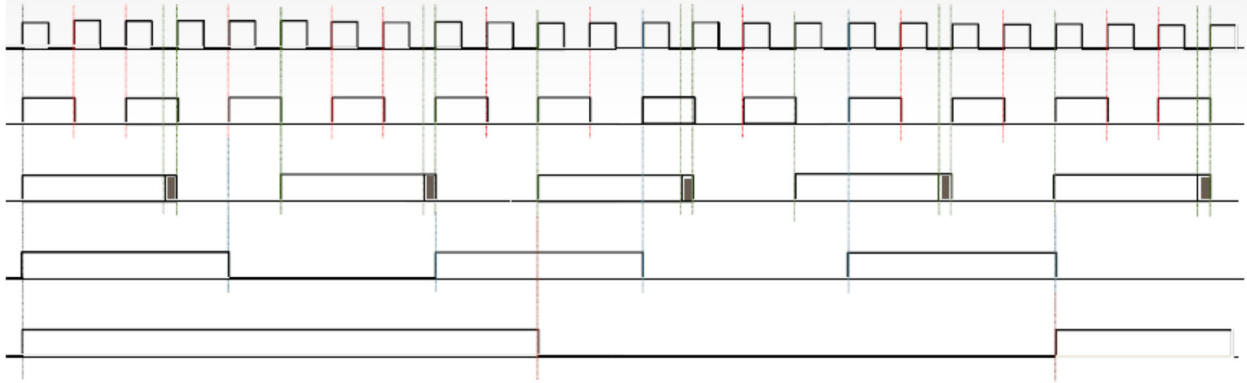


Figura 102 Frecuencia de salida vs Corriente de control del ICO

• Frequency Dividers – Homework 4b

## Homework 4



- a) Analyze the behavior of a frequency divider and create the VerilogA module to obtain a Frequency divider by  $N = 2, 5, 8$  and  $20$ .

Se hizo el siguiente código Verilog para tener un divisor de frecuencias general con un *duty cycle* del 50% a la salida.

```
/home/usuario/NCSU/Rigo_VerilogA/FreqDiv/veriloga/veriloga.va
VerilogA for Rigo_VerilogA, FreqDiv, veriloga
`include "constants.vams"
`include "disciplines.vams"
module FreqDiv(in, out, gnd);
  inout in, out, gnd;
  electrical in, out, gnd;
  parameter real VDD=3, VSS=0;
  parameter integer divisor=2 from [2:inf);
  parameter real rf_time=0.5n;

  integer count, clk_pol;
  analog begin
    @(initial_step) count = 0;
    @(cross(V(in, gnd)-(VDD-VSS)/2,0)) begin
      count = count+1;
      if(count >= divisor*2)
        count=0;
    end
    clk_pol = (count>= divisor);
    V(out, gnd)<+transition(clk_pol?VDD:VSS,0,rf_time,rf_time);
  end
endmodule
```

Figura 103 Código Verilog del divisor de Frecuencia

b) Simulate the divider in cadence and obtain its respective plots.

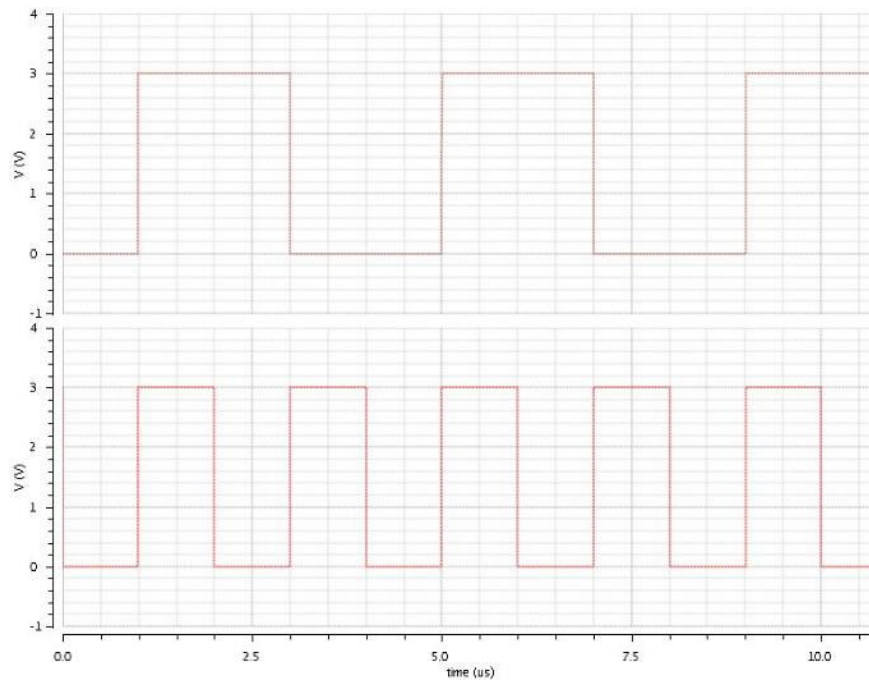


Figura 104 Divisor de Frecuencia entre 2

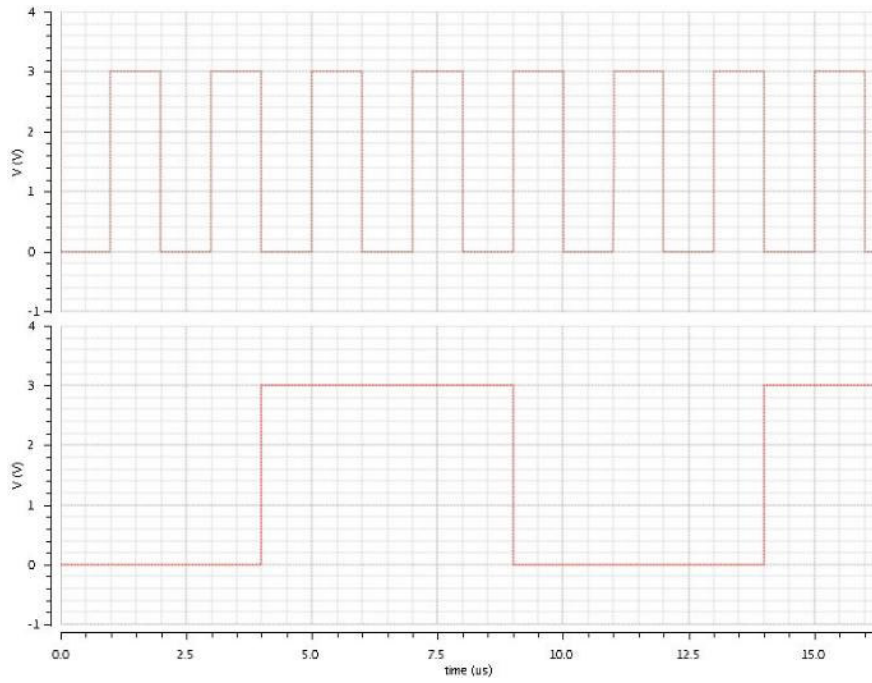


Figura 105 Divisor de Frecuencia entre 5

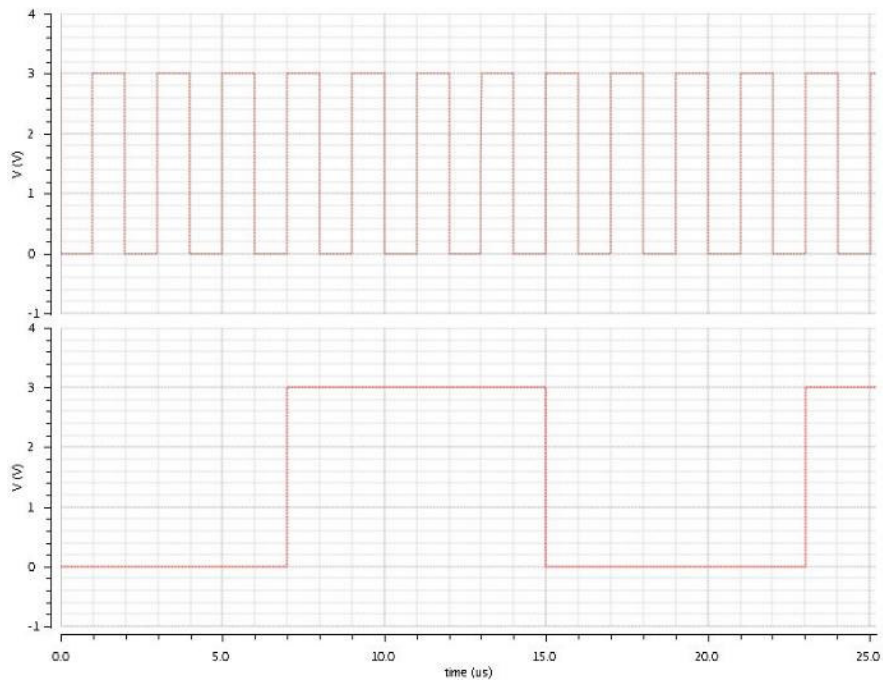


Figura 106 Divisor de Frecuencia entre 8

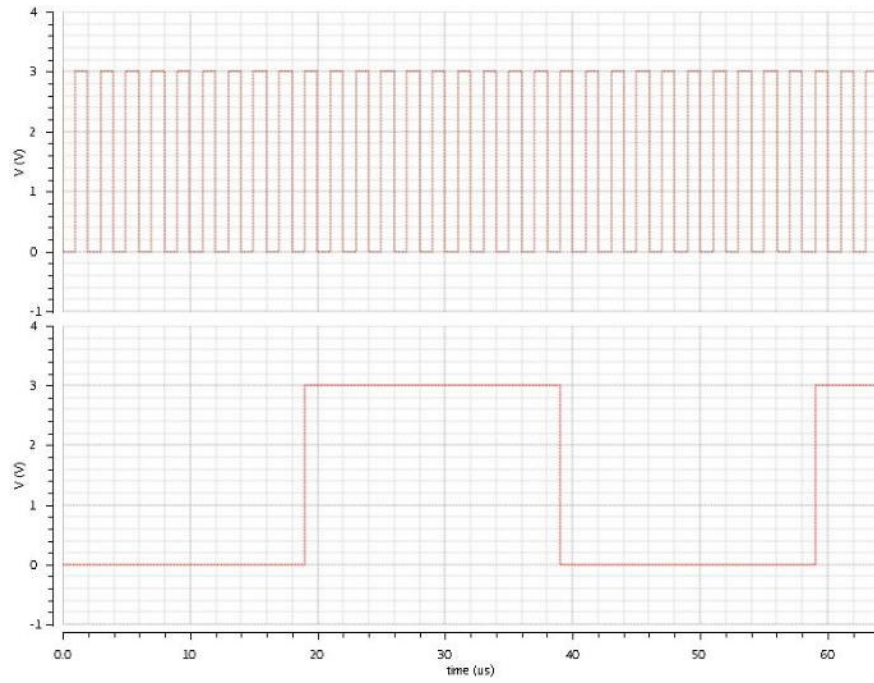


Figura 107 Divisor de Frecuencia entre 20

## Diseño Avanzado de Circuitos Integrados Avanzados

a) Design on VerilogA the PFD – Charge Pump  
– Obtain the transfer function and then get the value of Kd

```
// VerilogA for Rigo_VerilogA, CP, veriloga
`include "constants.vams"
`include "disciplines.vams"

module CP(S1,S2,out,vdd,gnd);
  inout S1,S2,out,gnd,vdd;
  electrical S1,S2,out,gnd,vdd;

  parameter real i_cp=0.1m from [0:inf]);
  integer S1_s,S2_s;
  real iout;
  real mult;

  analog begin
    @(initial_step)begin
      S1_s = (V(S1,gnd) > V(vdd)/2);
      S2_s = (V(S2,gnd) > V(vdd)/2);
      if(S1_s == S2_s)
        mult = 0;
      else if (S1_s)
        mult = 1;
      else if (S2_s)
        mult = -1;

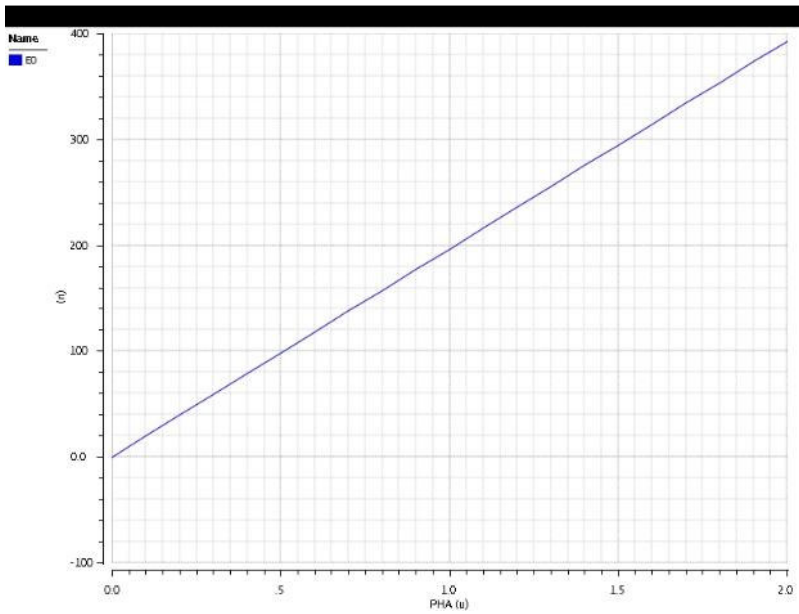
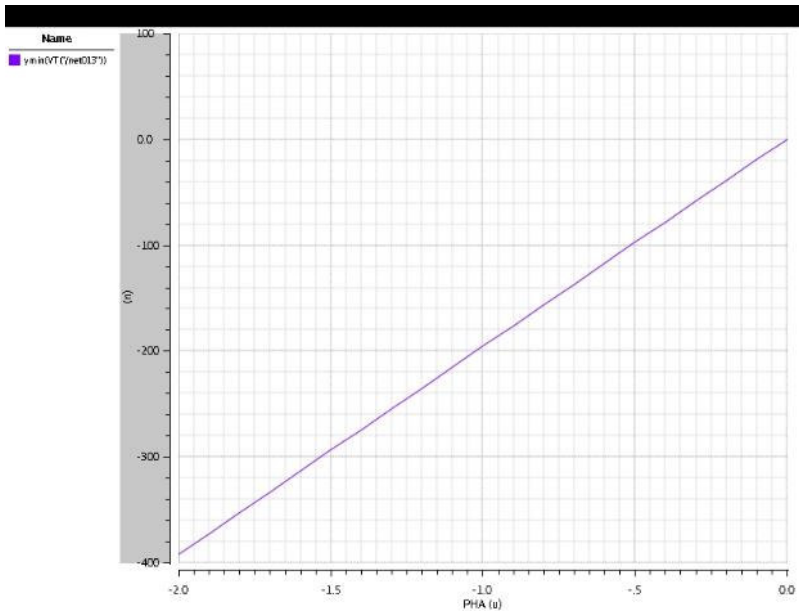
      iout = i_cp*mult;
    end

    @(cross(V(S1,gnd)-V(vdd)/2,0))begin
      S1_s = (V(S1,gnd) > V(vdd)/2);
      S2_s = (V(S2,gnd) > V(vdd)/2);
      if(S1_s == S2_s)
        mult = 0;
      else if (S1_s)
        mult = 1;
      else if (S2_s)
        mult = -1;

      iout = i_cp*mult;
    end
  end
end
```

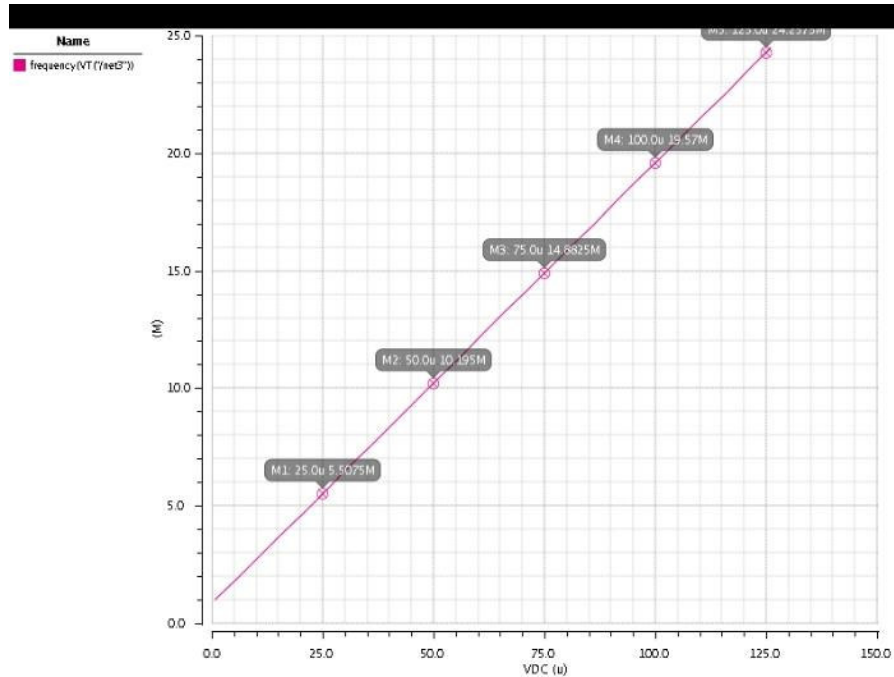
El *Charge Pump* se conectó al PFD previamente diseñado y se caracterizó en un *Test Bench* aplicando un desfase en la entrada de  $-2\pi$  a  $2\pi$  y graficando el voltaje alcanzado en un capacitor de carga de 10 pF.





La pendiente observada es de 391.2 nV/rad usando una corriente de  $1.9613e - 12A$

La caracterización de VCO se obtuvo de la tarea anterior.



- b) Diseñar y Simular un sistema PLL empleando el lenguaje comportamental VerilogA bajo Cadence Design Framework; evalúe las características de transferencia de los diferentes bloques, el comportamiento en frecuencia en lazo abierto y lazo cerrado y el comportamiento transitorio en lazo cerrado.
- Crear el modelo VerilogA de los 3-4 bloques principales que componen el PLL
  - Caracterice eléctricamente cada uno de los bloques y obtenga los valores correspondientes de  $K_d$ ,  $K_h$ ,  $K_o$  y  $K$
  - Considere y aplique las relaciones definidas entre  $K - W_z$  y  $K - W_p$
  - Considere el compromiso que entre estabilidad y tiempo de amarre y los diferentes componentes en el filtro de lazo.
  - Obtenga  $H(s)$  y  $G(s)$  y corrobore las relaciones entre  $K - W_z$  y  $K - W_p$ .
  - Obtenga y analice el comportamiento en lazo cerrado. Incluya un salto de frecuencia y un salto de fase.

Para esta tarea el único componente nuevo que se realizó fue el *Charge Pump*. Los demás componentes necesarios fueron reutilizados de tareas anteriores.

### Código Verilog del *Charge Pump*

```

// VerilogA for Rigo_VerilogA, CP, veriloga
`include "constants.vams"
`include "disciplines.vams"

module CP(S1,S2,out,vdd,gnd);

inout S1,S2,out,gnd,vdd;
electrical S1,S2,out,gnd,vdd;

parameter real i_cp=0.1m from [0:inf]);

integer S1_s,S2_s;
real iout;
real mult;

analog begin

@(initial_step)begin

    S1_s = (V(S1,gnd) > V(vdd)/2);
    S2_s = (V(S2,gnd) > V(vdd)/2);
    if(S1_s == S2_s)
        mult = 0;
    else if (S1_s)
        mult = 1;
    else if (S2_s)
        mult = -1;

    iout = i_cp*mult;
end

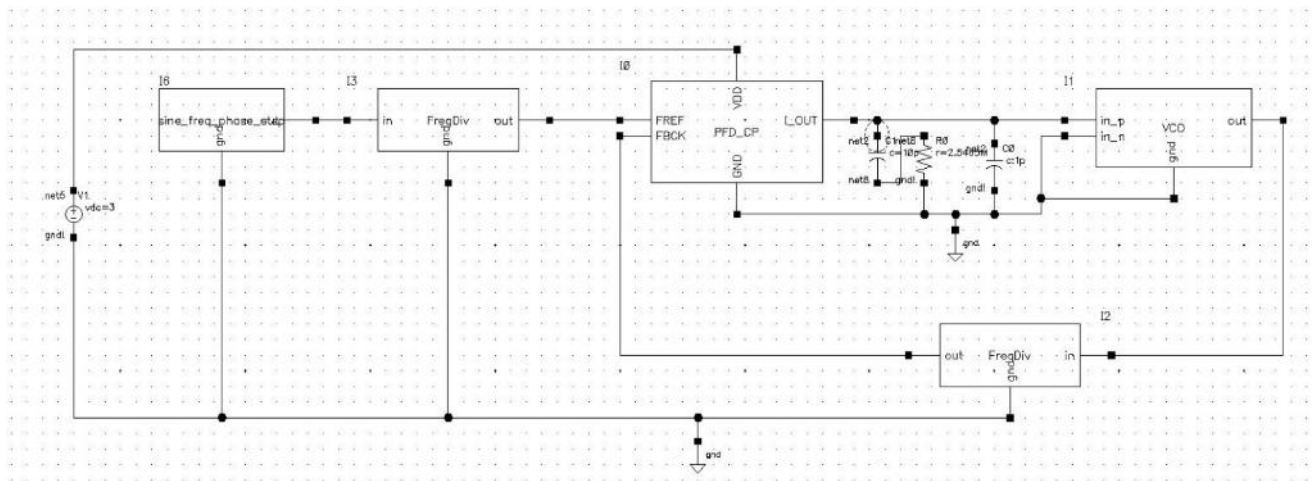
@(cross(V(S1,gnd)-V(vdd)/2,0))begin
    S1_s = (V(S1,gnd) > V(vdd)/2);
    S2_s = (V(S2,gnd) > V(vdd)/2);
    if(S1_s == S2_s)
        mult = 0;
    else if (S1_s)
        mult = 1;
    else if (S2_s)
        mult = -1;

    iout = i_cp*mult;
end

end

```

### PLL – *Charge Pump*



Una vez que se tienen todos los módulos comportamentales funcionando y caracterizados el siguiente paso es realizar el diseño del PLL basado en las especificaciones del proyecto. Para hacerlo se siguen los pasos vistos en la clase anterior.

**Paso 1:**

Del análisis del paso uno se obtienen los siguientes valores.

$$f_{ref} = 500 \text{ kHz}$$

$$1M < f_{out} < 10M$$

$$f_k = 25 \text{ kHz}$$

$$f_z = 4 \text{ kHz}$$

**Paso 2:**

El rango del VCO está dado por los factores de división mínimo y máximo definidos en el proyecto. En este caso 2 y 20.

$$f_{ref} * 2 < f_{out} < f_{ref} * 20$$

$$1M < f_{out} < 10M$$

**Paso 3:**

El factor de división del lazo se obtiene con la media geométrica de los factores de división mínimo y máximo.

$$N_{loop} = \sqrt{20 * 2} = 6.3246$$

**Paso 4:**

Determinar el factor de amortiguamiento. Para este caso se decidió usar el valor recomendado de  $1/\sqrt{2}$ .

$$\zeta = \frac{1}{\sqrt{2}} = 0.7071$$

**Paso 5:**

Se define la frecuencia natural, tomando en consideración que el ancho de banda del PLL debe ser 20 veces menor a la frecuencia de referencia.

$$\omega_{3db} = 2.06\omega_n$$

$$\omega_n = \frac{2\pi * 25k}{2.06} = 7.6252e + 04$$

**Paso 6:**

En este caso la ganancia del VCO está definida en las especificaciones del proyecto y fue calculada en la tara anterior.

$$K_v = 187.5 \text{ GHz/V}$$

$$K_v = 2\pi * 187.5 = 1.1781e + 12 \text{ rad/V}$$

**Paso 7:**

Para este paso se utilizan las siguientes expresiones.

Frecuencia Natural

$$\omega_n = \sqrt{\frac{I}{2\pi * C_p} K_o}$$
$$I = \frac{\omega_n^2 * 2\pi * C_p}{K_o / N_{loop}}$$

Cero

$$\omega_z = \frac{1}{RC_p}$$

Factor de amortiguamiento

$$\zeta = \frac{R}{2} \sqrt{\frac{IC_p}{2\pi} K_o}$$

Entonces

$$I = 0.1961 * C_p$$

Asumiendo un Capacitor de 10 pF se tiene que:

$$I = 1.9613e - 12A$$

### **Paso 8:**

Considerando el factor de amortiguamiento o la ubicación del cero se tienen dos posibles valores de R. Sin embargo, se decidió respetar la ubicación del cero y modificar el factor de amortiguamiento, como sigue.

$$\omega_z = 2\pi * 6250Hz = 3.9270e + 04 \text{ rad}$$
$$R = \frac{1}{\omega_z C_p} = \frac{1}{3.9270e4 * 10e - 12} = 2.5465 \text{ M}\Omega$$

Con esta resistencia ahora el factor de amortiguamiento es:

$$\zeta = 0.9709$$

### **Simulación Tiempo de Amarre**

Se utilizan los valores recién calculados para realizar una simulación de la respuesta transitoria del PLL utilizando los distintos factores de división y reportando el tiempo de amarre.

$$I = 1.9613e - 12A$$

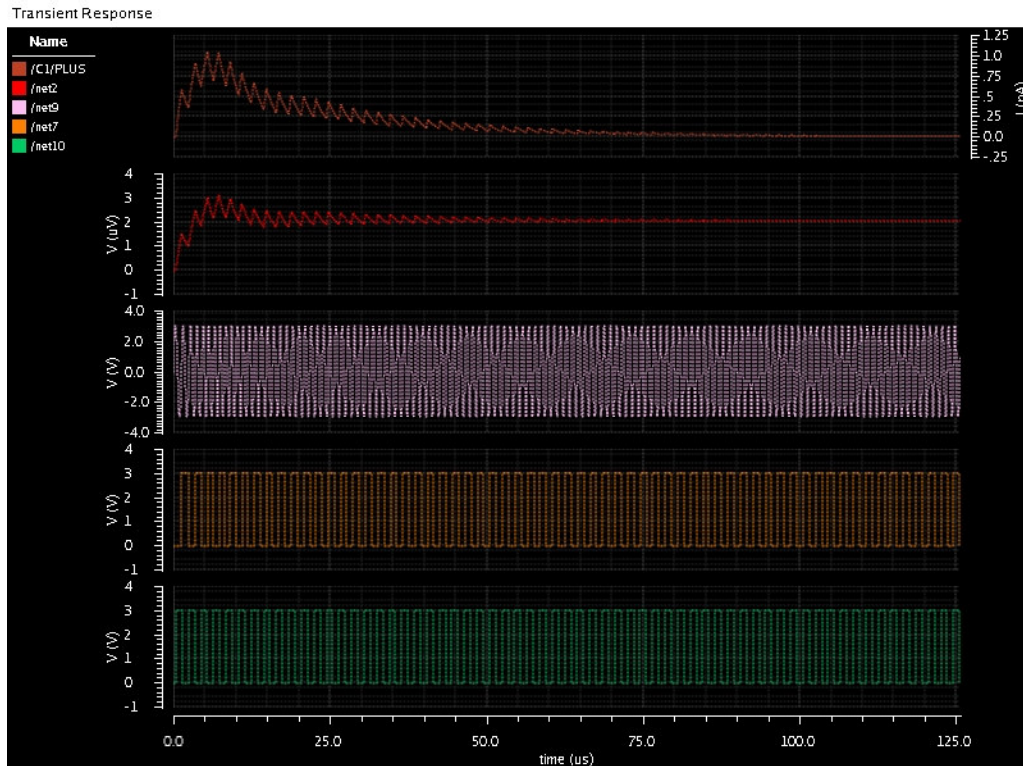
$$C_p = 10pF$$

$$C_r = 1pF$$

$$R = 2.54M\Omega$$

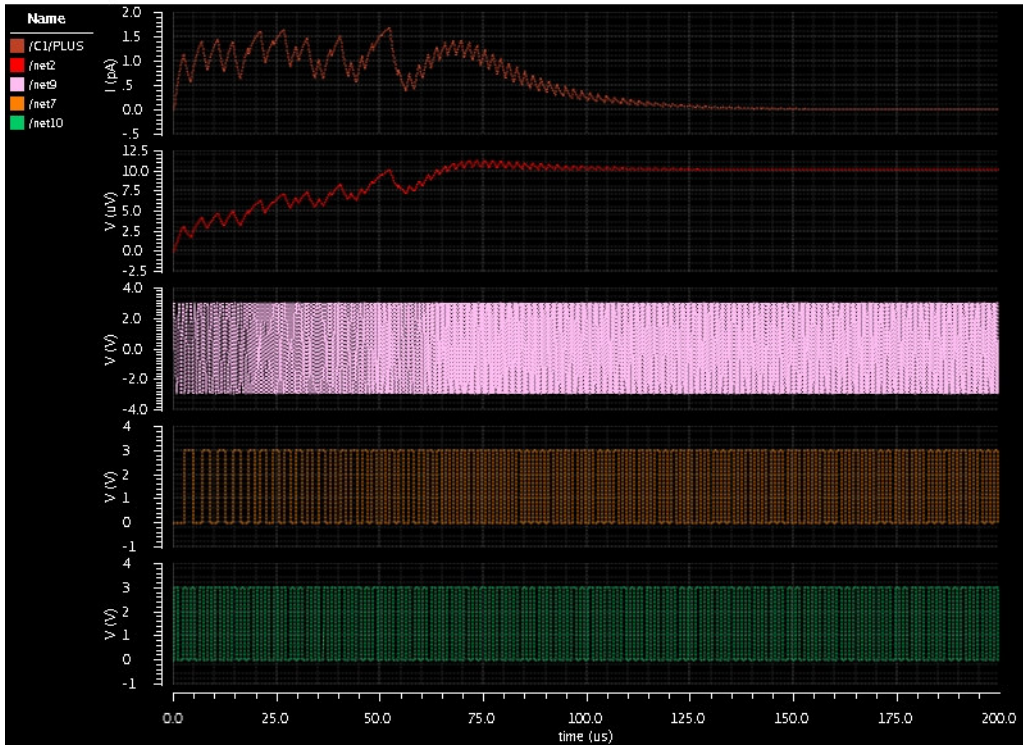
En las siguientes simulaciones se muestran 5 señales las cuales se describen a continuación.

1. Corriente inyectada o extraída del nodo del voltaje de control, idealmente en amarre ambas señales están en fase y no se inyecta o extrae corriente del nodo.
2. Voltaje de control idealmente en amarre ambas señales están en fase y el voltaje de control es constante.
3. Frecuencia de salida del PLL
4. Frecuencia de retroalimentación, se toma a la salida del divisor de frecuencia.
5. Frecuencia de Referencia del PLL



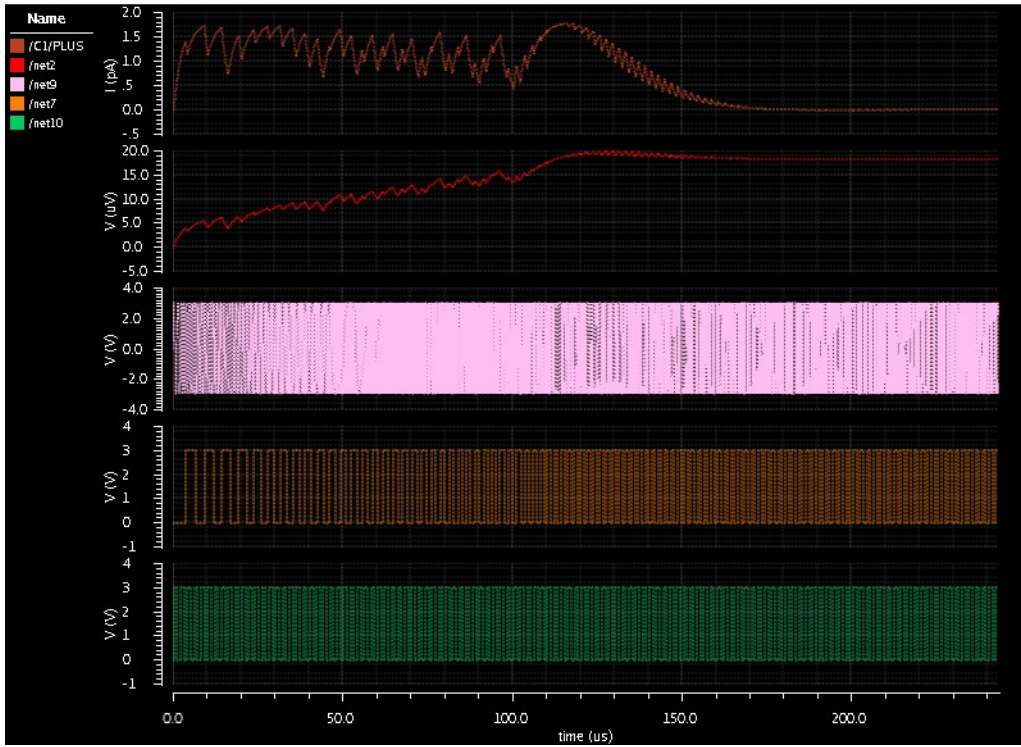
N = 2, Tiempo de Amarre = 100us

Transient Response



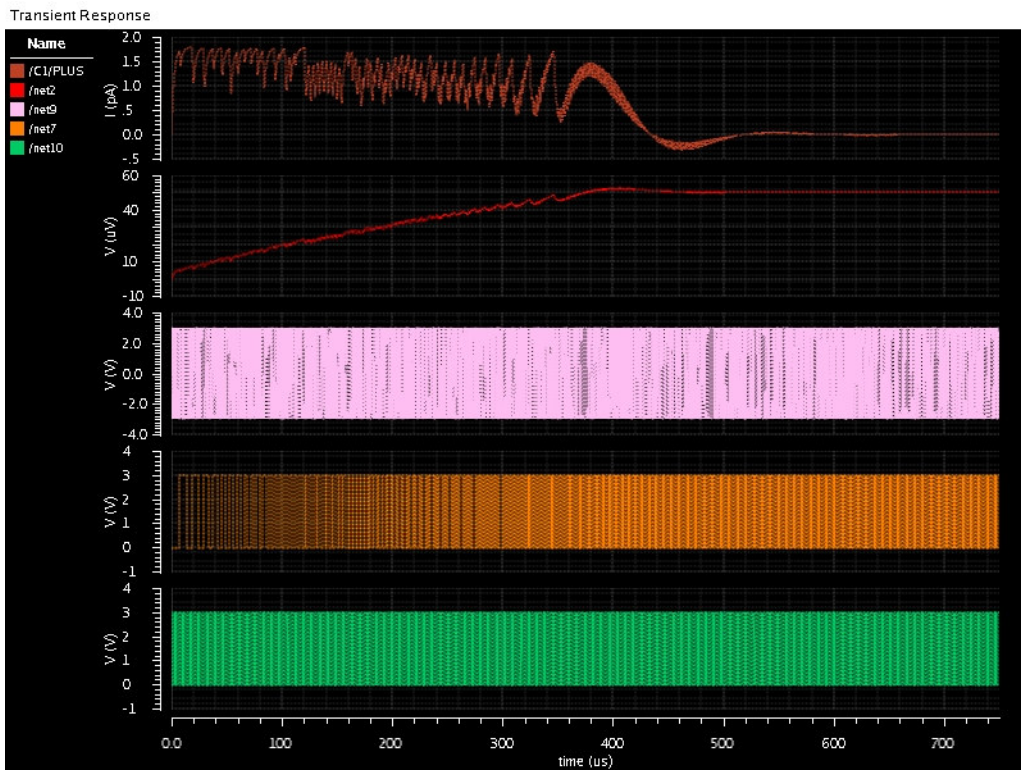
N = 5, Tiempo de Amarre = 150us

Transient Response



$N = 2$ , Tiempo de Amarre = 200us





N = 20, Tiempo de Amarre = 550us

### Simulación Salto en Frecuencia y Fase.

Para este ejercicio se realizó una fuente sinusoidal que ha determinado tiempo realiza un cambio en su frecuencia o en su fase, dependiendo de los parámetros de entrada.

Código VerilogA de la Fuente

```

// VerilogA for Verilog_A, sine_freq_phase
`include "constants.vams"
`include "disciplines.vams"

module sine_freq_phase_step(out, gnd);
  inout out, gnd;
  electrical out, gnd;

  parameter real Vdd = 3;
  parameter real freq1 = 1M;
  parameter real freq2 = 900M;
  parameter real phase1 = 0;
  parameter real phase2 = 1.57;
  parameter real step = 250u;
  parameter integer phase_freq = 0;

  real w, phase;

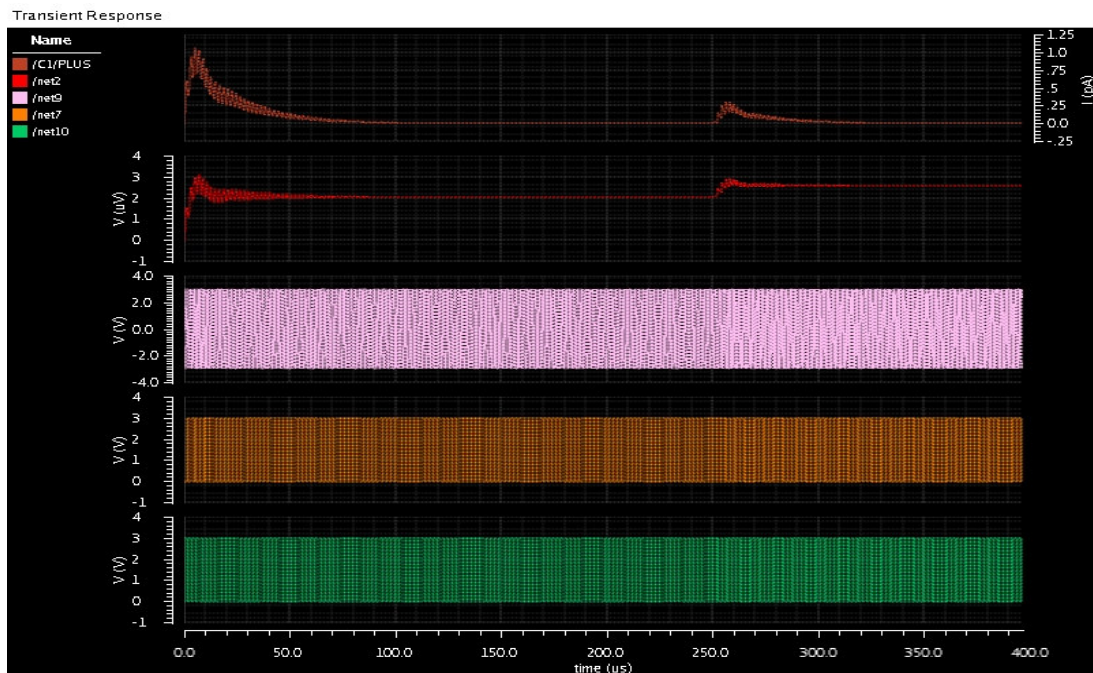
  analog begin
    @(timer(0)) begin
      w = `M_TWO_PI*freq1;
      phase = phase1;
    end
    @(timer(step)) begin
      if (phase_freq) begin
        phase = phase2;
      end else begin
        w = `M_TWO_PI*freq2;
      end
    end
  end

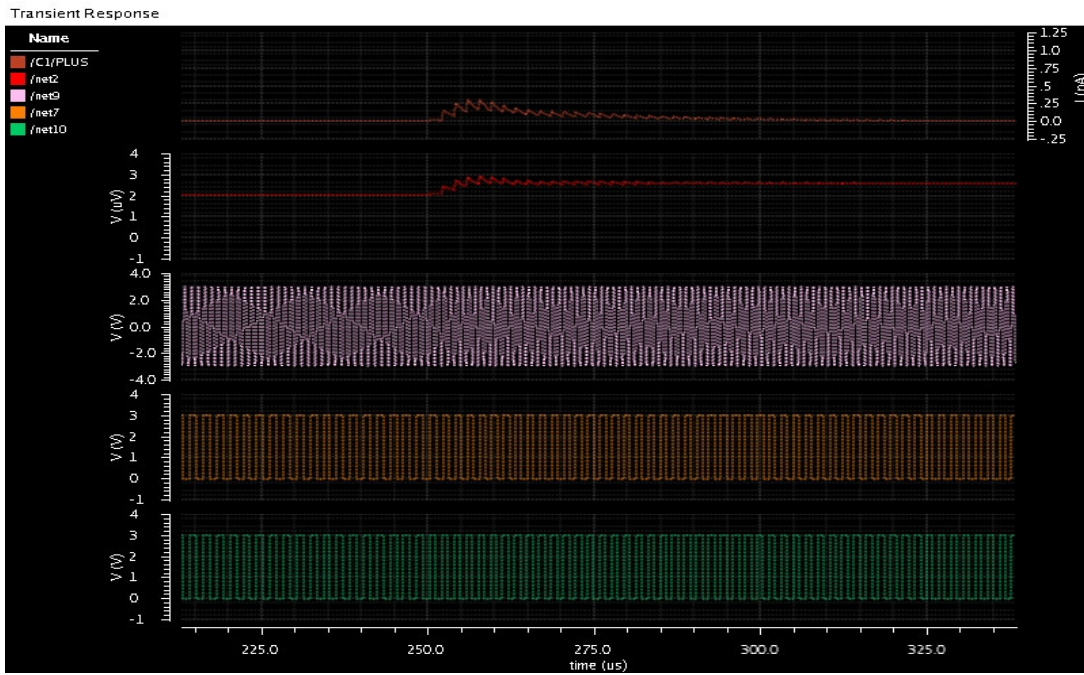
  V(out, gnd) <+ Vdd*sin(w*$abstime + phase);
  $bound_step(1/(100*w));
end
endmodule

```

### Salto en frecuencia.

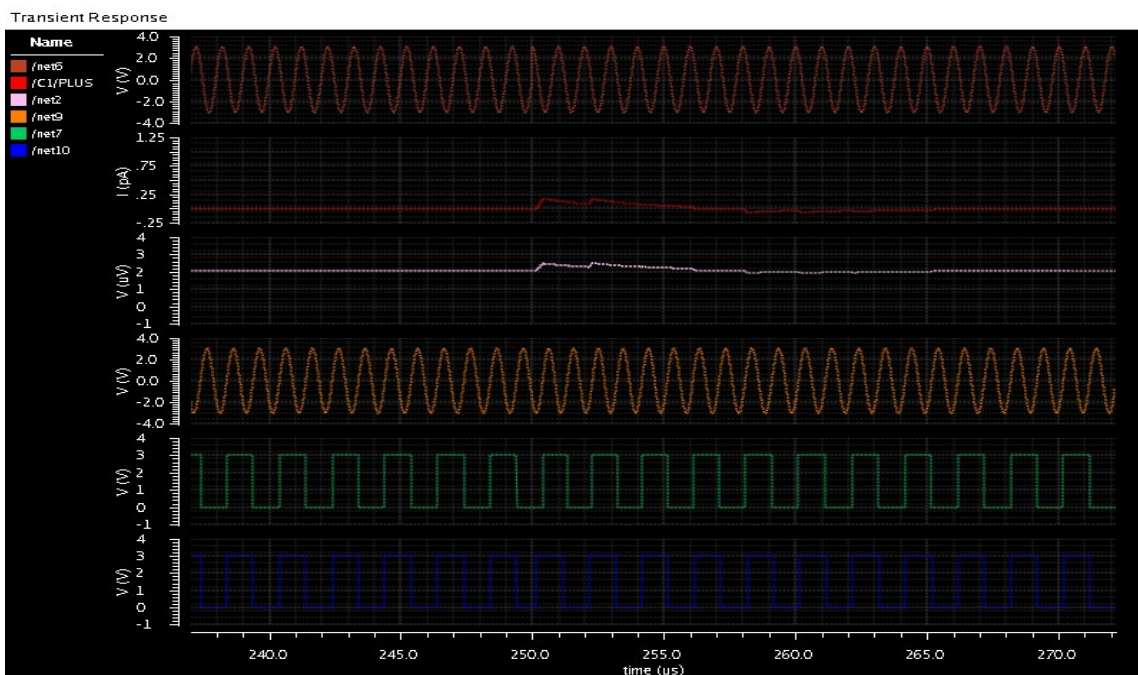
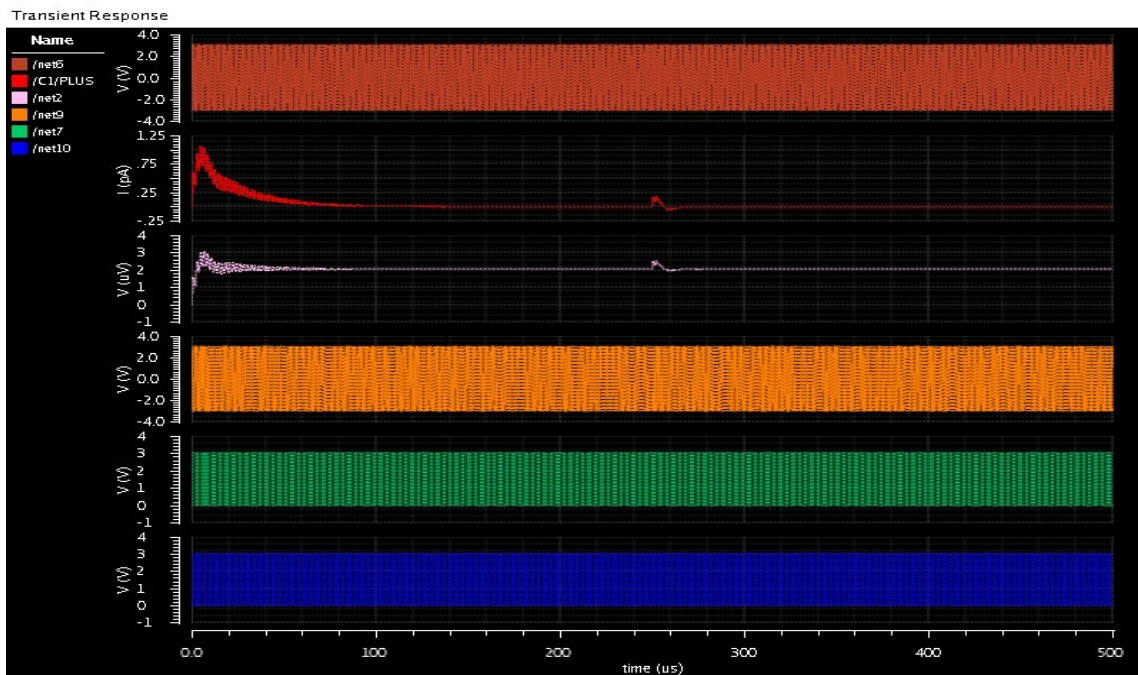
La fuente esta programada para realizar un salto en frecuencia a los 250 ms de simulacion. Como se puede observar el cambio en frecuencia ocasiona que el PLL ajuste el voltage de control a un nuevo valor para ajustar la diferencia en frecuencia.





### Salto en fase.

La fuente esta programada para realizar un salto en fase a los 250 ms de simulacion. Como se puede observar el cambio en frecuencia ocasiona que el PLL ajuste el voltage de control durante un tiempo para ajustar la diferencia en fase y despues se estabiliza al mismo valor.



**Respuesta de lazo abierto y Lazo cerrado.**

Se parte de que:

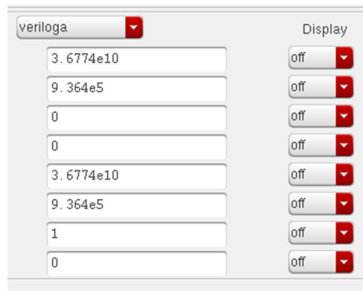
$$K = \frac{IR}{2\pi} K_o = 9.3643e + 05$$

$$\omega_z = 2\pi * 6250\text{Hz} = 3.9270e + 04 \text{ rad}$$

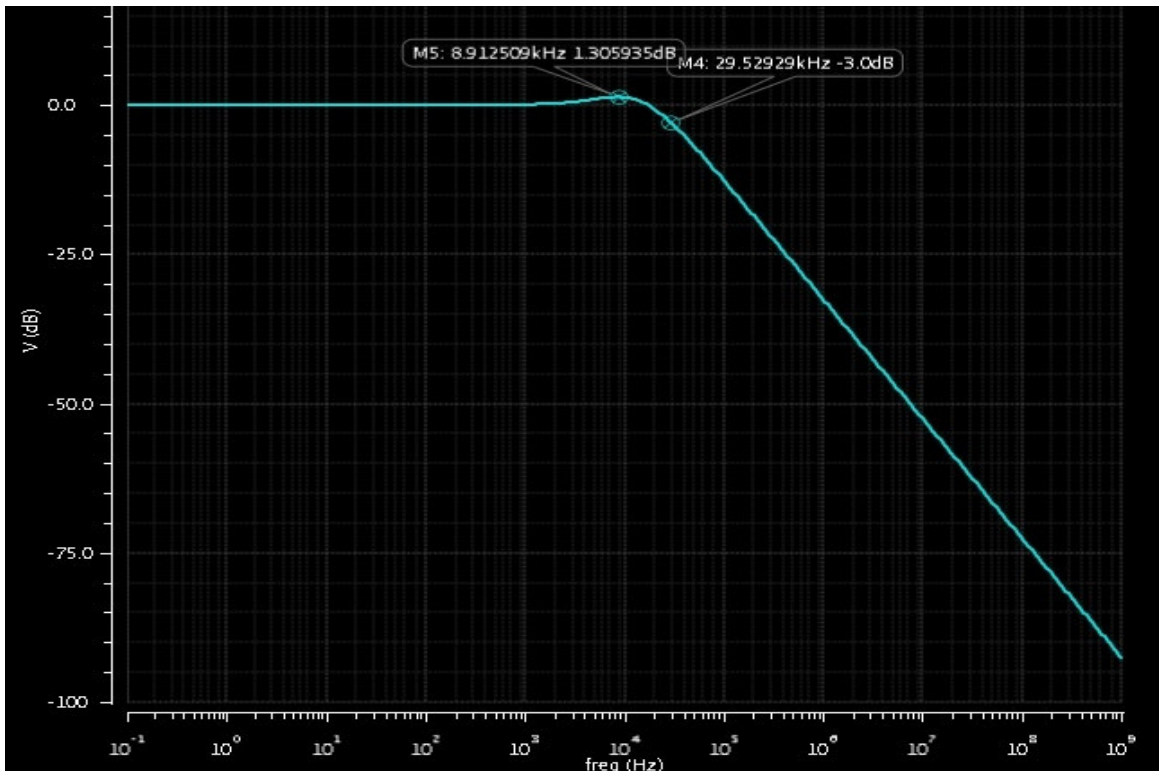
$$K = K_d K_h K_o, \quad K_d = \frac{I}{2\pi} = 3.1214e - 13 \frac{C}{\text{rad}}, \quad K_h = R = 2.54M\Omega, \quad K_o = 187.5 \text{ GHz/V}$$

Entonces se utiliza la siguiente fórmula para obtener la función de transferencia de lazo cerrado.

$$H(s) = \frac{\theta_o}{\theta_i} = \frac{Ks + K\omega_z}{s^2 + Ks + K\omega_z} = \frac{9.3643e + 05s + 3.6774e + 10}{s^2 + 9.3643e + 05s + 3.6774e + 10}$$



De acuerdo a la simulación  $K = 29.5 \text{ KHz}$  y  $\omega_p = 8.91\text{kHz}$

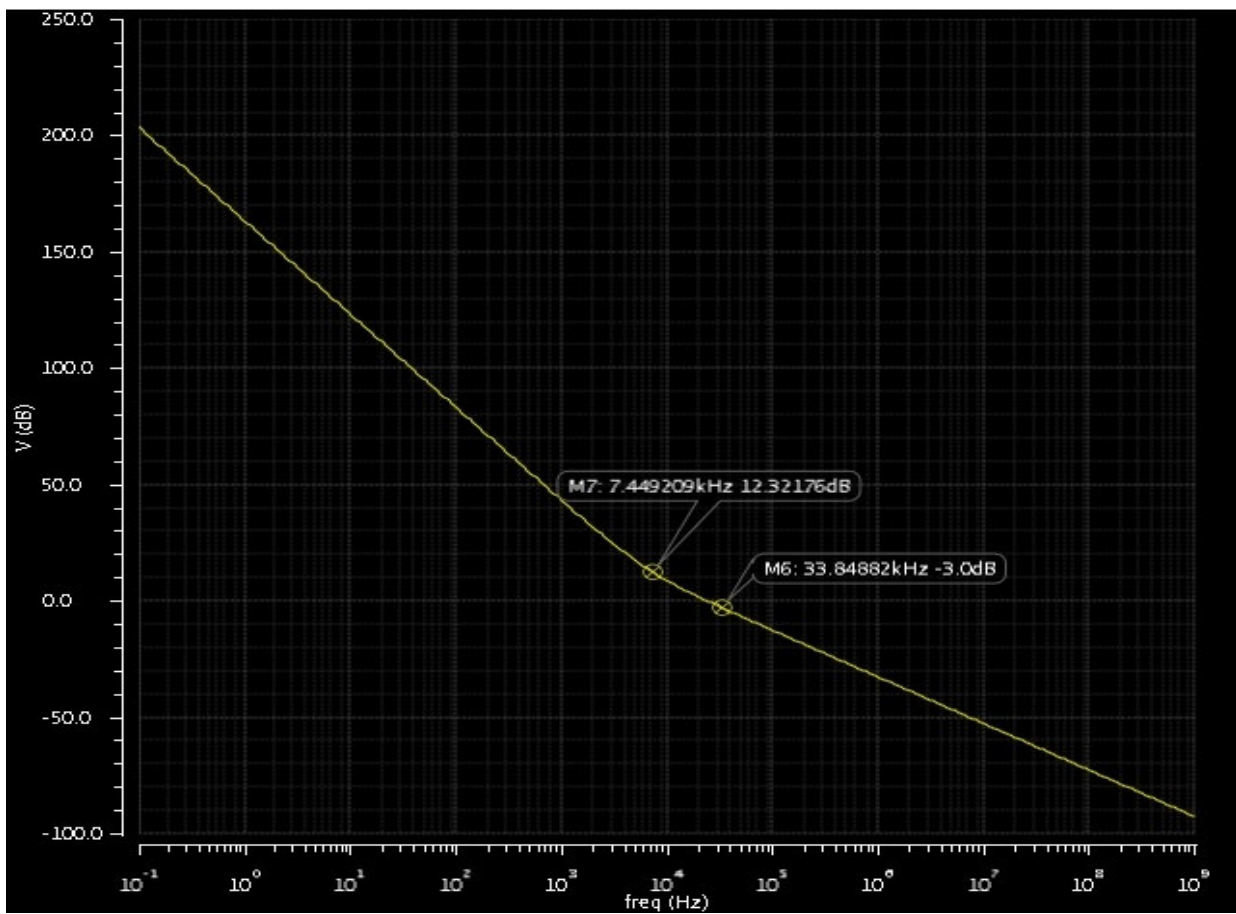


Para el lazo abierto se tiene que

$$G(s) = K \frac{s + \omega_z}{s^2} = \frac{9.3643e + 05s + 3.6774e + 10}{s^2}$$



De acuerdo a la simulación  $wz = 7.45\text{kHz}$



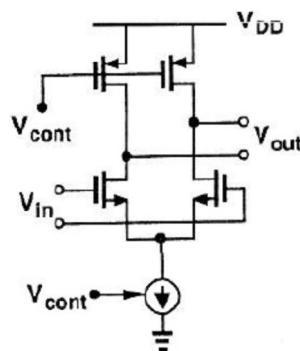
De las simulaciones se ve que se cumple que  $wz$  se cuatro veces menor que  $K$ , además también se cumple que  $K$  este en el rango de  $0.05 \text{ fref} < K < 0.075 \text{ fref}$ .

# Diseño Avanzado de Circuitos Integrados Avanzados

## Homework 6

a) Design a VCO based on the following delay cell (the  $K_{VCO}$  gain has been obtained previously in other homeworks and used in HW5)

- You need to calculate the number of stages in order to reach the max frequency of the PLL
- Simulate individually
- Then include the schematic into the PLL verilogA model
- Characterize the PLL with MOS-based VCO.



El primer paso para el diseño del VCO es diseñar una sola etapa y caracterizarla. Esta etapa es un amplificador inversor diferencial a la entrada y diferencial a la salida. Partiendo del criterio de oscilación de Barkhausen, que dice que para que el sistema oscile en retroalimentación se debe tener una de fase de 0 o múltiplo de  $2\pi$  y una ganancia unitaria en la frecuencia de oscilación, se diseñó un amplificador diferencial con las siguientes características.

Para el cálculo de las dimensiones de los transistores de amplificación se considera que es deseable una ganancia alta para disminuir el margen de fase.

$$gm = \frac{Av}{RD} = \frac{8}{12.8k\Omega} = 625\mu S \quad \left(\frac{W}{L}\right) = \frac{625\mu^2}{120\mu \cdot 38\mu} = 85.6$$

Considerando una  $L=3\mu$  se tiene una  $W$  de  $128\mu$  con  $m=2$ . Es importante mencionar que este es el punto de partida y pequeñas modificaciones a este valor fueron necesarias para alcanzar la frecuencia requerida.

Durante la etapa experimental con componentes ideales se observó que el voltaje de polarización del espejo de corriente bajaba hasta  $200\text{mV}$ , por lo que los cálculos de las dimensiones del espejo de corriente se harán considerando un  $V_{DSAT}$  de  $100\text{mV}$  y una corriente máxima de  $120\mu\text{A}$ .

$$\left(\frac{W}{L}\right)_{Ref} = \frac{2ID}{k_n V_{DSAT}^2} = \frac{2(120\mu\text{A})}{120\mu(0.1)^2} = 200$$

Considerando una  $L=3\mu$  se tiene una  $W$  de  $300\mu$  con  $m=2$ .

Para los transistores de carga se selecciona  $R_{on}$  de acuerdo a la corriente de cada rama.

$$R_{on} = \frac{1}{k_p \frac{W}{L} (V_{DD} - V_{cont} - |V_{th}|)} = 11.74k$$

$$W/L = \frac{1}{k_p 11.74k (V_{DD} - V_{cont} - |V_{th}|)} = \frac{1}{56\mu \cdot 11.74k (3 - 1.83 - 0.933)} = 6.61$$

Considerando una  $L=8\mu$  se tiene una  $W$  de  $25\mu$  con  $m=2$ .

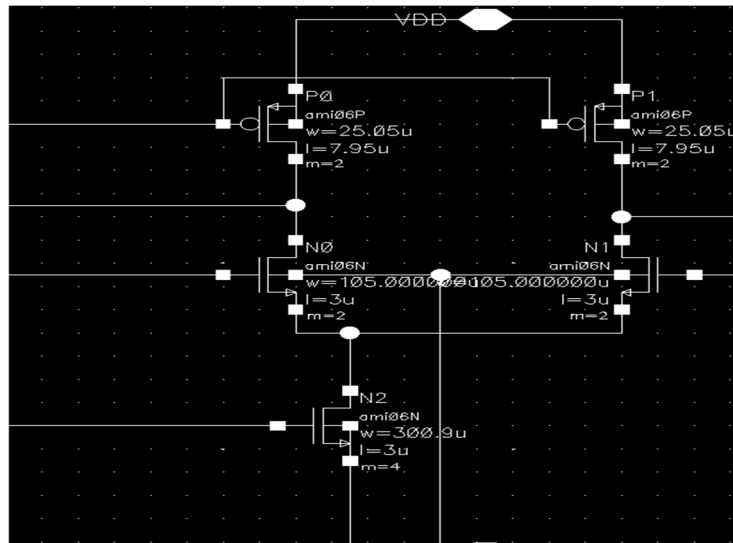


Figure 35 Amplificador Inversor Diferencial



Para realizar la caracterización se conectan dos etapas en cascada para simular la capacitancia real del nodo de salida y se simula la respuesta en frecuencia de la primera etapa. Es importante mencionar que en este punto los transistores de carga aun requieren ajuste fino, pero se incluyen y se polarizan para poder estimar de mejor manera la capacitancia en el nodo de salida.

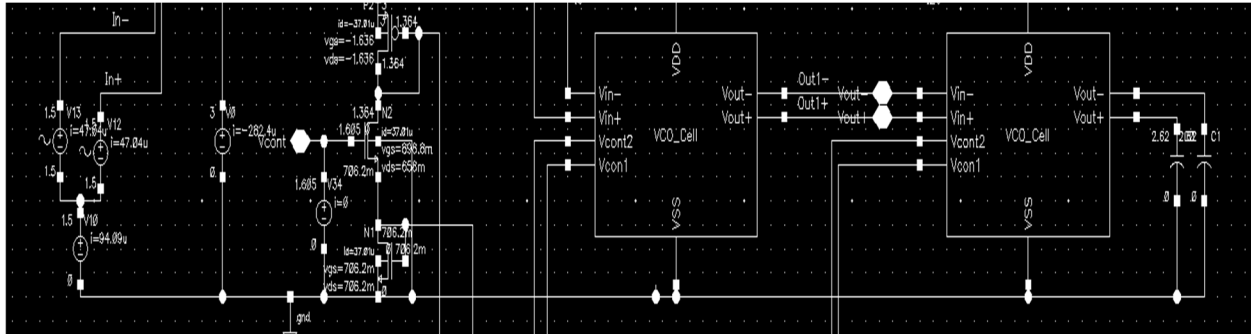


Figure 36 Circuito de Caracterización de capacitancia del nodo de salida.

De la simulación se tiene la siguiente respuesta en frecuencia.

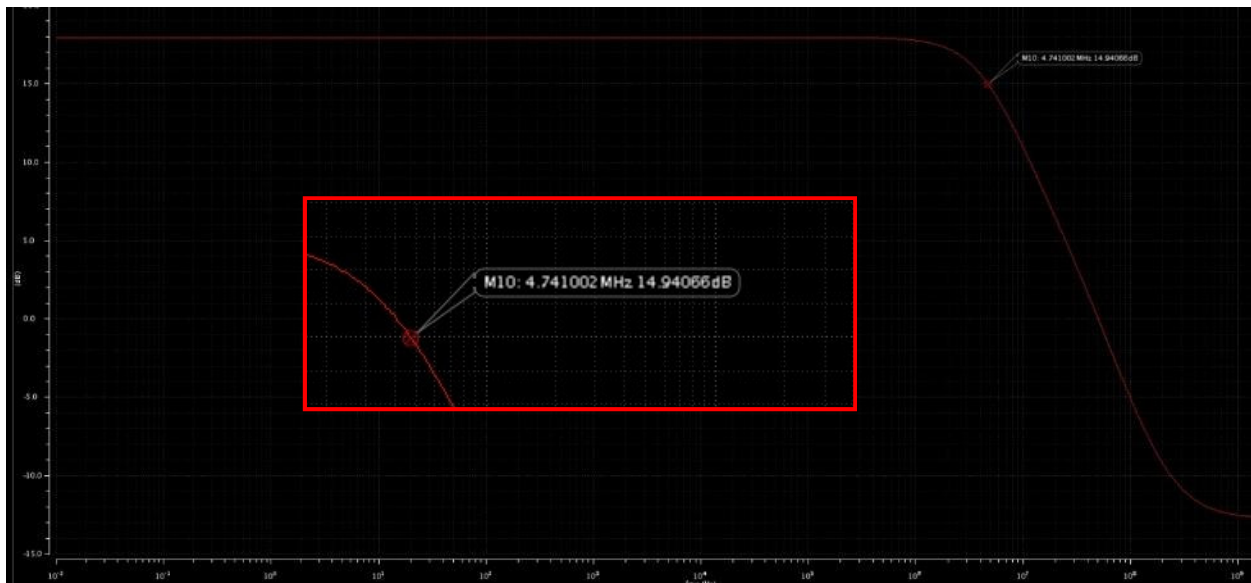


Figure 37 Respuesta en frecuencia de una etapa

Se tiene que la frecuencia a -3dB es de 4.741 MHz, también de la simulación se obtiene el parámetro Ron de los transistores tipo P y se tiene que es de 12.87k

$$\omega_{p1} = \frac{1}{RD CL}$$

$$CL = \frac{1}{RD \omega p1} = \frac{1}{2\pi * 4.741M * 12.8k} = 2.607 \text{ pF}$$

Se quiere diseñar el VCO para una frecuencia media de operación, en este caso la frecuencia mínima es de 1M y la máxima de 10M, por lo tanto, se decidió diseñarlo para una frecuencia de 5M. También se requiere que a 5M la corriente sea la mitad del rango definido. En el proyecto se tenía que el rango del ICO iba de 2uA a 50 uA para frecuencias de 1M a 10M con 25uA para 5M aproximadamente, sin embargo, en la etapa de experimentación se observó que para obtener corrientes bajas en los transistores P, el voltaje de control conectado a las compuertas debe ser muy alto (VSG bajo) esto tiene el inconveniente que los transistores salen de la región de triodo pues el VSG - |Vt| cae por debajo que el VSD. Para atacar este problema se hizo un corrimiento en la corriente de control, ahora con una corriente de control de 40uA para 5M.

Con la corriente definida y el voltaje de modo común seleccionado se puede calcular la resistencia de carga necesaria.

$$RD = \frac{.35}{40 \text{ uA}} = 8.75k$$

$$f_{osc} = \frac{1}{2NTD} = \frac{1}{2N RD CL}$$

**fosc = 5 M**

$$N = \frac{1}{2 f_{osc} RD CL} = \frac{1}{2 * 5M * 8.75K * 2.607 p} = 4.4$$

Con esto se selecciona una arquitectura con 5 etapas.

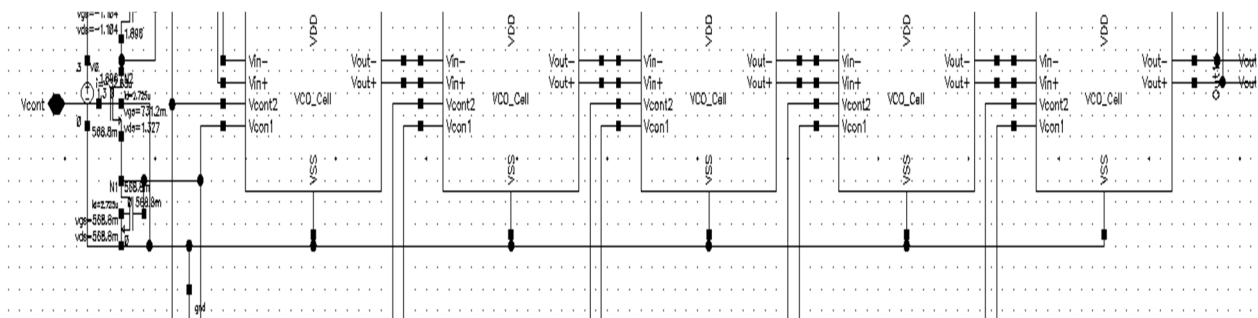


Figure 38 Arquitectura del VCO

A continuación, se presenta la arquitectura para el control del VCO. Varias opciones fueron analizadas para la realización de la tarea, sin embargo, la que entrego mejores resultados es la siguiente arquitectura donde se replica una rama del par diferencial sustituyendo el transistor de amplificación por un transistor de control el cual se encarga de regular el flujo de corriente de la rama y por lo tanto de los pares diferenciales de acuerdo al voltaje de control proveniente del PFD.

Las dimensiones del transistor de carga pasan igual, las del espejo tienen una relación de 1:2 de manera que la corriente de las celdas del VCO se al doble que la rama de control. Por último para el transistor de control se tomó como base el transistor de los pares diferenciales, sin embargo se observó que a bajas frecuencias el voltaje necesario para polarizar el transistor P de carga era tan alto que no dejaba el voltaje necesario para mantener el transistor de control en saturación, para solucionar esto se incrementó un poco las dimensiones del transistor para tener un VDSAT menor y que el voltaje VDS a bajas frecuencias de oscilación se suficiente para mantener el transistor en saturación.

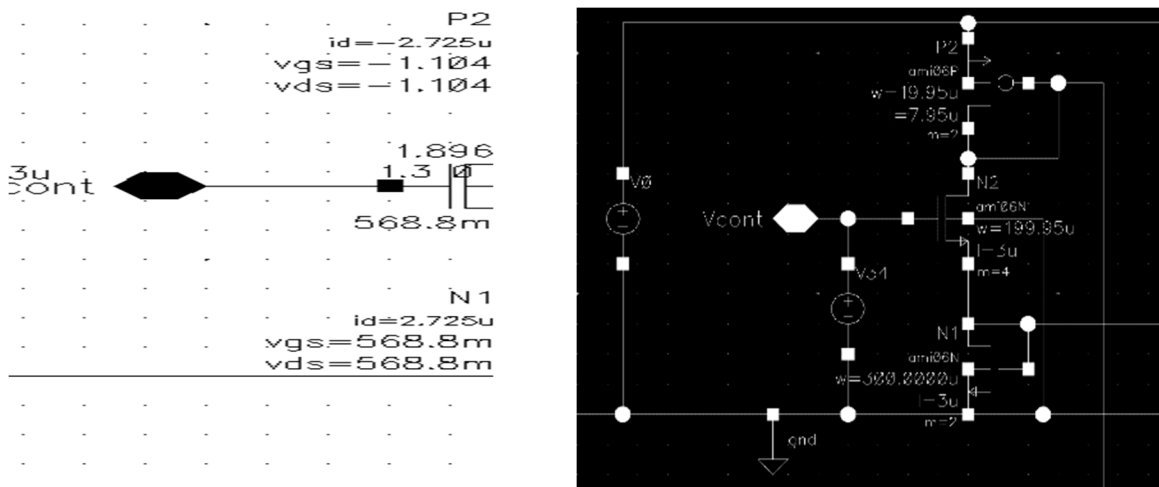


Figure 39 Esquema de control del VCO

El siguiente paso es caracterizar las 5 etapas del VCO a lazo abierto para ver si se cumple que la frecuencia de oscilación es 5M. La siguiente grafica muestra la respuesta en frecuencia del sistema a lazo abierto, como se puede la fase de salida igual 0 se da a 4.7MHz, muy cercano a los 5M deseados. Por otro lado, la ganancia a esta frecuencia es mayor a 1 pero como se explica en el análisis de Razavi esto tendrá como efecto que las oscilaciones vayan creciendo hasta llegar a los valores de saturación de las etapas de amplificación.

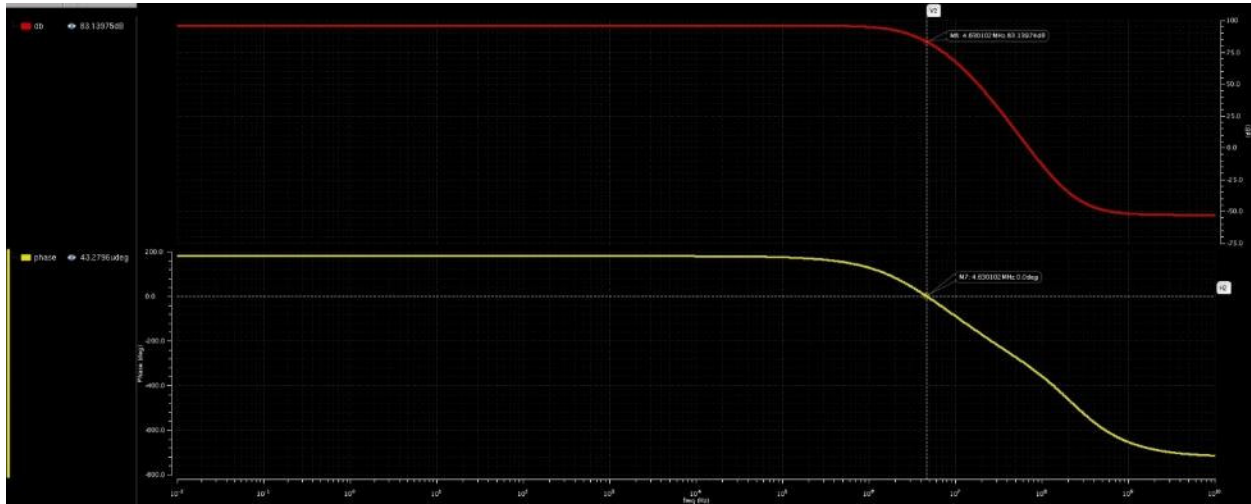


Figure 40 Respuesta en frecuencia del VCO de 5 etapas

El siguiente paso de caracterización es hacer un análisis paramétrico barriendo el voltaje de control y graficando la frecuencia a la salida y la resistencia de carga. Como se puede ver la ganancia del VCO  $K_o$  no es completamente lineal pero dentro del rango de operación de 1M a 10M se tiene una respuesta suave.

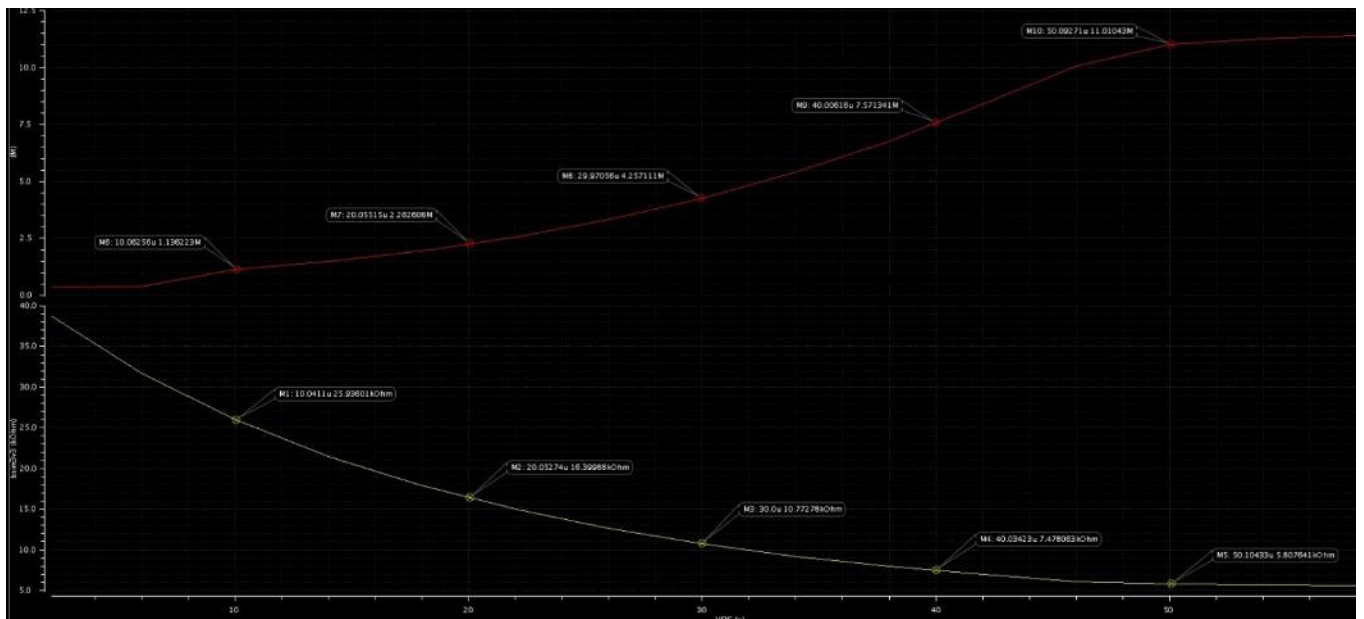


Figure 41 Ganancia del VCO

El siguiente paso es substituir el VCO diseñado en el PLL de la tarea 5. Para hacerlo solo se requiere modificar el divisor del lazo pues en la implementación de la tarea 5 la entrada a este bloque es de una sola terminal y el VCO diseñado tiene salida diferencial.

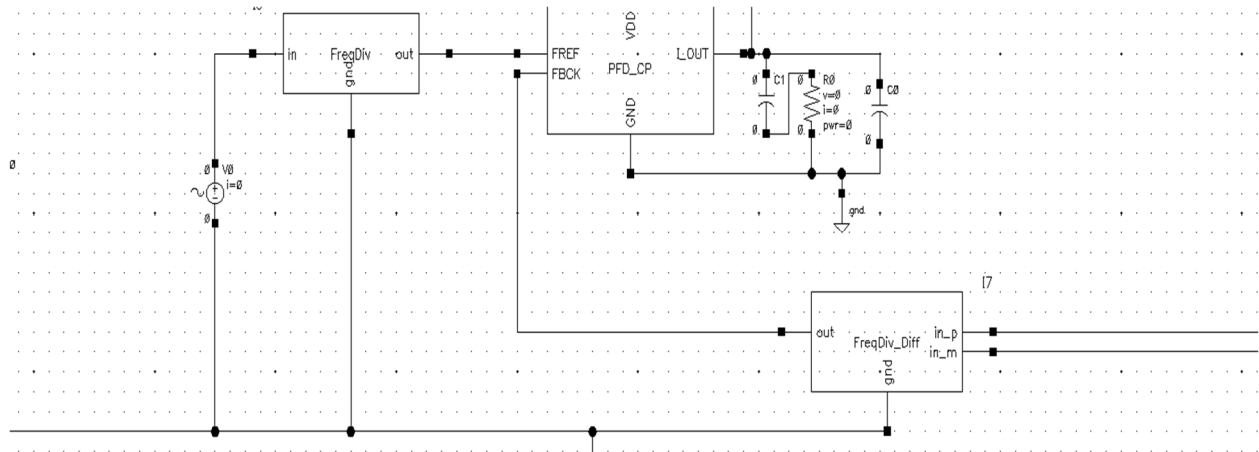


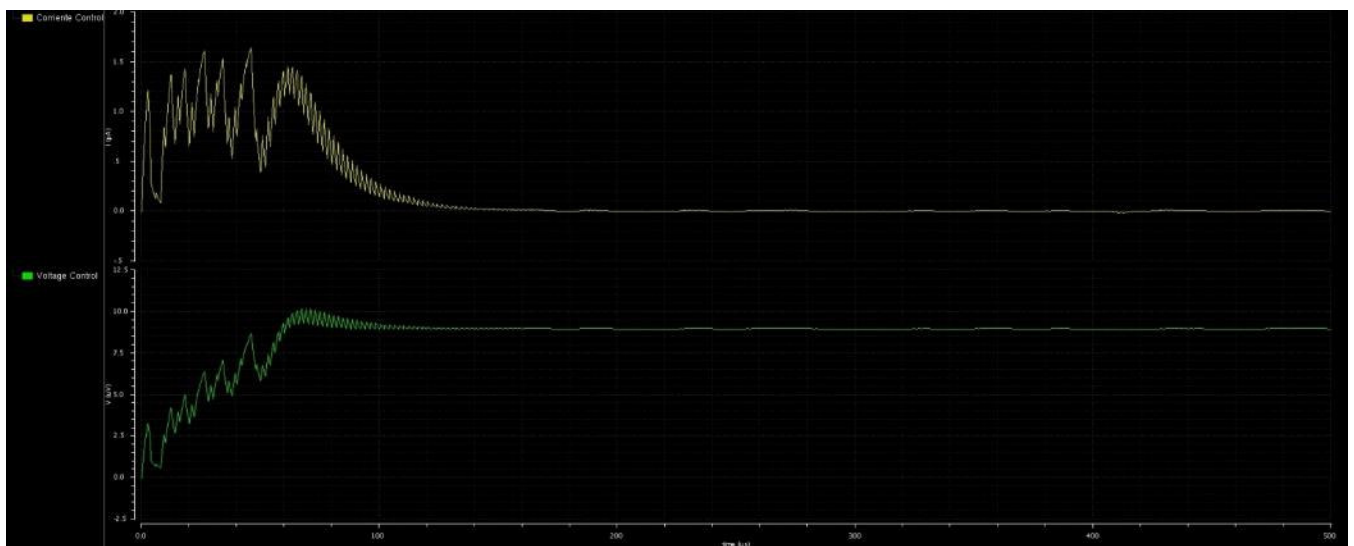
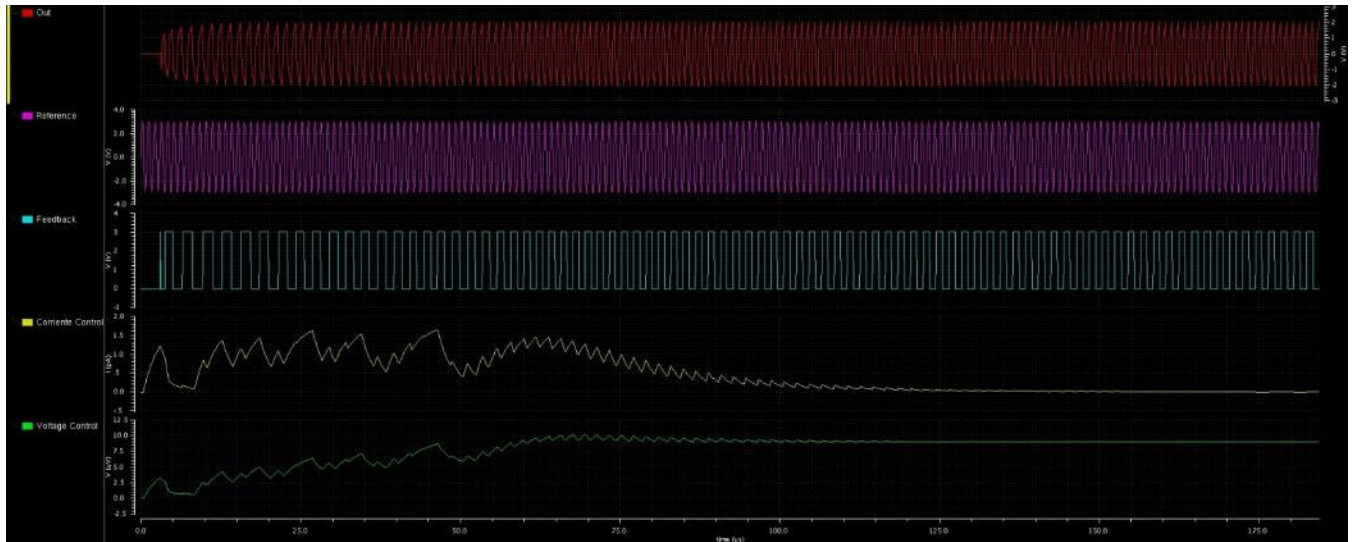
Figure 42 Test Bench del PLL

Al igual que en la tarea 5 se realizaron simulación del amarre para todos los factores de división especificados en el proyecto ( $N = 2, 5, 8$  y  $20$ ).

En las siguientes simulaciones se muestran 5 señales las cuales se describen a continuación.

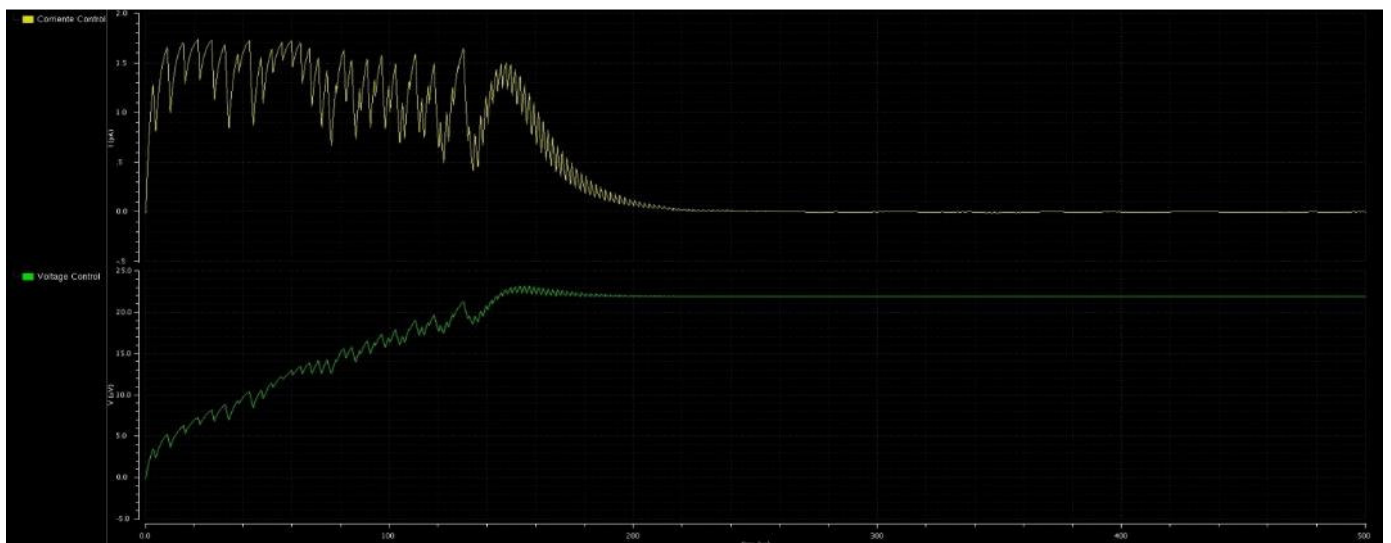
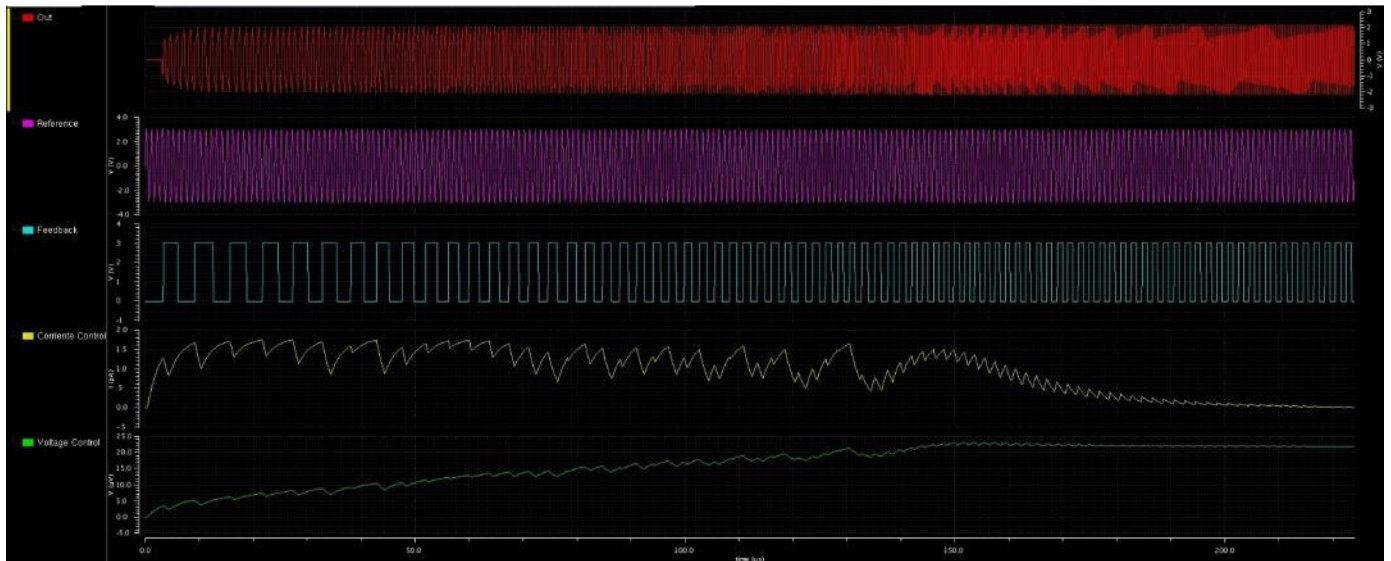
1. Frecuencia de salida del PLL
2. Frecuencia de Referencia del PLL
3. Frecuencia de retroalimentación, se toma a la salida del divisor de frecuencia.
4. Voltaje de control idealmente en amarre ambas señales están en fase y el voltaje de control es constante.
5. Corriente inyectada o extraída del nodo del voltaje de control, idealmente en amarre ambas señales están en fase y no se inyecta o extrae corriente del nodo.

**N = 2**



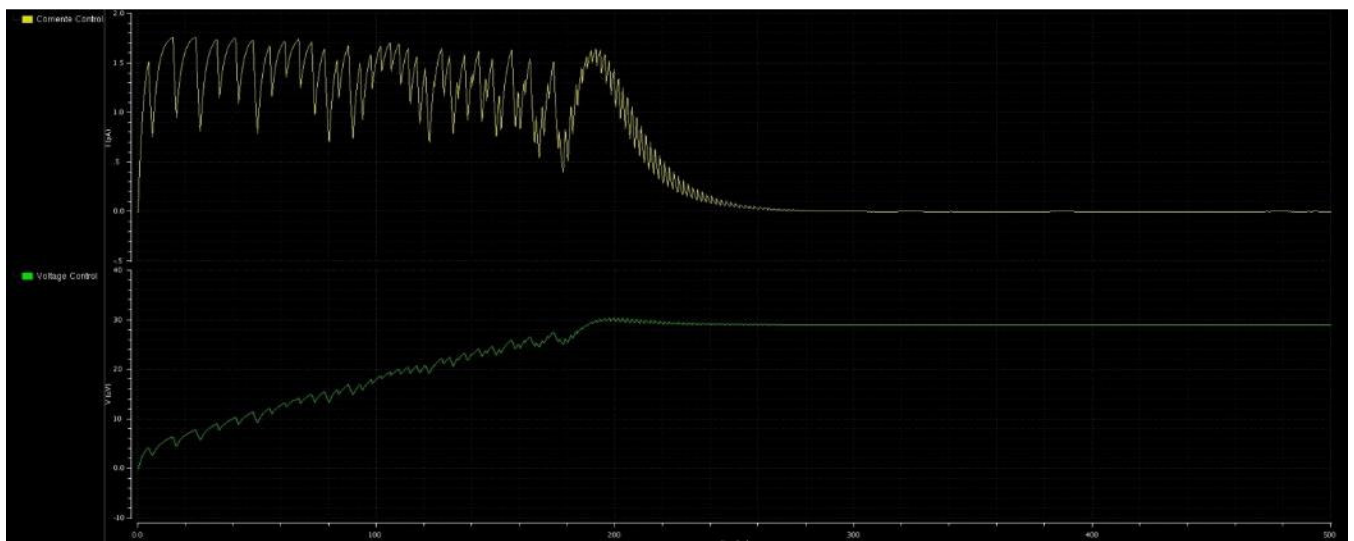
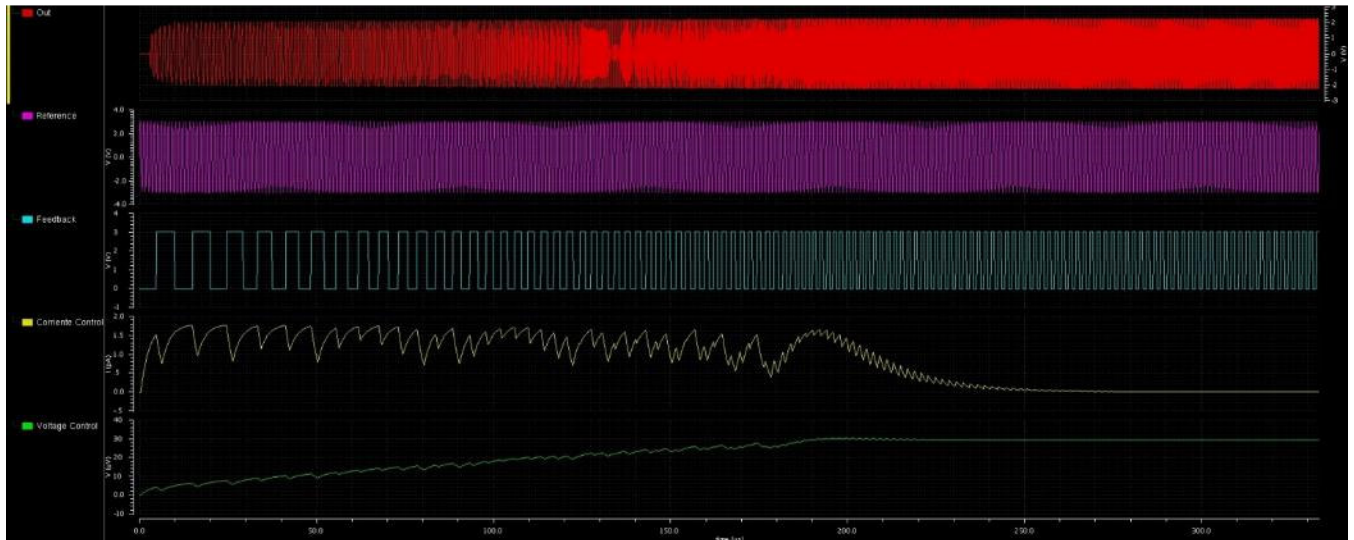
N = 2, Tiempo de Amarre = 150us, 50us más que con el VCO ideal.

N = 5



N = 5, Tiempo de Amarre = 270us, 120us más que con el VCO ideal.

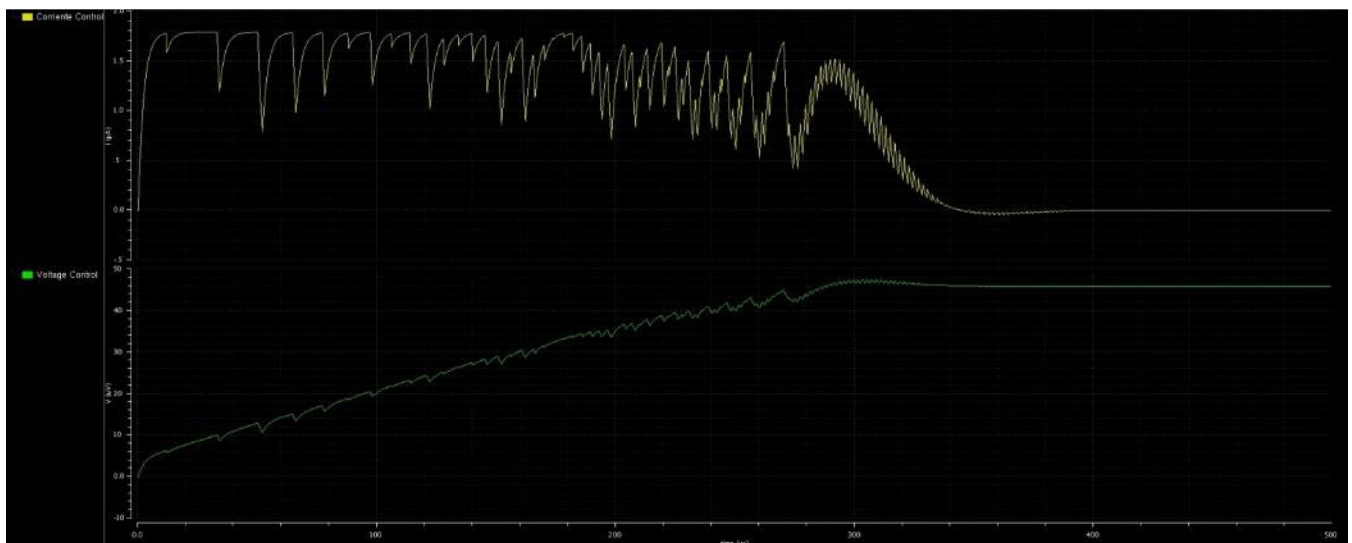
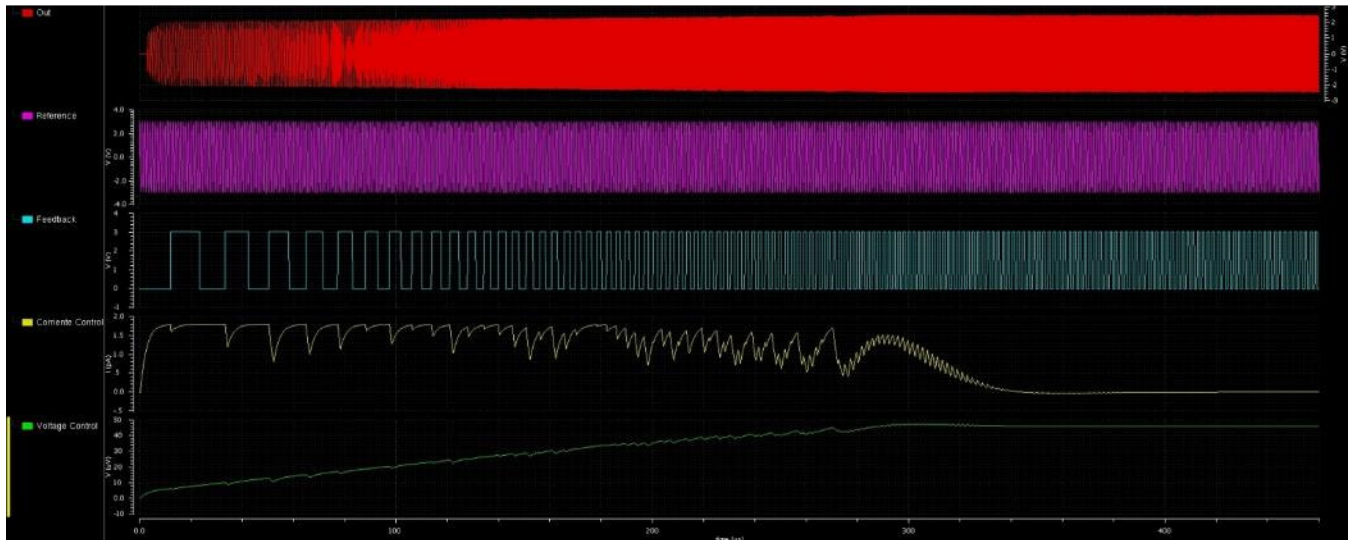
**N = 8**



N = 8, Tiempo de Amarre = 290us, 90us más que con el VCO ideal.



**N = 20**



N = 20, Tiempo de Amarre = 400us, 150us menos que con el VCO ideal.

Por último, se realizó una simulación incluyendo un salto de fase y salto de frecuencia a 250 ms y se graficó solo el voltaje de control del VCO y la corriente del PFD. Comparando los resultados del VCO con transistores contra el VCO en VerilogA se tiene que el voltaje de control presenta más variaciones, pero al final se estabiliza.

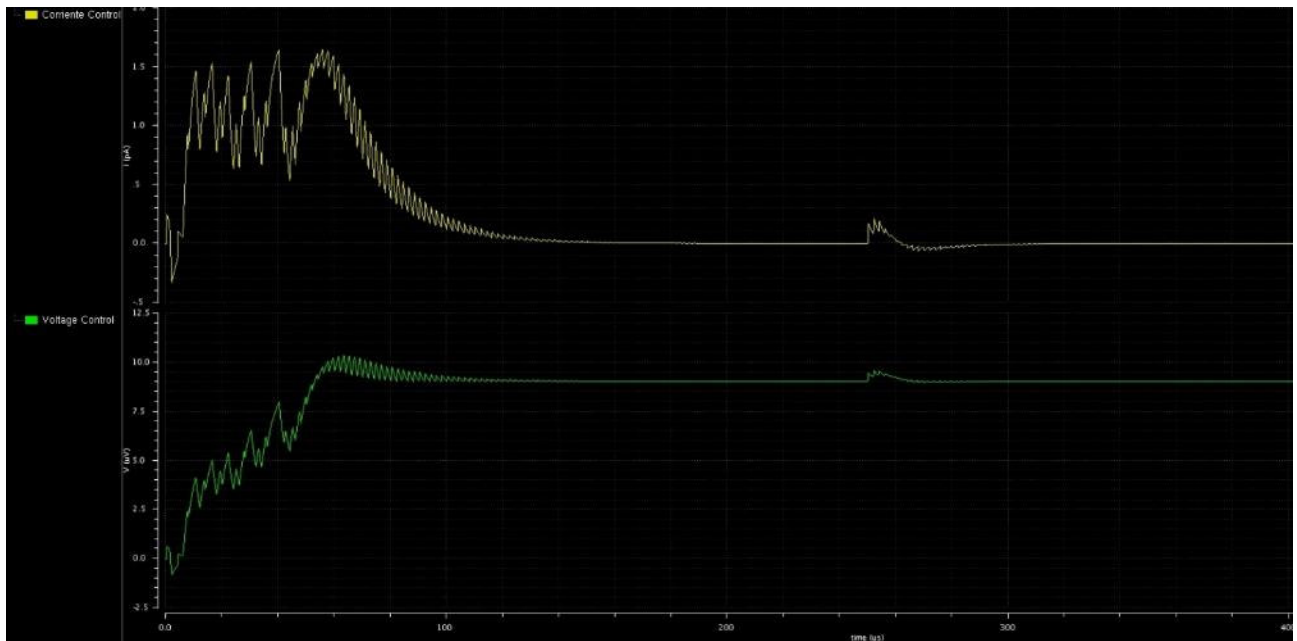


Figure 43 Salto en fase

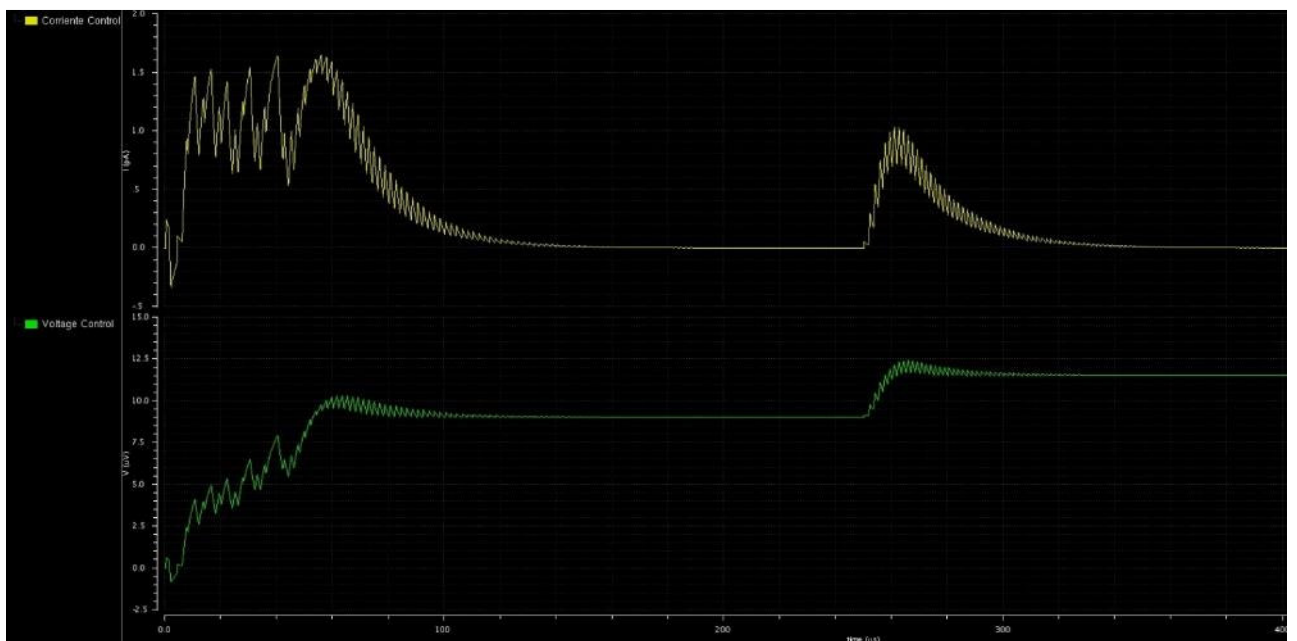


Figure 44 Salto en frecuencia

Al final el diseño necesito un área estimada de:

– 32,820  $\mu\text{m}^2$

N	Tiempo de Amarre	Potencia
2	150 us	208.89 uW
5	270 us	--
8	310 us	--
20	400 us	3.083 mW

## TRABAJO FUTURO

Como trabajo futuro quedaría la implementación a nivel transistor del resto de los bloques funcionales, como son el Charge Pump, el PFD, los divisores de frecuencia el filtro, etc. Además, con la experiencia ganada durante el proyecto el alumno se pudo percatar de muchas áreas de oportunidad, por lo que quedarían pendientes algunas iteraciones de optimización en área y potencia.

## CONCLUSIONES

- Una vez entendidos los compromisos de diseño se puede optimizar de manera considerable el diseño.
- La propuesta es compatible con una implementación real pues se respeta el voltaje de polarización de las fuentes de corriente del charge pump.

**F. TRANSMISOR DE DATOS DIGITALES CON IMPEDANCIA DE SALIDA, ÉNFASIS Y MODULACIÓN DE AMPLITUD CONFIGURABLE**

# INSTITUTO TECNOLÓGICO Y DE ESTUDIOS SUPERIORES DE OCCIDENTE

---

DEPARTAMENTO DE ELECTRÓNICA, SISTEMAS E INFORMÁTICA  
MAESTRIA EN DISEÑO DE CIRCUITOS INTEGRADOS



## DISEÑO DE TRANSMISOR DE DATOS EN TECNOLOGÍA 0.5 $\mu$ M

*Proyecto de la clase en Diseño de Circuitos Digitales.*

### **Presentan:**

**Rigoberto Bracamontes Salazar**  
**Lauro Gutiérrez Magana**  
**Baruch Cárdenas Ruvalcaba**  
**José Abdón Ramírez Ruiz**

### **Director:**

**Dr. Manuel Salim Maza.**

**TÍTULO:** **Diseño de un Sistema Transmisor de Datos en tecnología de 0.5uM**

**AUTORES:** RIGOBERTO BRACAMONTES SALAZAR  
Ingeniero Electrónico (ITESM)

BARUCH CARDENAS RUVALCABA  
Ingeniero Electrónico (CETI)

LAURO GUTIERREZ MAGANA  
Ingeniero Electrónico (ITCG)

JOSE ABDON RAMIREZ RUIZ  
Licenciado en Física (UASLP)

**DIRECTOR DE PROYECTO FINAL:** MANUEL SALIM MAZA.  
Doctor en Circuitos Integrados (INAOE)

**NÚMERO DE PÁGINAS:** 52

## Índice

<b>Objetivo.....</b>	<b>214</b>
<b>Marco Teórico.....</b>	<b>214</b>
<b>Diseño Pre – Layout.....</b>	<b>216</b>
ESTRUCTURA DEL PROYECTO.....	216
NOT.....	216
NAND.....	217
NOR.....	217
BUFFER DE 3ER ESTADO.....	219
CELDA BÁSICA.....	220
CÁLCULO DE IMPEDANCIAS.....	222
MULTIPLEXOR.....	222
CIRCUITO TIED.....	223
CIRCUITO DESFASADOR.....	224
BLOQUE ZAP.....	226
TRANSMISOR.....	228
SIMULACIÓN.....	230
ANÁLISIS PVT.....	233
DIAGRAMAS DE OJO:.....	236
OPTIMIZACIÓN DE JITTER.....	238
<b>Diseño Layout.....</b>	<b>240</b>
CELDA NOT.....	240
CELDA NAND.....	241
CELDA NOR.....	242
BUFFER DE 3 ESTADOS.....	243
CELDA BÁSICA.....	243
MULTIPLEXOR.....	244
CIRCUITO TIED.....	245
BLOQUE ZAP.....	246
BLOQUE GENERAL DEL TRANSMISOR.....	247
<b>Simulaciones Pos – Layout.....</b>	<b>249</b>
IMPEDANCIA.....	249
AMPLITUD.....	250
PREÉNFAIS.....	251
Flip-Flops.....	251
LFSR.....	252
DIAGRAMA DE OJO.....	255
ANÁLISIS PVT.....	256
<b>Trabajo Futuro.....</b>	<b>260</b>

<b>Conclusiones .....</b>	<b>260</b>
<b>Referencias.....</b>	<b>262</b>

## Índice de Figuras

FIGURA 1. SISTEMA DE COMUNICACIÓN.....	214
FIGURA 2. RESPUESTA EN FRECUENCIA DEL TRANSMISOR, DEL MEDIO Y RECEPTOR.....	215
FIGURA 3. EFECTOS DEL ÉNFASIS.....	215
FIGURA 4. EFECTOS DEL ÉNFASIS EN UN CANAL DE TRANSMISIÓN.....	216
FIGURA 5. SÍMBOLO Y ESQUEMÁTICO DEL INVERSOR.....	217
FIGURA 6. SÍMBOLO Y ESQUEMÁTICO DE LA NAND.....	217
FIGURA 7. SÍMBOLO Y ESQUEMÁTICO DE LA NOR.....	218
FIGURA 8. DIAGRAMAS DE DIMENSIONAMIENTO DE TRANSISTORES EN COMPUERTAS NOT, NAND Y NOR.....	219
FIGURA 9. ESQUEMÁTICO DEL BUFFER DE 3ER ESTADO.....	220
FIGURA 10. ESQUEMÁTICO DE LA CELDA BÁSICA.....	221
FIGURA 11. DIAGRAMA ESQUEMÁTICO DEL MULTIPLEXOR.....	223
FIGURA 12. ESQUEMÁTICO DEL CIRCUITO TIED.....	224
FIGURA 13. ESQUEMÁTICO DEL CIRCUITO DESFASADOR.....	225
FIGURA 14. CONSTITUCIÓN DEL BLOQUE ZAP.....	226
FIGURA 15. BLOQUE GENERAL DEL TRANSMISOR.....	228
FIGURA 16. TEST BENCH DEL TRANSMISOR.....	229
FIGURA 17. SELECTORES DE SIMULACIÓN.....	229
FIGURA 18. IMPEDANCIAS DE SALIDA DEL TRANSMISOR.....	230
FIGURA 19. VARIACIONES DE AMPLITUD DEL TRANSMISOR.....	231
FIGURA 20. SEÑALES DE LOS HABILITADORES DE VARIACIÓN DE AMPLITUD.....	231
FIGURA 21. VARIACIONES DE ÉNFASIS.....	232
FIGURA 22. SEÑALES DE LOS HABILITADORES DE ÉNFASIS.....	232
FIGURA 23. DIAGRAMA DE OJO 5NS.....	233
FIGURA 24. DIAGRAMA DE OJO 15NS.....	233
FIGURA 25. VALORES DE IMPEDANCIA PARA CADA ESQUINA ANALIZADA.....	234
FIGURA 26. NIVELES DE ÉNFASIS PARA EL ANÁLISIS PVT.....	235
FIGURA 27. COMPARACIÓN DE NIVELES DE ÉNFASIS PARA EL ANÁLISIS PVT.....	235
FIGURA 28. NIVELES DE AMPLITUD PARA EL ANÁLISIS PVT.....	236
FIGURA 29. COMPARACIÓN DE NIVELES DE ANÁLISIS PARA EL ANÁLISIS PVT.....	236
FIGURA 30. DIAGRAMAS DE OJO PARA EL ANÁLISIS PVT.....	237
FIGURA 31. DIAGRAMAS DE OJO CON RUIDO EN LA FUENTE PARA EL ANÁLISIS PVT.....	237
FIGURA 32. LAYOUT DE LA CELDA NOT.....	240
FIGURA 33. LAYOUT DE LA CELDA NAND.....	241
FIGURA 34. LAYOUT DE LA CELDA NOR.....	242
FIGURA 35. LAYOUT DEL BUFFER DE 3 ESTADOS.....	243
FIGURA 36. LAYOUT DE LA CELDA BÁSICA.....	244
FIGURA 37. LAYOUT DEL MULTIPLEXOR.....	245
FIGURA 38. LAYOUT DEL CIRCUITO TIED.....	246
FIGURA 39. LAYOUT DEL BLOQUE ZAP.....	247
FIGURA 40. LAYOUT DEL BLOQUE GENERAL DEL TRANSMISOR.....	248
FIGURA 41. IMPEDANCIAS DE SALIDA DEL TRANSMISOR POS - LAYOUT.....	249
FIGURA 42. VARIACIONES DE AMPLITUD DEL TRANSMISOR POS - LAYOUT.....	250
FIGURA 43. VARIACIONES DE ÉNFASIS DEL TRANSMISOR POS - LAYOUT.....	251
FIGURA 44. VARIACIONES DE ÉNFASIS DEL TRANSMISOR POS – LAYOUT VS PRE-LAYOUT.....	252
FIGURA 45. TEST BENCH DEL TRANSMISOR CON LFSR.....	253



FIGURA 46 ESQUEMÁTICO DEL LSFR.....	253
FIGURA 47 FUNCIONAMIENTO DEL LFSR.....	254
FIGURA 48 VARIACIONES DE ÉNFASIS DEL TRANSMISOR POS – LAYOUT VS PRE-LAYOUT USANDO LFSR.....	254
FIGURA 49. DIAGRAMA DE OJO 5NS POS – LAYOUT.....	255
FIGURA 50. DIAGRAMA DE OJO 15NS POS - LAYOUT.....	255
FIGURA 51. VALORES DE IMPEDANCIA PARA CADA ESQUINA ANALIZADA. POS-LAYOUT.....	256
FIGURA 52. NIVELES DE ÉNFASIS PARA EL ANÁLISIS PVT. POS-LAYOUT.....	257
FIGURA 53. COMPARACIÓN DE NIVELES DE ÉNFASIS PARA EL ANÁLISIS PVT. POS-LAYOUT.....	257
FIGURA 54. NIVELES DE AMPLITUD PARA EL ANÁLISIS PVT POS – LAYOUT.....	258
FIGURA 55. COMPARACIÓN DE NIVELES DE ANÁLISIS PARA EL ANÁLISIS PVT POS - LAYOUT.....	258
FIGURA 56. DIAGRAMAS DE OJO PARA EL ANÁLISIS PVT. POS - LAYOUT.....	259
FIGURA 57. DIAGRAMAS DE OJO CON RUIDO EN LA FUENTE PARA EL ANÁLISIS PVT POS - LAYOUT.....	259

## Índice de Tablas

TABLA 1. DIMENSIONAMIENTO DE LAS COMPUERTAS BÁSICAS.....	219
TABLA 2. DIMENSIONAMIENTO E IMPEDANCIA DE LA ETAPA DE SALIDA DEL BUFFER DE 3ER ESTADO.....	220
TABLA 3. DIMENSIONAMIENTO DEL MULTIPLEXOR.....	223
TABLA 4. DIMENSIONAMIENTO DEL CIRCUITO TIED.....	224
TABLA 5 DIMENSIONAMIENTO DE INVERSORES DEL DESFASADOR.....	225
TABLA 6. IMPEDANCIAS DEL TRANSMISOR.....	230
TABLA 7. AMPLITUDES DEL TRANSMISOR.....	231
TABLA 8. NIVELES DE ÉNFASIS DEL TRANSMISOR.....	233
TABLA 9. ESQUINAS DE ANÁLISIS PVT.....	234
TABLA 10. ANÁLISIS PVT DE IMPEDANCIAS.....	234
TABLA 11. ANÁLISIS PVT DE ÉNFASIS.....	235
TABLA 12. ANÁLISIS PVT DE AMPLITUD.....	236
TABLA 13. DIAGRAMAS DE OJO PVT.....	238
TABLA 14. DIMENSIONAMIENTO DE LAS COMPUERTAS BÁSICAS.....	238
TABLA 15. COMPARATIVA DE ANÁLISIS PVT DE JITTER.....	238
TABLA 16. COMPARATIVA DE ANÁLISIS PVT DE POTENCIA.....	239
TABLA 17 IMPEDANCIAS DEL TRANSMISOR POS - LAYOUT.....	249
TABLA 18. AMPLITUDES DEL TRANSMISOR POS - LAYOUT.....	250
TABLA 19. NIVELES DE ÉNFASIS DEL TRANSMISOR.....	252
TABLA 20 DIAGRAMA DE OJO PRE-LAYOUT VS POS-LAYOUT.....	256
TABLA 21. ANÁLISIS PVT DE IMPEDANCIAS POS-LAYOUT VS PRE-LAYOUT.....	256
TABLA 22. ANÁLISIS PVT DE ÉNFASIS. POS-LAYOUT VS PRE-LAYOUT.....	257
TABLA 23. ANÁLISIS PVT DE AMPLITUD. POST-LAYOUT VS PRE-LAYOUT.....	258
TABLA 24. DIAGRAMAS DE OJO PVT. POS-LAYOUT VS PRE-LAYOUT.....	260

## Objetivo.

El objetivo de este proyecto es la implementación de un Transmisor de Datos Digitales que es una parte importante en los sistemas de comunicación de hoy en día. El enfoque que se sigue en el desarrollo del proyecto es básicamente la reproducción de un Transmisor con Tecnología de  $0.35\mu\text{m}$ , el cual fue presentado por José Luis Chávez en el 2008, utilizando la tecnología de  $0.5\mu\text{m}$ .

El transmisor debe ser capaz de proveer las siguientes opciones de configuración.

- 25 valores distintos de impedancia de salida con un valor medio de  $250\Omega$
- 6 niveles de énfasis
- 6 niveles de modulación de amplitud.

## Marco Teórico.

Un sistema de comunicación consta de 3 componentes principales: un transmisor, un medio de transmisión, y un receptor, como se muestra en la Figura.

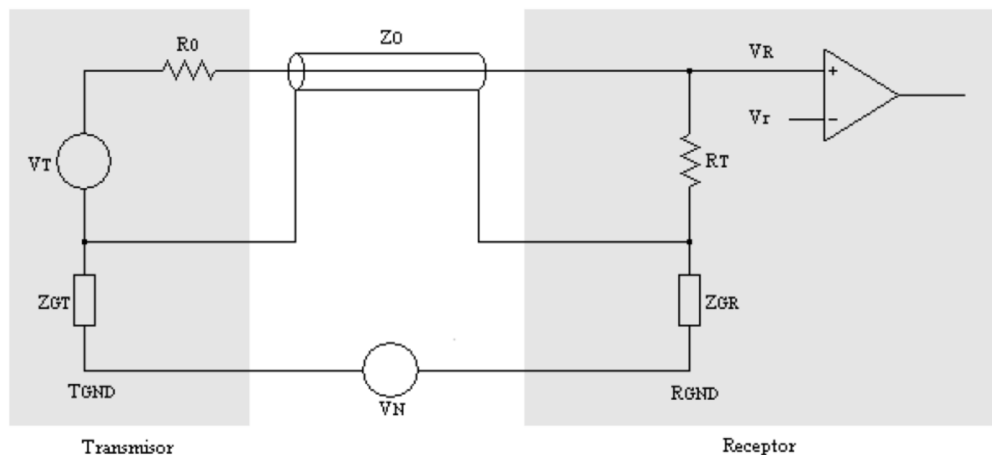


Figura 108 Sistema de Comunicación

El transmisor se encarga del envío de datos al receptor a través del medio. El receptor recibe dichos datos que son enviados a través del medio y el medio es el canal por el cual los datos viajan del transmisor hacia el receptor. Un medio ideal no distorsiona los datos que son enviados a través de él. En cambio, los medios reales por lo general introducen distorsión en los datos transmitidos. Usualmente se utiliza como medio una línea de transmisión, dicha línea de transmisión en una forma simplista puede ser vista como un circuito RC y así la señal no solo sufre pérdidas, sino que la línea de transmisión actúa como un filtro pasa-bajas. Por lo tanto, una forma de evitar la

distorsión en las altas frecuencias es introducir un énfasis en la señal de entrada antes de ser transmitida que tiene el efecto de un filtro pasa-altas y que logra deformar la señal en forma inversa a como lo hace el canal. Esto se muestra en la Figura.

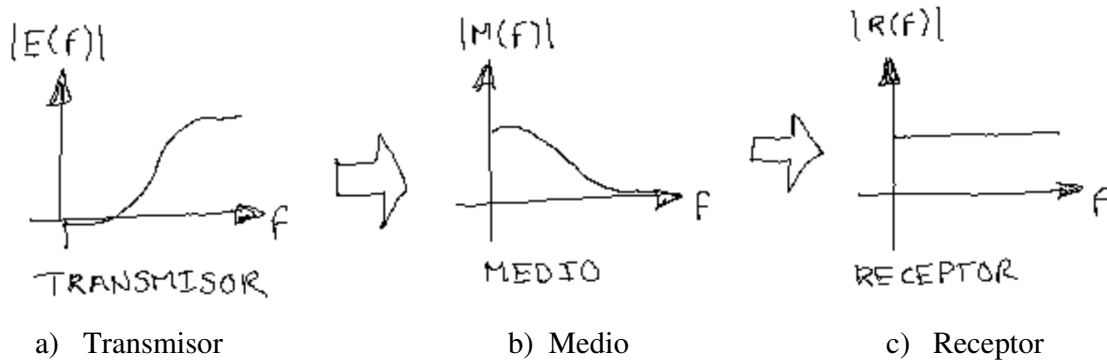


Figura 109. Respuesta en frecuencia del Transmisor, del Medio y Receptor

*a. Respuesta en frecuencia del énfasis*

*b. Respuesta en frecuencia del medio*

*c. Respuesta en frecuencia combinada del énfasis y del medio en el receptor.*

El énfasis consiste en invertir el dato de entrada y retrasarlo un ciclo. De esta forma se puede utilizar el dato retrasado para modificar la amplitud del siguiente. Con esto se consigue disminuir en amplitud las bajas frecuencias con respecto a las altas frecuencias dato aminorando los efectos del medio de transmisión. En la siguiente Figura se muestra este efecto.

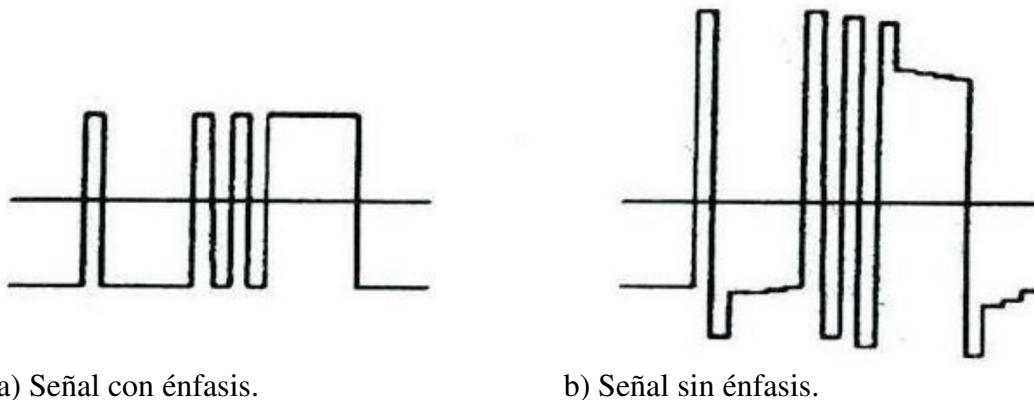
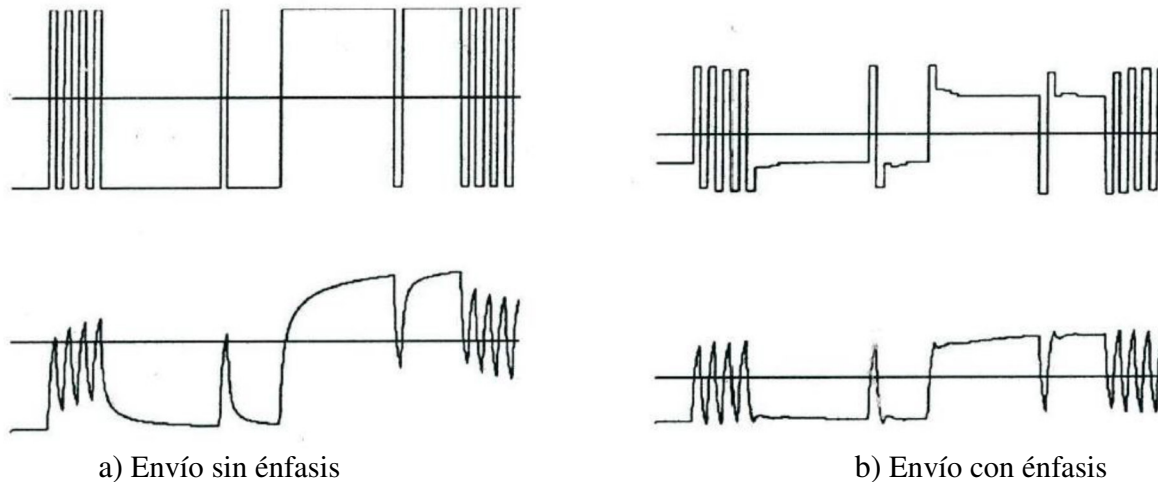


Figura 110. Efectos del Énfasis

La siguiente Figura muestra los efectos del énfasis más el del canal en la transmisión. Como se puede apreciar sin énfasis, las altas frecuencias se ven disminuidas e imposibles de recuperar

mientras que con énfasis las altas frecuencias se recuperan con la misma intensidad que las bajas frecuencias.



*Figura 111. Efectos del énfasis en un canal de transmisión.*

Por último, otro punto importante a tratar es que diversos protocolos de comunicación utilizan diversos niveles de acoplamiento de impedancia entre los transmisores y receptores. Así que una forma de lidiar con esto es incluir impedancias variables tanto en los transmisores como en los receptores para poder hacer acoplamientos de impedancia entre diversos protocolos de comunicación.

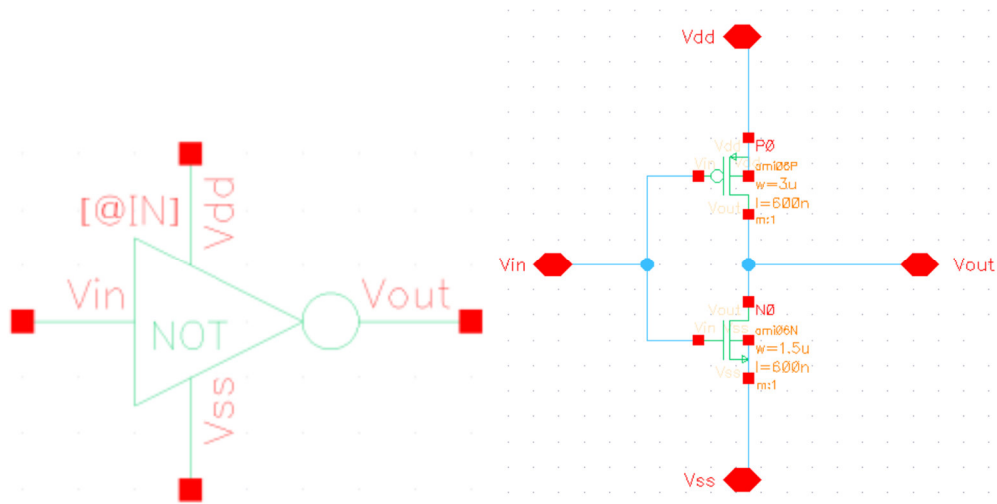
## Diseño Pre – *Layout*

### Estructura del proyecto.

Para simplificar la explicación del proceso de diseño del sistema completo se presentará una descripción de cada una de las partes que componen el transmisor. Enseguida se presentarán las interrelaciones de los bloques básicos y su integración en el sistema completo.

A continuación, se presentan los bloques que integran la celda básica. Las siguientes figuras muestran los diagramas de cada componente utilizados en la Celda Básica. Durante el proceso de diseño, el valor de  $L$  para todos los transistores se utilizó el valor mínimo posible en la tecnología que es  $0.6\mu\text{m}$ . En las figuras se muestran también las relaciones entre los tamaños de los transistores p y n. Todas las resistencias de la celda básica fueron puestas a  $4.16\text{k}\Omega$ , más adelante en el documento se mostrará cómo se llegó a este valor.

**NOT.**

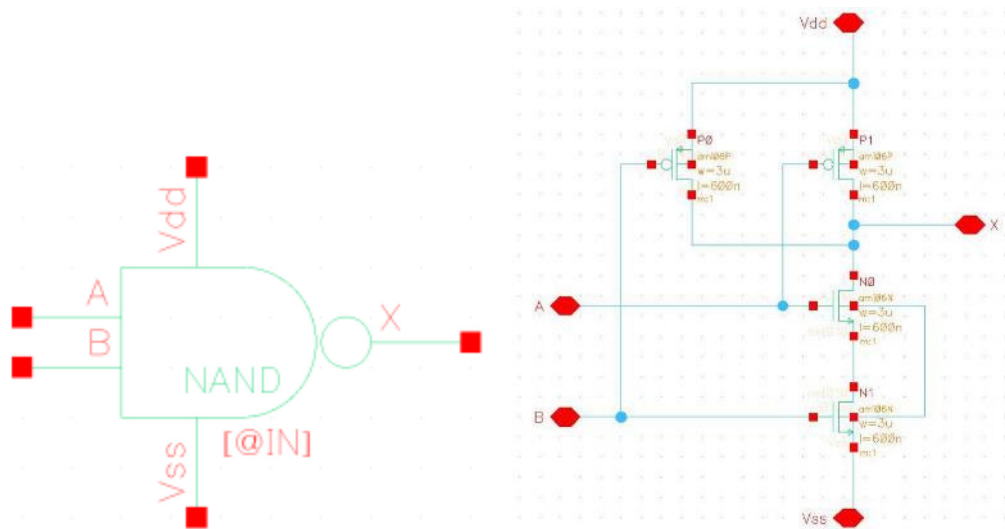


a) Símbolo

b) Esquemático

Figura 112. Símbolo y esquemático del Inversor

## NAND.

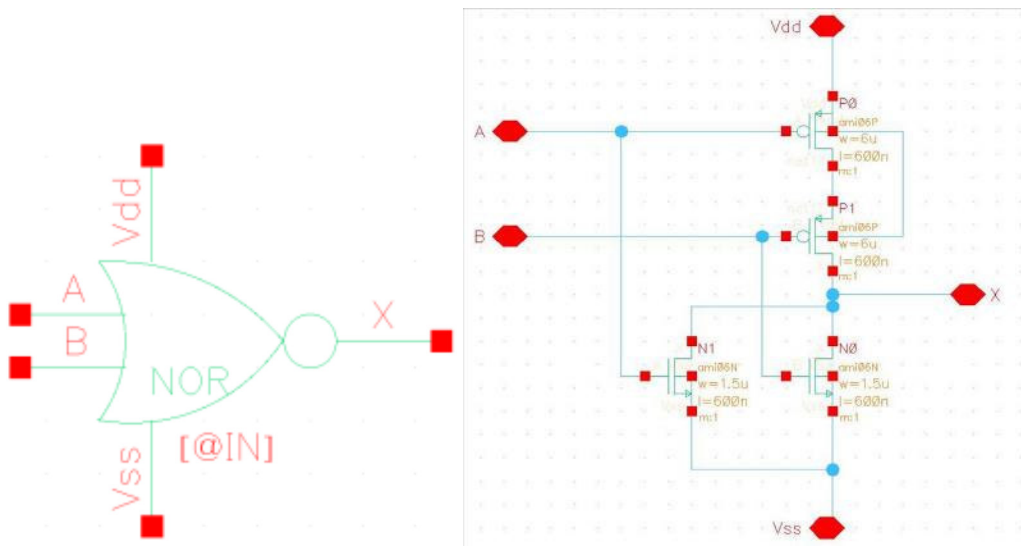


b) Símbolo

b) Esquemático

Figura 113. Símbolo y esquemático de la NAND

## NOR.



a) Símbolo

b) Esquemático

Figura 114. Símbolo y esquemático de la NOR

Antes de continuar con la integración de las compuertas en los siguientes bloques es importante comentar como se llegó a estas dimensiones. Los valores  $W_p$  y  $W_n$  de los transistores de las compuertas NOT, NAND y NOR se escogieron partiendo del inversor con relación 3/1.5, los diagramas muestran el desarrollo hecho en clase donde se concluye que transistores con una conexión en paralelo no es necesario incrementar o disminuir su tamaño, en cambio transistores en serie es necesario multiplicar su valor original por el número de transistores en *stack*. Al seguir estas consideraciones se cumple que, para el peor de los casos, es decir cuando solo se active uno de los transistores en paralelo, se siga manteniendo la relación 3/1.5. La siguiente tabla muestra el dimensionamiento de las compuertas básicas.

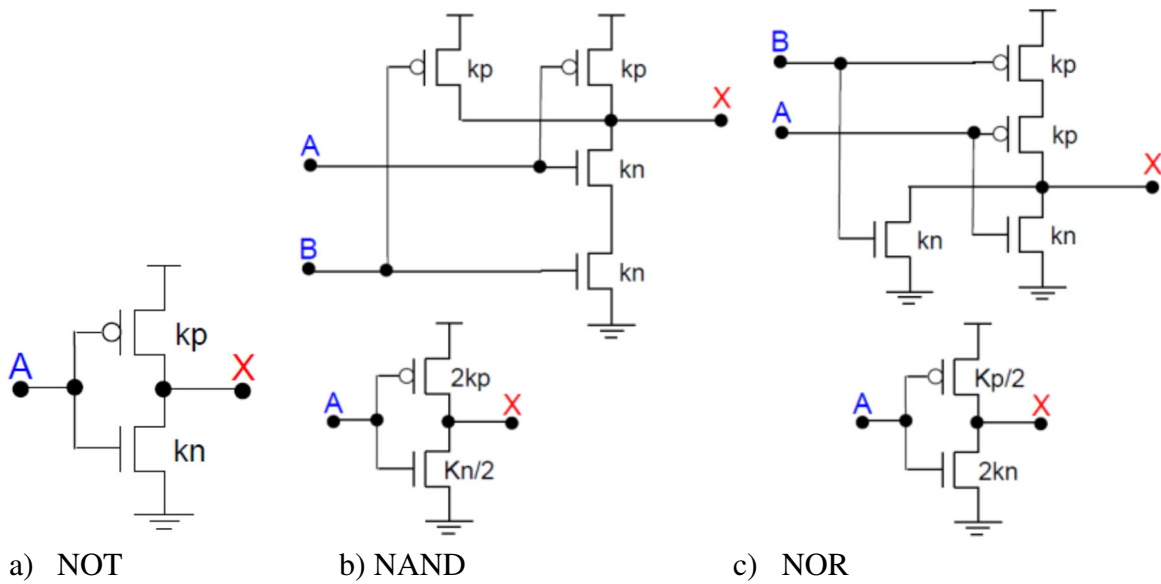


Figura 115. Diagramas de dimensionamiento de transistores en compuertas NOT, NAND y NOR.

	NOT	NAND	NOR
PMOS	3u	3u	6u
NMOS	1.5u	3u	1.5u

Tabla 2. Dimensionamiento de las compuertas básicas

### Buffer de 3er estado.

El buffer de 3 estados tiene dos modos de operación, en el primero se comporta como un buffer simple transmitiendo hacia la salida lo que tiene en la entrada, en el segundo estado se comporta como un circuito abierto, por lo tanto, hacia la salida tenemos una alta impedancia. El comportamiento del buffer es controlado mediante una señal de habilitación, al estar en cero la salida del buffer se encuentra en alta impedancia y al aplicar un uno el buffer se comporta como un cable.

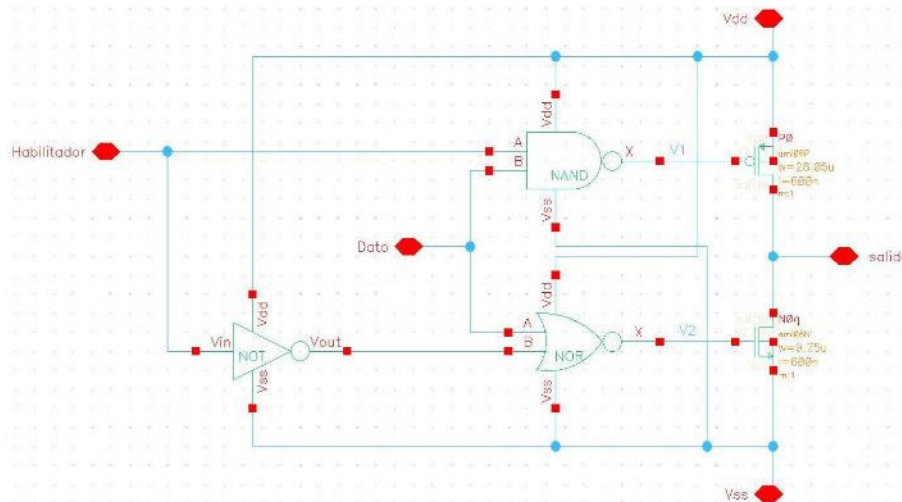


Figura 116. Esquemático del Buffer de 3er estado

El diseño de este bloque es fundamental para el desempeño del transmisor pues la impedancia del transistor N y P contribuyen directamente a la impedancia de salida del transmisor. Por ejemplo, una  $W$  más grande implica una impedancia menor pero obviamente también implica un tamaño mayor de *layout*, por lo que es importante determinar el compromiso adecuado entre el tamaño del transistor y la impedancia de salida del circuito. Por requerimiento de diseño se pretende que el aporte de estos transistores para la impedancia de salida total sea del 10%. En secciones posteriores se demuestra que el valor de resistencia requerido en las celdas básicas para obtener una impedancia de salida media de  $250\Omega$  es de  $4.5k\Omega$  por resistencia. De esta forma se deduce que la contribución de cada transistor debe ser de aproximadamente  $450\Omega$ . Utilizando este valor los transistores de salida del buffer fueron dimensionados, buscando que tanto el transistor N y P tengan una impedancia similar. La tabla 2 muestra el dimensionamiento y la impedancia de salida de cada transistor.

	<b>W</b>	<b>RDSon</b>
PMOS	28.05u	431.7 $\Omega$
NMOS	9.75u	543.7 $\Omega$

Tabla 3. Dimensionamiento e Impedancia de la etapa de Salida del Buffer de 3er estado

Como se puede notar el dimensionamiento final no muestra una simetría en la impedancia del transistor N en comparación con el transistor P. La razón de esta decisión fue la de buscar un diagrama de ojo con el cruce posicionado lo más cercano a  $VDD/2$ .

### Celda básica.



La celda básica es el componente fundamental del transmisor. Se construye utilizando dos buffers de tercer estado y un par de resistencias. Ambos buffers reciben el mismo dato y una señal de habilitación para cada buffer controlan el comportamiento del circuito como se explica a continuación.

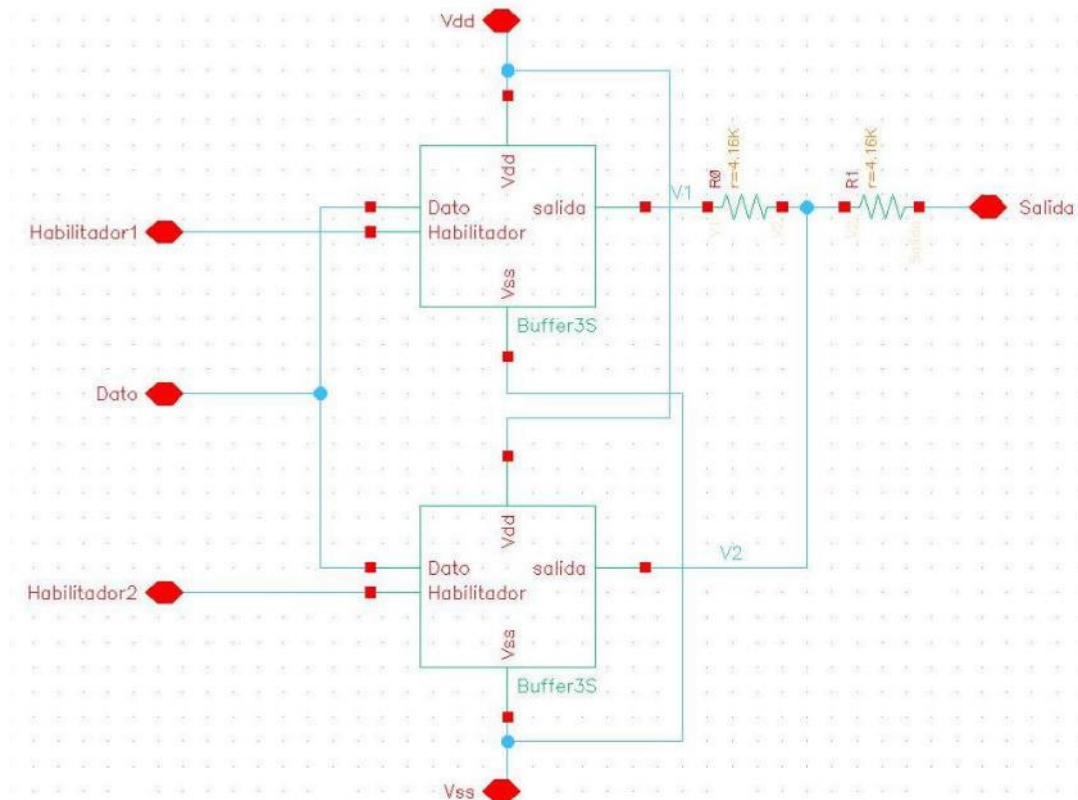


Figura 117. Esquemático de la celda básica.

Cuando los dos habilitadores se encuentran en bajo ambos buffers se encuentran en tercer estado y la salida del bloque tiene una alta impedancia. Cuando solo el Habilitador 1 está conectado la salida ve las dos resistencias en serie, por lo que la impedancia del bloque es  $2R$ . En el caso que ambos Habilitadores estén activos la  $R0$  ve el mismo dato en ambas terminales por lo que el voltaje diferencial sería cero eliminando la contribución de esta resistencia a la impedancia de salida, que en este caso sería solo  $R$ . Es importante mencionar que el cuarto caso cuando Habilitador 1 está inactivo y Habilitador 2 está activo no forma parte de la operación del transmisor, por lo tanto, no se considera este caso.

De esta forma cada celda básica tiene la capacidad de modificar el valor de la impedancia de salida de nuestro circuito. También es importante mencionar que para calcular el valor total de impedancia de salida hay que considerar la contribución de los transistores de salida del buffer de tercer estado, que para este diseño es de aproximadamente el 10% del valor total.

## Cálculo de Impedancias.

El primer paso para determinar el valor de las resistencias colocadas en la celda básica es determinar la impedancia de salida. En este caso la impedancia de salida propuesta es de  $250 \Omega$ . Entonces se desea que la impedancia de salida media del transmisor este lo más cercano posible a  $250 \Omega$ .

Es importante notar que la mayoría de los protocolos de transmisión utilizan una impedancia de  $50\Omega$  “single ended” o  $100 \Omega$  “differential”. Sin embargo, para lograr una impedancia parecida en el transmisor utilizando esta tecnología se requería que los transistores de salida del buffer de tercer estado fueran de  $92\mu$  para el PMOS y  $39\mu$  para el NMOS. Esta situación complicaría considerablemente el diseño del *layout*, entonces se decidió que para fines académicos se puede utilizar una impedancia de salida de  $250 \Omega$ .

Para el cálculo de las resistencias consideramos que el valor medio se obtiene cuando la mitad de las celdas básicas aportan la resistencia total de serie  $2R$  y la otra mitad sólo aporta la mitad  $R$ , dado que los bloques se encuentran en paralelo la ecuación para determinar la resistencia viene dada por:

$$R_{eq} = \frac{2R}{12} \parallel \frac{R}{12} = 250\Omega$$

De esta ecuación y utilizando MATLAB para resolver la ecuación, se obtiene:

$$R = 4500 \Omega.$$

Para caracterizar la impedancia aportada por los transistores y evitar que su contribución sea mayor al 10% se coloca un divisor de voltaje en la salida de la celda básica y se coloca un dato lógico “1” a la entrada del buffer, se mide el voltaje diferencial desde VDD hasta el nodo de salida y se divide entre la corriente que circula a través de la salida de la celda básica, de esta forma se obtiene la impedancia aportada por los transistores P. Para la impedancia de los transistores N se coloca un dato lógico “0”, y se divide el voltaje del nodo de salida entre la corriente de salida de la celda básica.

La caracterización anterior se utilizó para conseguir un valor similar de impedancia tanto para los transistores N como para los transistores P.

## Multiplexor.

El transmisor requiere de circuitos multiplexores los cuales se encargan de decidir entre dos entradas cual se mostrará la salida. Se controla mediante una entrada de selección con la cual se

decide qué entrada pasara a la salida. En el caso de nuestro circuito si el selector se encuentra a cero la salida mostrará el valor de la entrada D0, en caso de que el selector sea uno entonces se mostrará la entrada D1. La Tabla 3 muestra el dimensionamiento del Multiplexor.

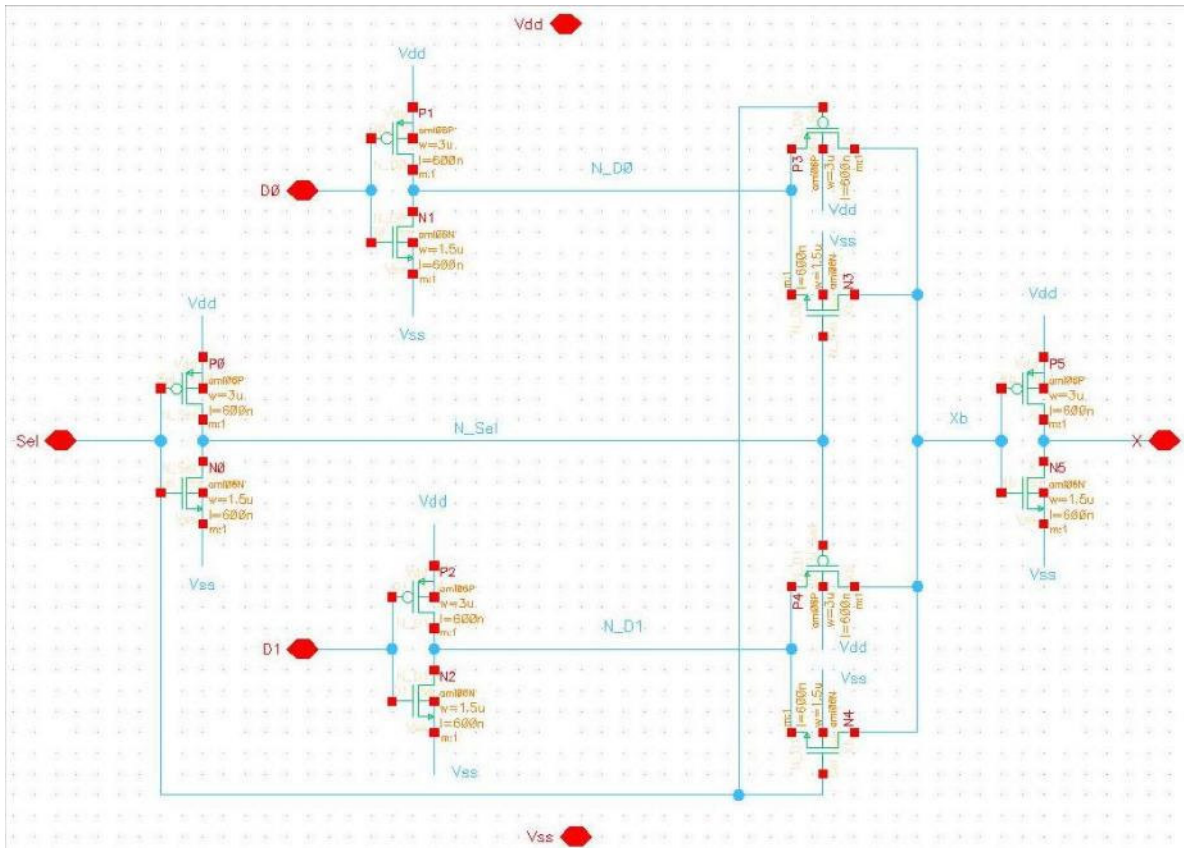


Figura 118. Diagrama Esquemático del multiplexor.

	W
PMOS Inversores	3u
NMOS Inversores	1.5u
PMOS Tg	3u
NMOS Tg	1.5u

Tabla 4. Dimensionamiento del Multiplexor

### Circuito Tied

El circuito TIED es un circuito muy simple cuya única función es la de proveer dos salidas siempre amarradas a un nivel lógico bajo y la otra a un nivel lógico alto. La intención de implementar este circuito es la de proteger las siguientes etapas con conexiones fijas a VDD o VSS de ruido y voltajes transitorios presentes en estas líneas y que pudieran llegar a dañar las entradas de los

circuitos o alterar su comportamiento. Dado que este circuito no tiene transiciones, se pueden utilizar dimensiones mínimas. La Tabla 4 muestra el dimensionamiento de los transistores del circuito.

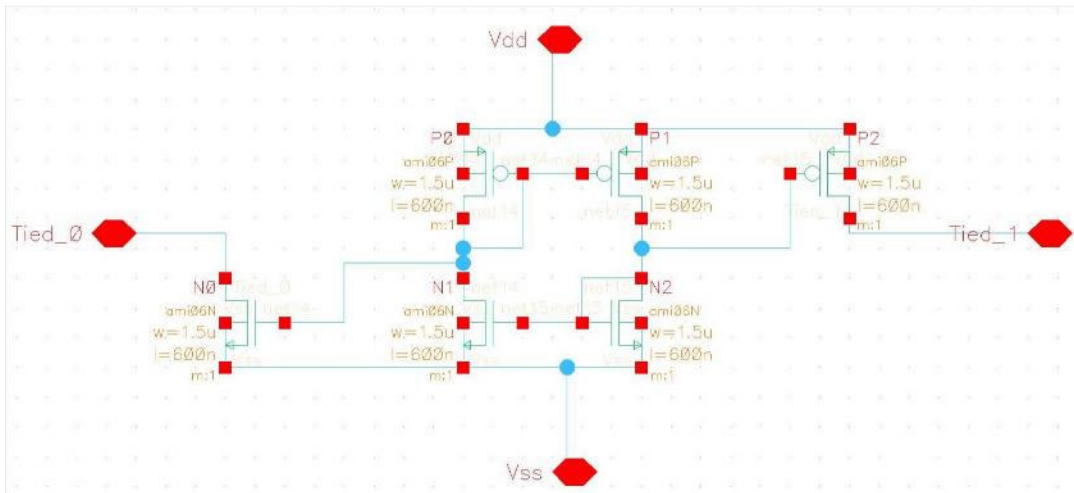


Figura 119. Esquemático del circuito TIED

	W
PMOS	3u
NMOS	1.5u

Tabla 5. Dimensionamiento del Circuito TIED

### Circuito de Desfase.

El circuito de desfase se utiliza como una primera aproximación para generar el “dato débil” requerido para generar el énfasis. El circuito se encarga de invertir la señal y retrasarla un dato. El circuito de desfase se diseña poniendo en cascada un buffer con un inversor, de esta forma el retraso generado por cada buffer dará como resultado el retraso de un dato, para este caso se utilizan datos con un ancho de bit de 5ns, por lo que el retraso requerido es de 5ns. El número de etapas de inversión se determina en base al retardo deseado, para ello se realizó una serie de simulaciones hasta obtener el retardo deseado.

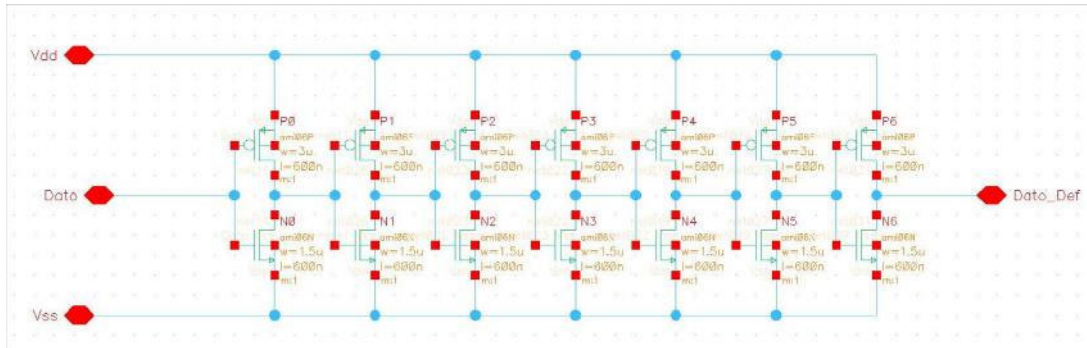


Figura 120. Esquemático del circuito de desfase

	<b>W</b>
PMOS Inversores	3u
NMOS Inversores	1.5u

Tabla 6 Dimensionamiento de Inversores del de Desfase

## Bloque ZAP

El bloque ZAP es una integración de los elementos vistos hasta ahora. Se compone de cuatro celdas básicas, cuatro multiplexores, un circuito de desfase y un circuito Tied. A través de los habilitadores de la celda básica se puede controlar la impedancia de salida del bloque, al tener cuatro celdas básicas, el bloque ZAP puede ofrecer cinco niveles de impedancia.

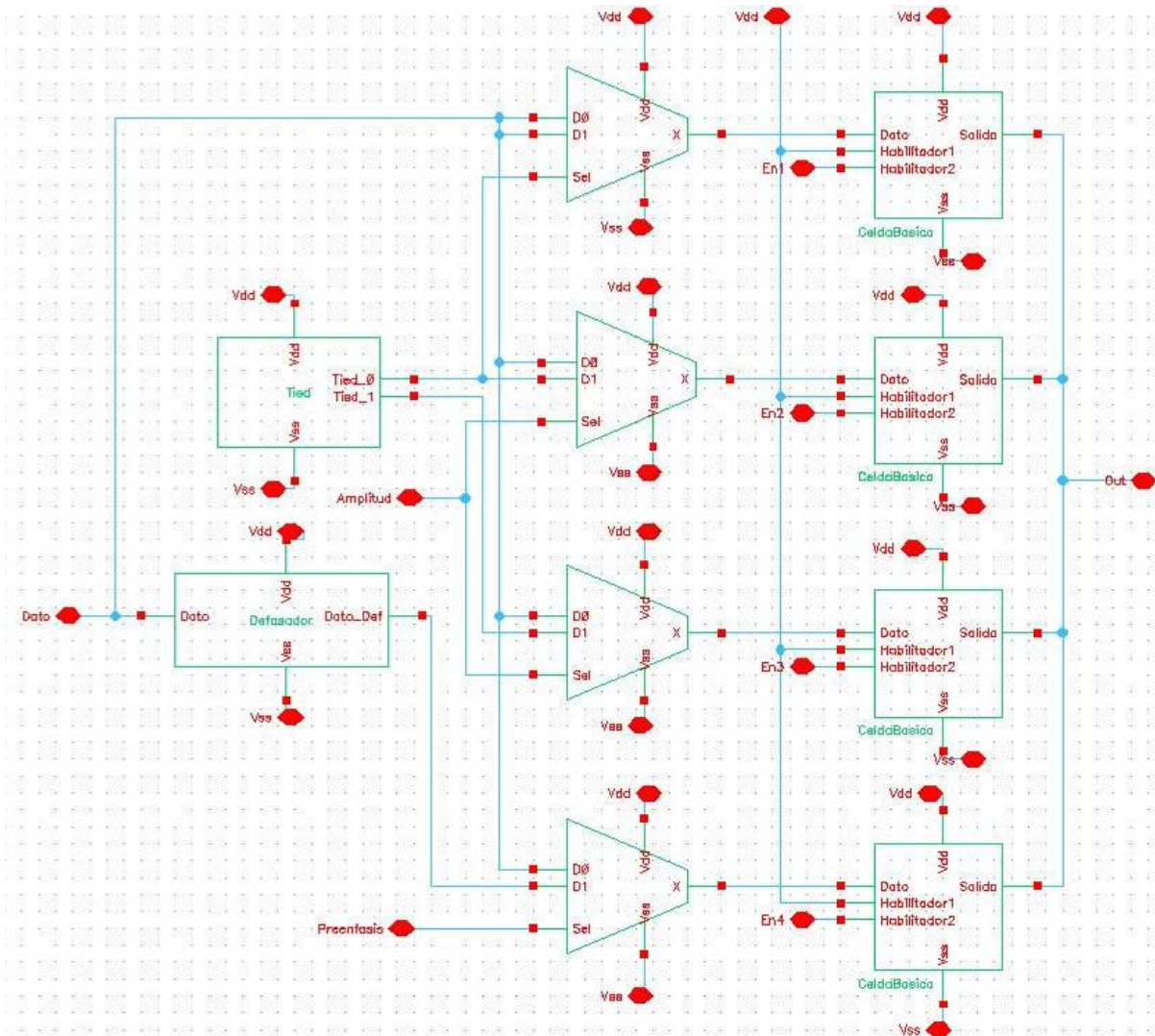


Figura 121. Constitución del bloque ZAP

Como se puede observar, los cuatro multiplexores que en conjunto ayudan a controlar la amplitud y el énfasis de la siguiente forma. El primer multiplexor tiene conectado el dato a transmitir en ambas entradas por lo que no aporta a la amplitud ni al énfasis, solo aporta a la variación de impedancia. El segundo y tercer multiplexor son controlados por el selector de Amplitud, de forma que cuando el selector es cero ambos multiplexores en conjunto con sus respectivas celdas básicas

aportan corriente para la amplitud del dato, pero cuando es uno el primer multiplexor aporta para un dato cero mientras que el otro aporta para un dato uno. Con esta configuración las aportaciones de corriente de estos dos multiplexores se neutralizan la una a la otra disminuyendo la amplitud total de la salida.

Finalmente, el cuarto multiplexor ayudara a generar el énfasis de la siguiente forma. Cuando el selector de preénfasis este activado el multiplexor entregará el dato invertido y retrasado “dato débil”, entonces la celda básica aportará al énfasis sobre la señal de salida. En caso de que el selector de preénfasis este desactivado el multiplexor aportara al dato transmitido.

Resumiendo, podemos describir que en un bloque ZAP podemos tener 5 niveles diferentes de impedancia de salida, 1 nivel de énfasis y 1 nivel de variación de amplitud.

## Transmisor.

El transmisor completo se compone por 6 celdas ZAP, por lo tanto, tendremos:

- 25 niveles de variación de la impedancia de salida.
- 6 niveles de variación de amplitud.
- 6 niveles de énfasis

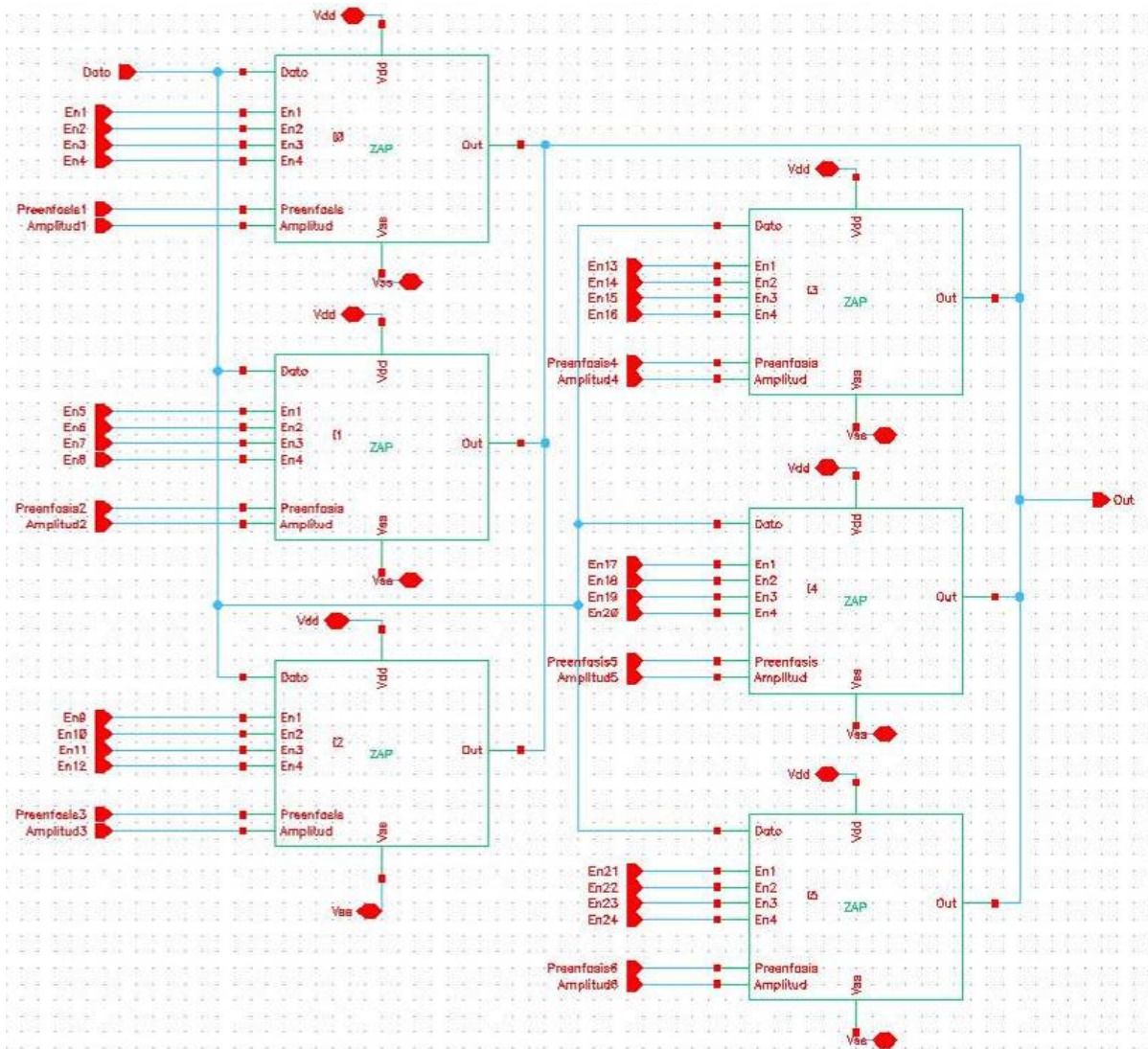


Figura 122. Bloque General del Transmisor

Una vez integrado el transmisor, el siguiente paso es realizar la simulación. Para hacer eficiente la parte de simulación se utiliza un *test bench* configurable, el cual utiliza banderas para entregar todas las mediciones requeridas.



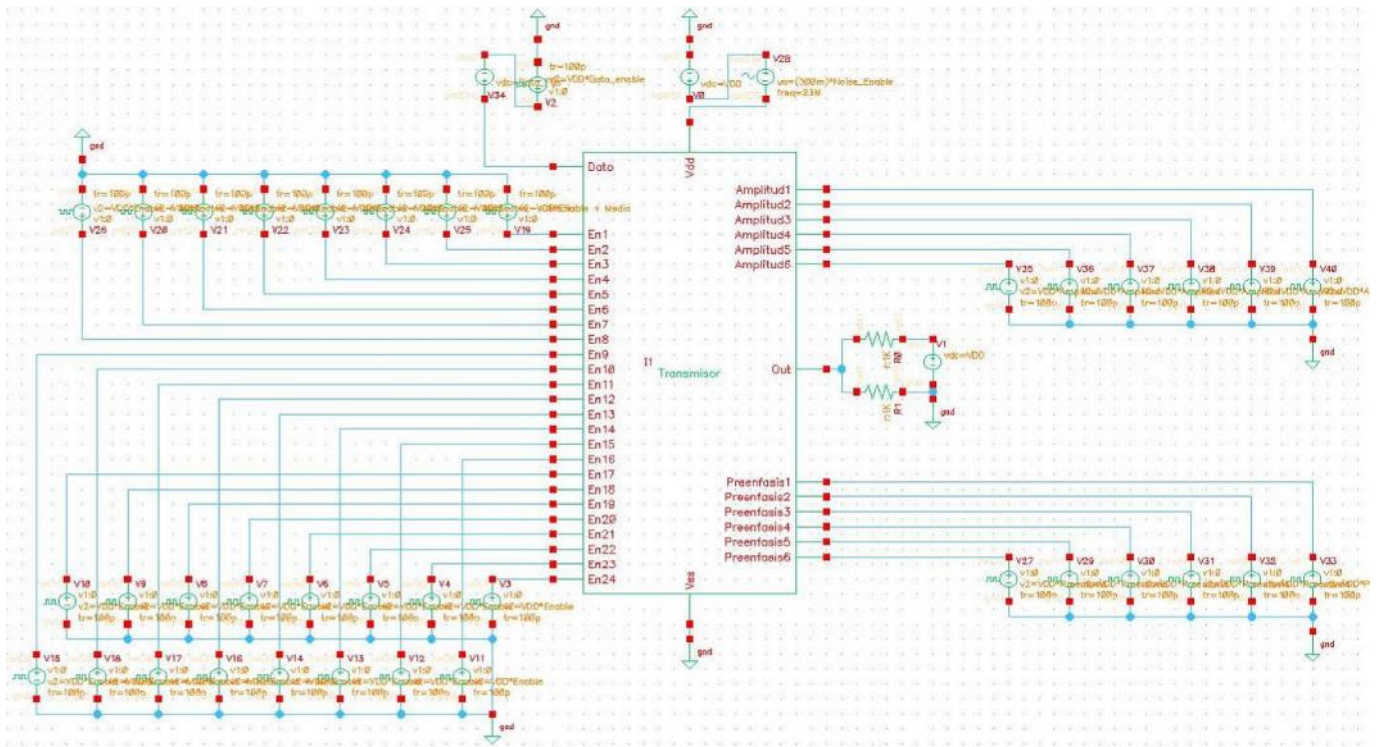


Figura 123. Test Bench del Transmisor

Design Variables		
Name	Value	
1	VDD	3
2	Noise_Enable	0
3	Dato_enable	1
4	Dato_Fijo	0
5	Mul	1
6	Amplitud	0
7	Amplitud_Time	50n
8	Enable	0
9	Enable_Time	1u
10	Medio	0
11	Preenfasis	0
12	Preenfasis_Ti...	50n

Figura 124. Selectores de Simulación

A continuación, se presenta una breve descripción de los selectores de simulación:

**VDD:** Controla el nivel de voltaje de todas las fuentes

**Noise\_Enable:** Controla una señal de ruido de 100mV 10MHz aplicada a VDD

**Dato\_Enable:** Habilita un dato a 100 MHz

**Dato\_Fijo:** Habilita un dato fijo, ya sea 1 o 0.

**Mul:** Multiplicador de periodo del dato de entrada.

**Amplitud:** Habilitador de las señales de control de amplitud.

**Amplitud\_time:** Tiempo entre habilitación de las señales de control de amplitud.

**Enable:** Habilitador de las señales de control de impedancia.

**Enable\_Time:** Tiempo entre habilitación de las señales de control de impedancia.

**Medio:** Habilita la impedancia Media.

**Preenfasis:** Habilitador de las señales de control de énfasis.

**Preenfasis\_Time:** Tiempo entre habilitación de las señales de control de énfasis.

## Simulación.

Se hizo la simulación variando las señales de control de impedancia y midiendo la impedancia de salida, el resultado fue el siguiente:

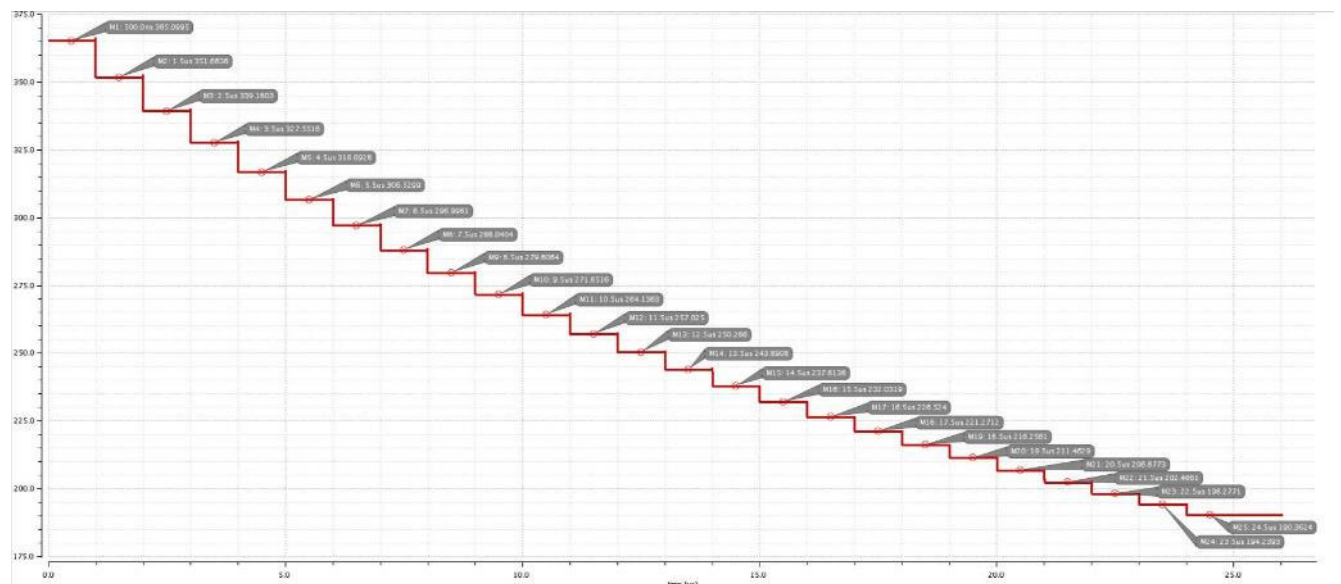


Figura 125. Impedancias de salida del transmisor.

El valor de la impedancia media es de 250.23Ω

	<b>R max</b>	<b>R med</b>	<b>R min</b>
Valor Calculado	375	250	187.5
Simulación Pre-Layout	365.09	250.23	190.36

Tabla 7. Impedancias del Transmisor

A continuación, se simuló la variación de amplitudes manipulando las señales de control de amplitud. Para hacerlo se configuró la impedancia media y se colocó una carga de 250Ω en serie con un capacitor de 100uF a salida del transmisor. El resultado fue el siguiente:

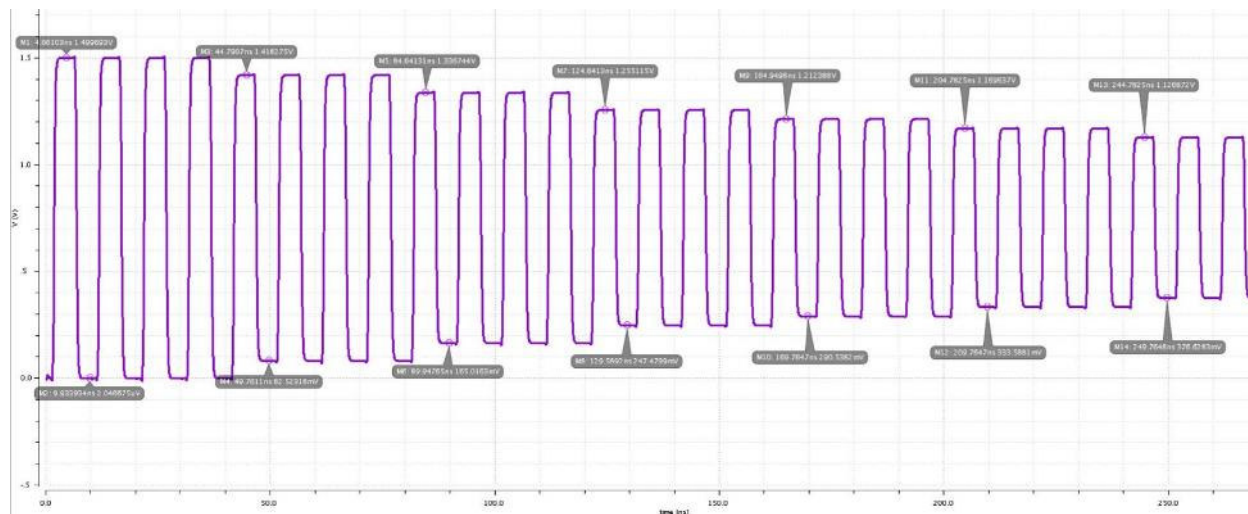


Figura 126. Variaciones de Amplitud del transmisor

Como se puede observar tenemos 6 niveles de modulación de amplitud.

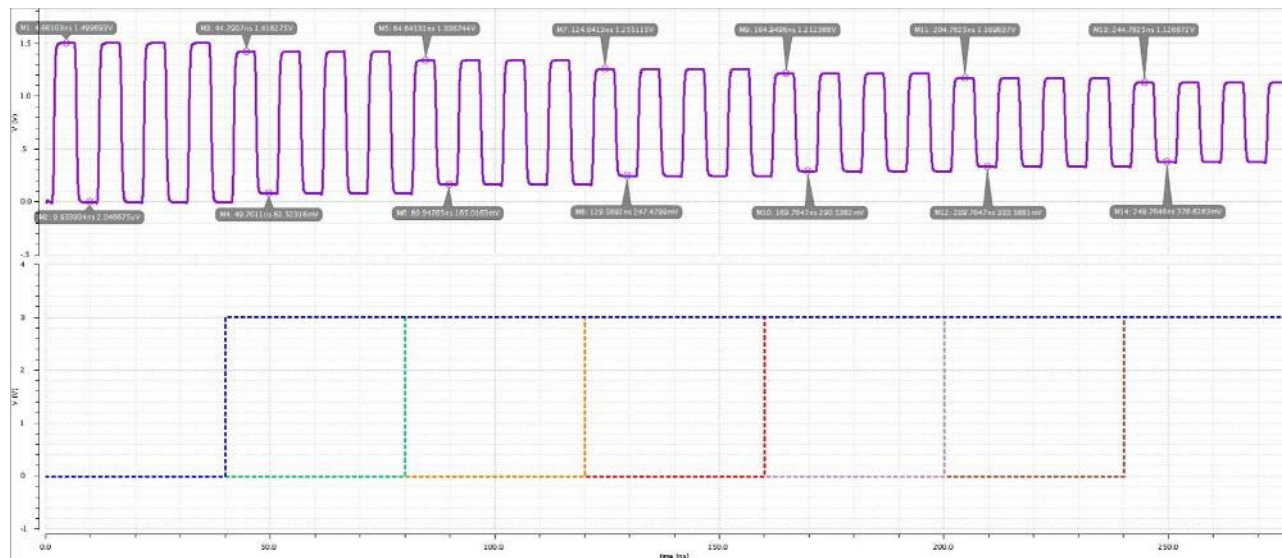


Figura 127. Señales de los habilitadores de variación de amplitud.

		<b>Amp max</b>	<b>Amp med</b>	<b>Amp min</b>
Valor Calculado		1.5 - 0	1.250 - 0.250	1.125 - 0.375
Simulación	Pre-	1.499 - 0	1.255 - 0.2474	1.127 - 0.377
Layout				

Tabla 8. Amplitudes del Transmisor

De la misma forma se simulo la variación de énfasis manipulando las señales de control de énfasis. Para hacerlo se configuro la impedancia media y se colocó una carga de 250Ω en serie con un capacitor de 100uF a salida del transmisor. Para esta prueba se dividió la frecuencia del dato de entrada para simular una secuencia “11001100...”. El resultado fue el siguiente:

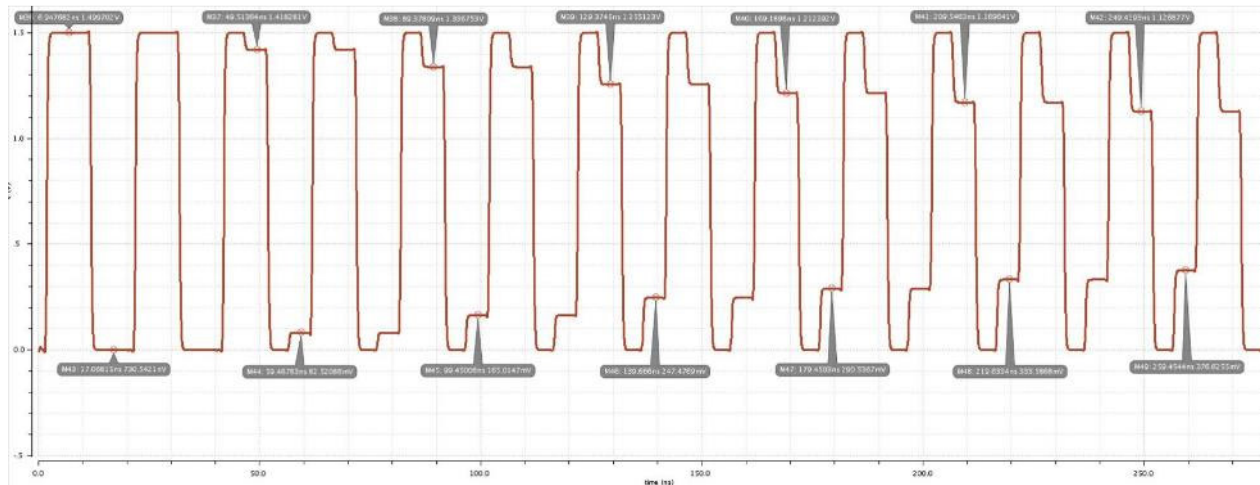


Figura 128. Variaciones de énfasis

De la simulación podemos observar los 6 niveles de énfasis del circuito. Es importante mencionar que en esta etapa del proyecto el retardo de la señal es implementado en base a retardos de propagación de inversores, por esta razón estos retardos son susceptibles a variaciones de voltaje y temperatura. En una futura entrega se planea introducir un generador de datos pseudo-aleatorios basado en *flip-flops* lo cual solucionara esta dependencia.

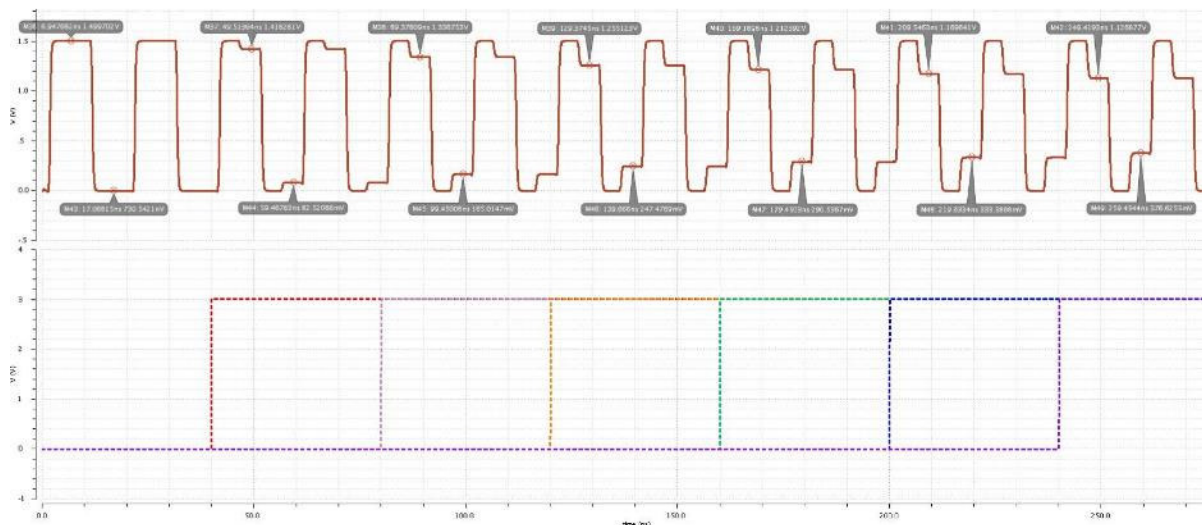


Figura 129. Señales de los habilitadores de énfasis.

	No Énfasis	Énfasis med	Énfasis min
Valor Calculado	1.5 - 0	1.250 - 0.250	1.125 - 0.375

Simulación	Pre-	1.499 - 0	1.255 - 0.2474	1.127 - 0.377
Layout				

Tabla 9. Niveles de Énfasis del Transmisor

Para graficar el diagrama de ojo se realizó una simulación utilizando la impedancia de salida media  $250\Omega$ , sin control de amplitud ni énfasis. Se simularon 300ns con un dato a una frecuencia de 100MHz. Esto significa 60 cruces con un ojo a 5ns y 20 cruces con un ojo a 15ns.

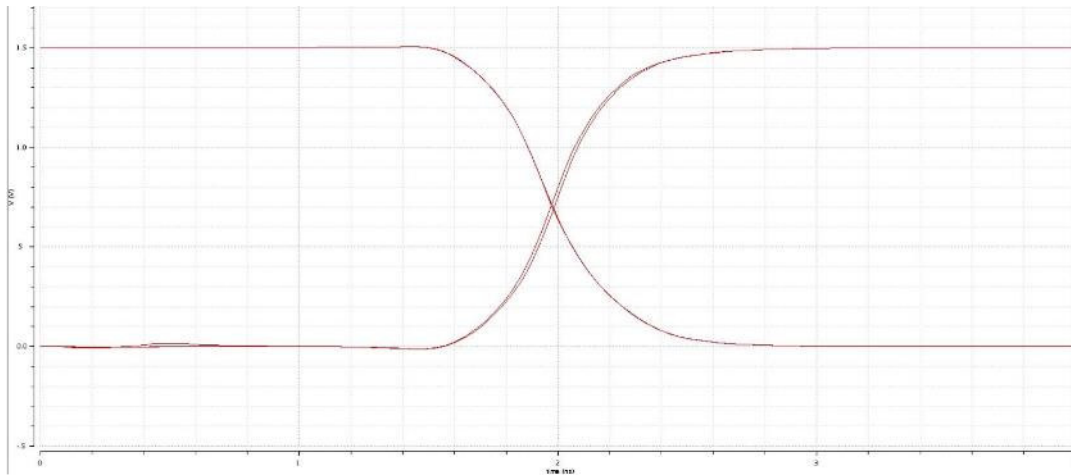


Figura 130. Diagrama de Ojo 5ns

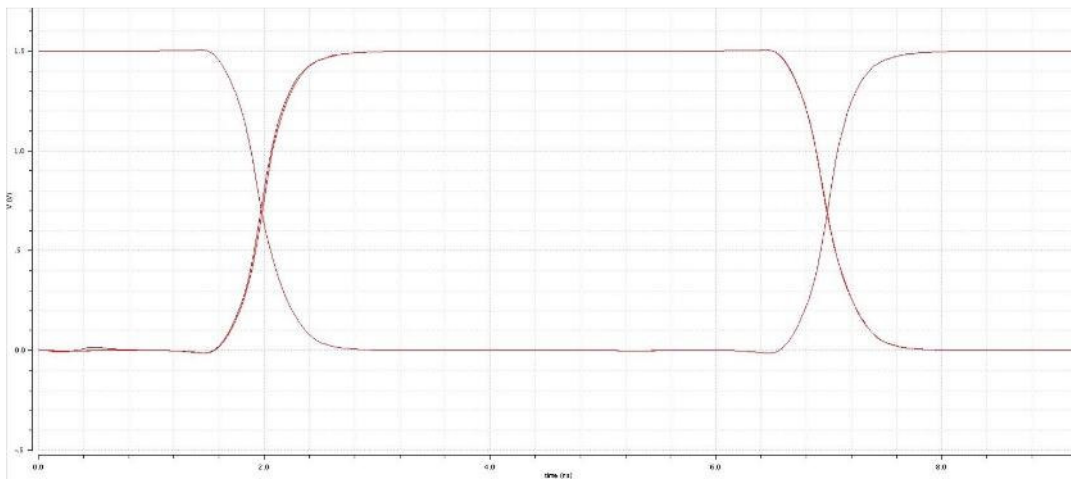


Figura 131. Diagrama de Ojo 15ns

De las mediciones se puede observar un retardo de aproximadamente 1980ps, un *jitter* menor a 10ps. El punto del cruce se da a 710 mV, un poco por debajo de los 750mV esperados.

## Análisis PVT.

Una vez realizada las simulaciones se procedió a medir los resultados en 3 esquinas. El resultado de dichas mediciones son las siguientes:

	V <sub>DD</sub>	T
PEOR CASO:	2.7 V	127 °C
CASO TÍPICO:	3 V	65 °C
MEJOR CASO:	3.3 V	-40 °C

Tabla 10. Esquinas de análisis PVT

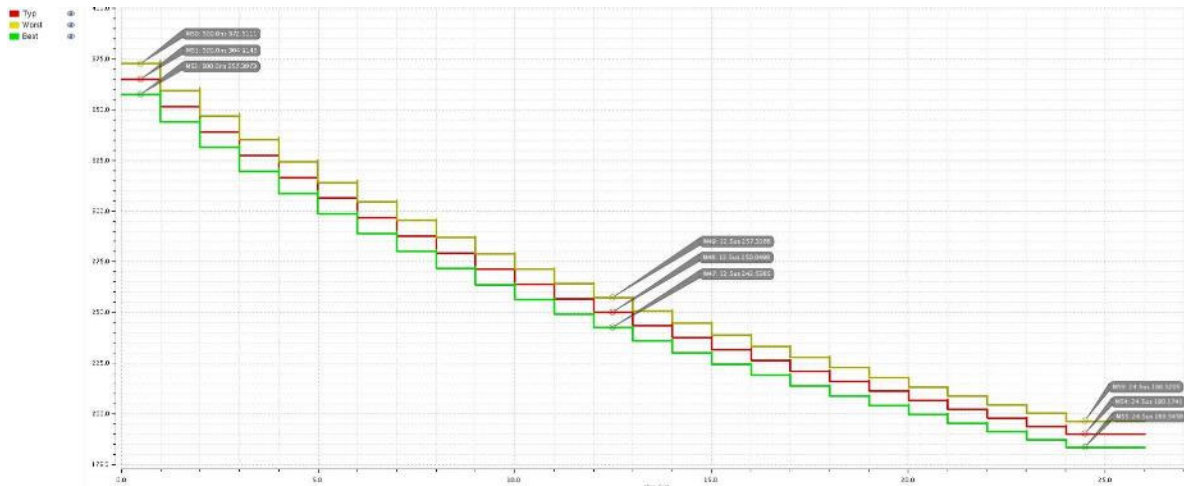


Figura 132. Valores de Impedancia para cada esquina analizada.

La variación de impedancia observada entre el peor caso y el mejor caso es cerca del 7% del valor de la impedancia media, sin embargo, hay que considerar que en esta simulación no se consideran las variaciones que pudieran tener las resistencias, esto debido a las limitaciones de los modelos de la herramienta.

	R max	R med	R min
Peor	372.51	257.31	196.52
Típico	364.91	250.04	190.17
Mejor	357.39	242.53	183.54

Tabla 11. Análisis PVT de Impedancias

Analizando para el caso de los niveles de énfasis se observa una variación en el ancho del pulso, esto es esperado pues el retardo del dato se basa en inversores y sus tiempos de propagación. Al variar el voltaje y la temperatura estos tiempos cambian y también el ancho del énfasis. En una futura entrega la generación del dato estará basada en *flip-flops* y entonces el ancho del énfasis será más constante.

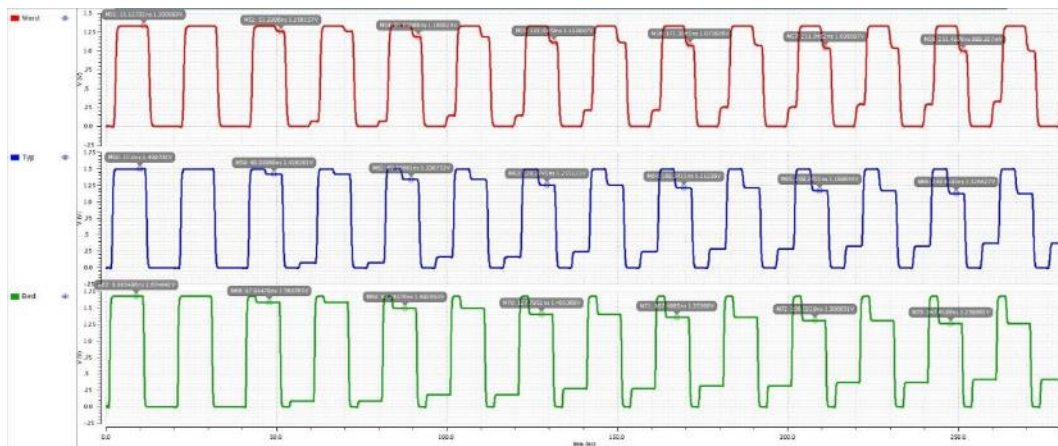


Figura 133. Niveles de énfasis para el análisis PVT

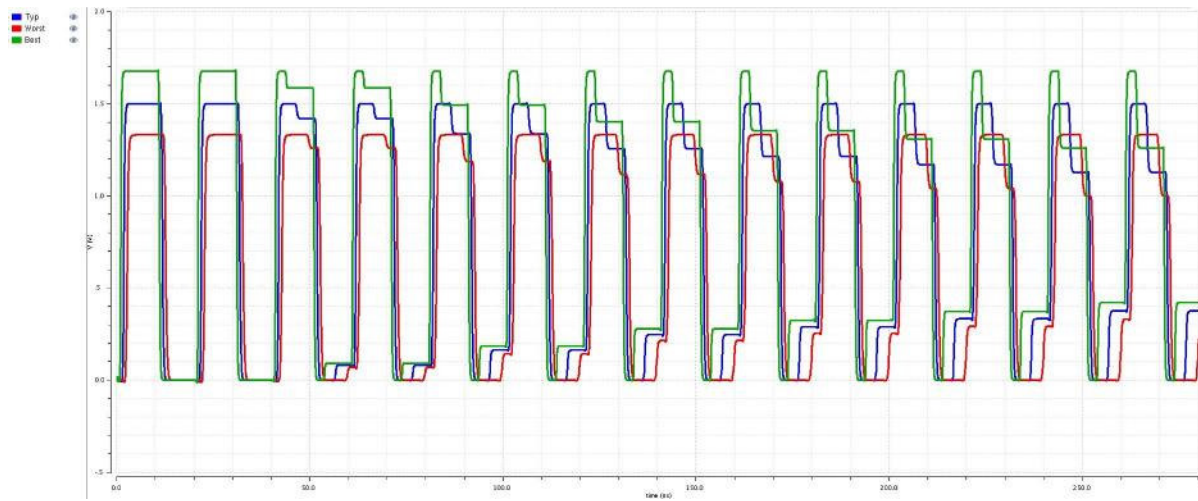


Figura 134. Comparación de Niveles de énfasis para el análisis PVT

	No Énfasis	Énfasis med	Énfasis min
Peor	1.33	1.114	0.999
Típico	1.499	1.255	1.127
Mejor	1.675	1.401	1.26

Tabla 12. Análisis PVT de Énfasis

A continuación, se presenta el análisis de esquinas para las distintas configuraciones de amplitud del transmisor.

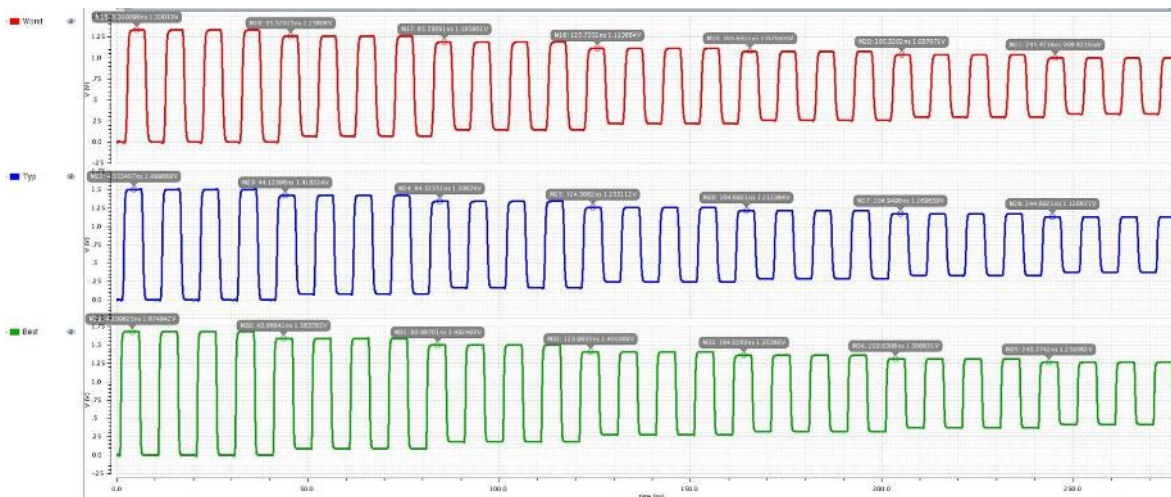


Figura 135. Niveles de amplitud para el análisis PVT

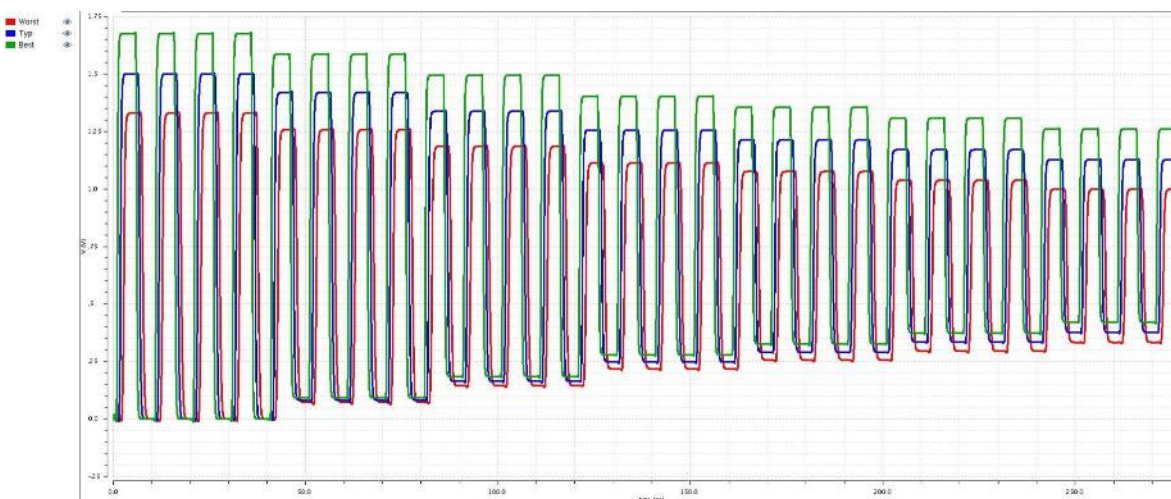


Figura 136. Comparación de Niveles de análisis para el análisis PVT

	<b>Amp max</b>	<b>Amp med</b>	<b>Amp min</b>
Peor	1.33	1.113	0.998
Típico	1.499	1.255	1.127
Mejor	1.675	1.401	1.26

Tabla 13. Análisis PVT de Amplitud

**Diagramas de ojo:**



Por último, se realizó el análisis de 3 esquinas para el diagrama de ojo, con ruido y sin ruido en la fuente. La señal de ruido se generó montando una señal sinusoidal de amplitud 100mV y con una frecuencia de operación 10 veces menor a la frecuencia máxima de operación del circuito, es decir, a 10MHz.

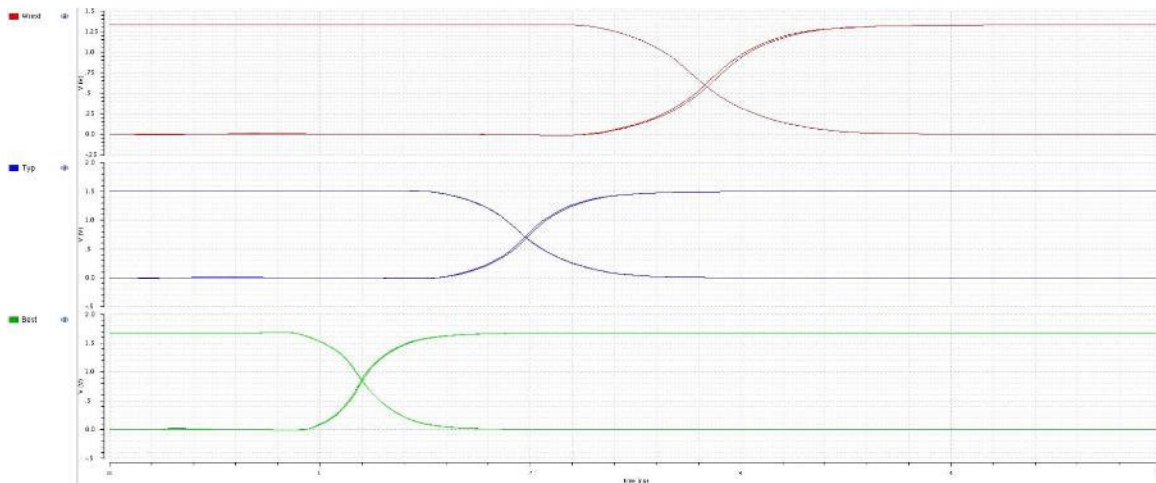


Figura 137. Diagramas de Ojo para el análisis PVT

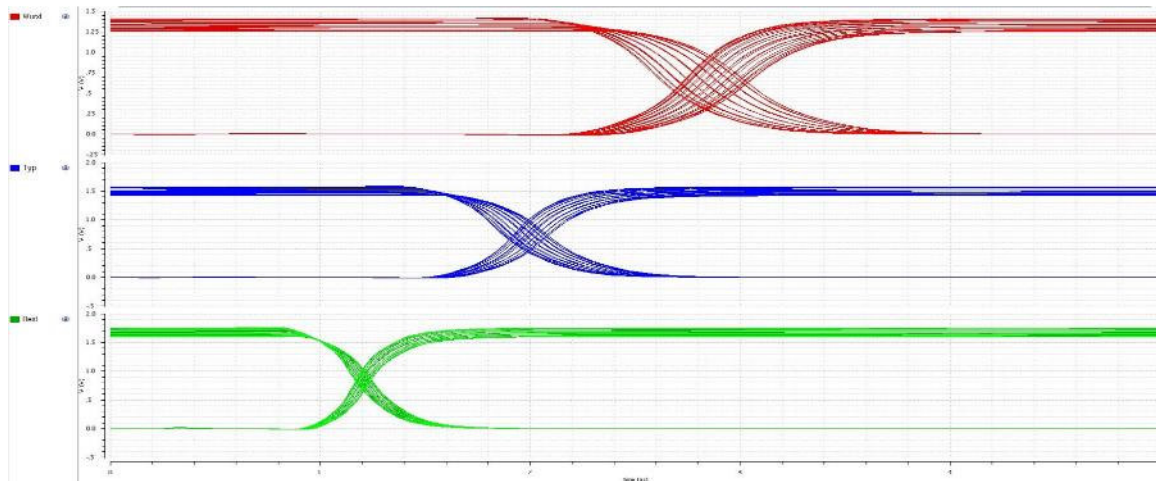


Figura 138. Diagramas de Ojo con ruido en la fuente para el análisis PVT

Se logra observar un retardo de la señal de salida para el mejor de los casos de 1200ps aproximadamente, de 2000ps para el caso típico aproximadamente y de 2800ps para el peor de los casos aproximadamente. Podemos ver que cuando no hay ruido en la fuente la respuesta cuenta con un muy buen nivel de control de *jitter*, donde en el peor caso se tiene un *jitter* menor a 20ps.

Por otro lado, se puede observar una desviación en el punto de intersección de las señales, para el caso típico el nivel es de 0.715 V cuando 0.750 V es el valor esperado, para el peor de los casos el cruce se da en 0.6 V, aproximadamente, en lugar de en 0.66V y para el mejor de los casos el cruce se encuentra a 0.85 en lugar de en 0.8375V.

La Tabla muestra un condensado de los resultados de diagrama de ojo del análisis de 3 esquinas con ruido y sin ruido.

	<b>Retraso</b>	<b>Jitter</b>	<b><math>\Delta</math> Amplitud</b>	<b>Cruce</b>
Peor	2800ps	12ps	<5mV	0.605 V
Típico	2000ps	8ps	<5mV	0.715 V
Mejor	1200ps	4ps	<5mV	0.85 V
Peor (Ruido)	2850ps	360ps	165 mV	0.6 V
Típico (Ruido)	2000ps	194.2ps	155 mV	0.71 V
Mejor (Ruido)	1200ps	83.1ps	150 mV	0.85 V

Tabla 14. Diagramas de Ojo PVT

## Optimización de Jitter

Observando los Diagramas de ojo se puede ver que hay oportunidad de mejorar el desempeño del transmisor en cuanto a *jitter*, entonces antes de proceder al diseño del *layout*, se realizó una evaluación para encontrar el mejor desempeño considerando área, potencia y *jitter*. La propuesta de rediseño consiste en aumentar el tamaño de los transistores que controlan el inversor de salida del buffer de tercer estado. En el diseño original el factor de tamaños entre el inversor de salida y los transistores de la etapa anterior es de 10, lo cual está lejos del factor ideal. La nueva propuesta es incrementar los tamaños de las compuertas NAND, NOR y el inversor del buffer de tercer estado de manera que el factor se reduzca a 3. La tabla 14 muestra el nuevo tamaño de los transistores.

	<b>NOT</b>	<b>NAND</b>	<b>NOR</b>
PMOS	6u	9u	18u
NMOS	3u	9u	4.5u

Tabla 15. Dimensionamiento de las compuertas básicas

Usando estos nuevos valores se hizo una evaluación PVT del *Jitter* y se obtuvieron los siguientes resultados.

	<b>Typ</b>	<b>Best</b>	<b>Worst</b>
Diseño Original	194 ps	83 ps	360 ps
Diseño Modificado	180 ps	75 ps	324 ps

Tabla 16. Comparativa de Análisis PVT de Jitter

	<b>Typ</b>	<b>Best</b>	<b>Worst</b>
Diseño Original	14.01 mA	19.47 mA	10.85 mA

Diseño Modificado | 12.9 mA                      17.73 mA                      10.05 mA

*Tabla 17. Comparativa de Análisis PVT de potencia*

Como se puede observar en la Tabla anterior, la mejora de *jitter* para las 3 esquinas es cercana al 10%, por otro lado, el incremento en el área total del buffer fue de un 68%. La tabla 17 muestra una diferencia mínima en el consumo de potencia. Al evaluar estos 3 aspectos se llegó a la conclusión que no vale la pena el incremento en área por tan solo un 10% de mejora en *jitter*, por lo tanto, se regresa al diseño original y se prosigue a la etapa de *layout*.

# Diseño *Layout*

Esta sección muestra el diseño del *layout* creado para el transmisor.

## Celda NOT

Dimensiones: 14.8 $\mu$  de ancho x 24 $\mu$  de largo.

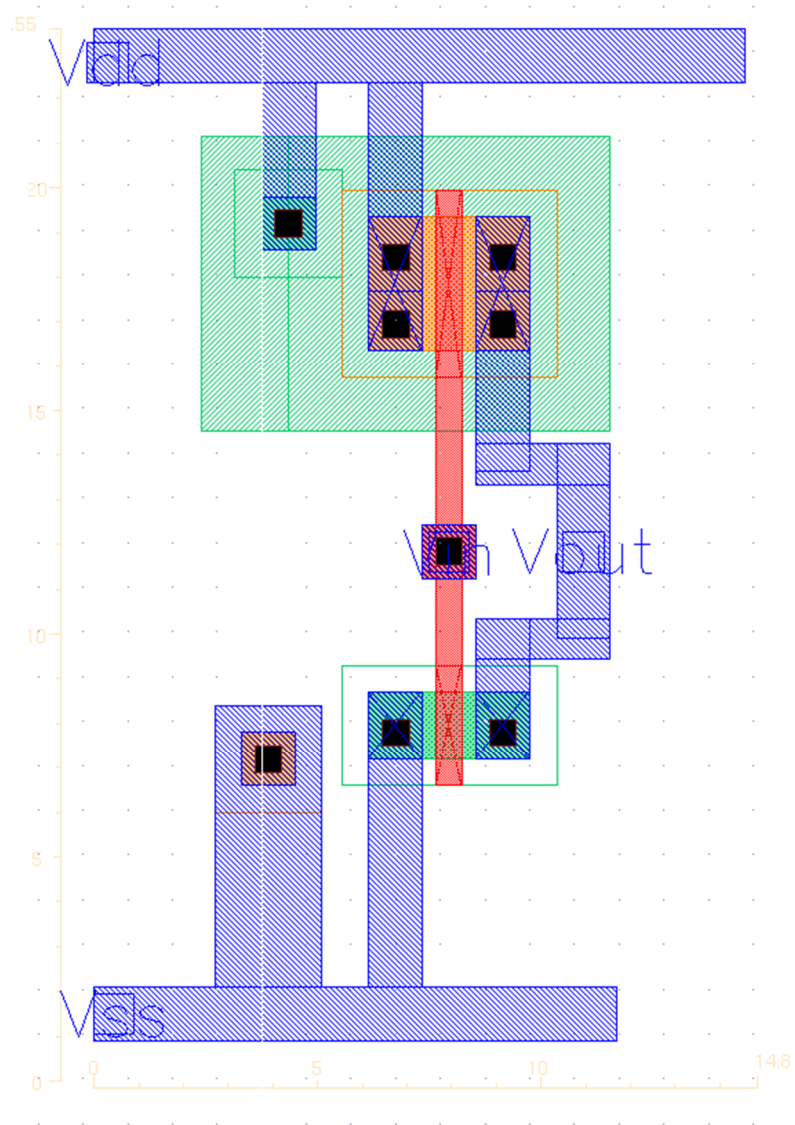


Figura 139. *Layout de la celda NOT*

## Celda NAND

Dimensiones: 12 $\mu$  de ancho x 21 $\mu$  de largo.

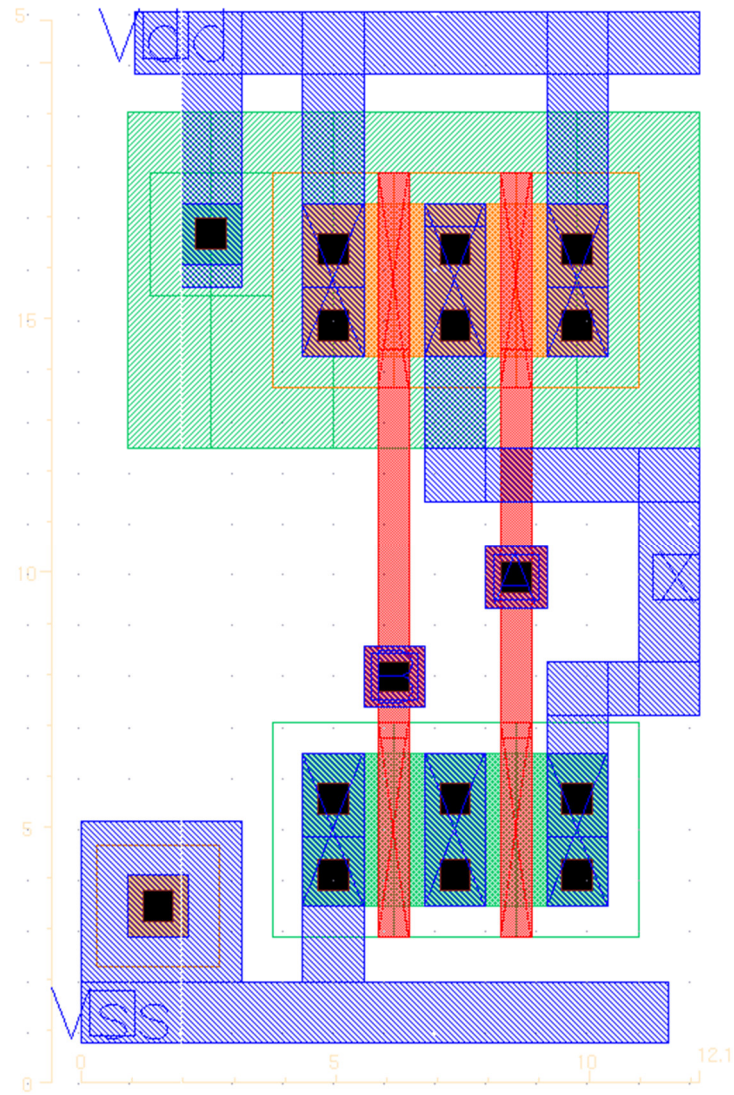


Figura 140. Layout de la celda NAND

## Celda NOR

Dimensiones:  $15\mu$  de ancho x  $23\mu$  de largo.

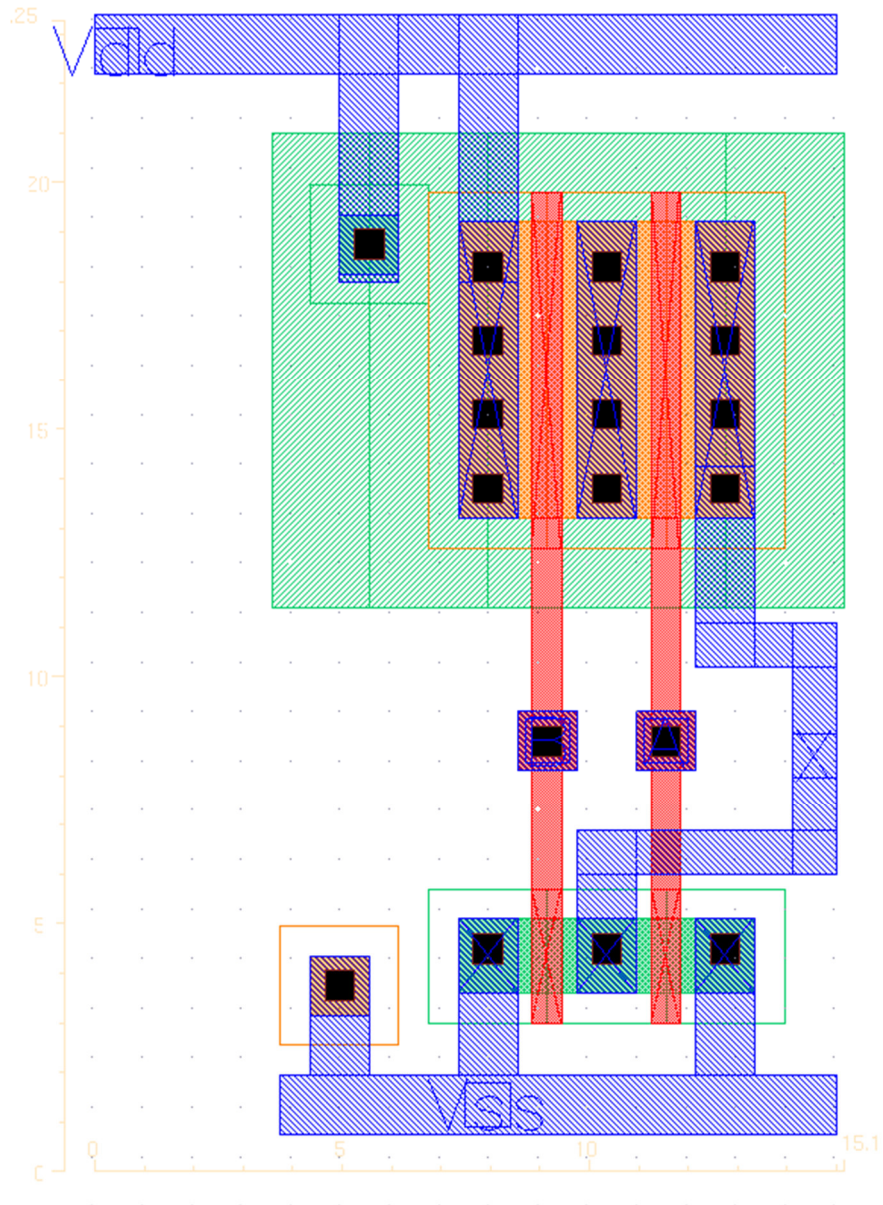


Figura 141. Layout de la celda NOR

## Buffer de 3 estados

Dimensiones:  $41\mu$  de ancho x  $41.4\mu$  de largo.

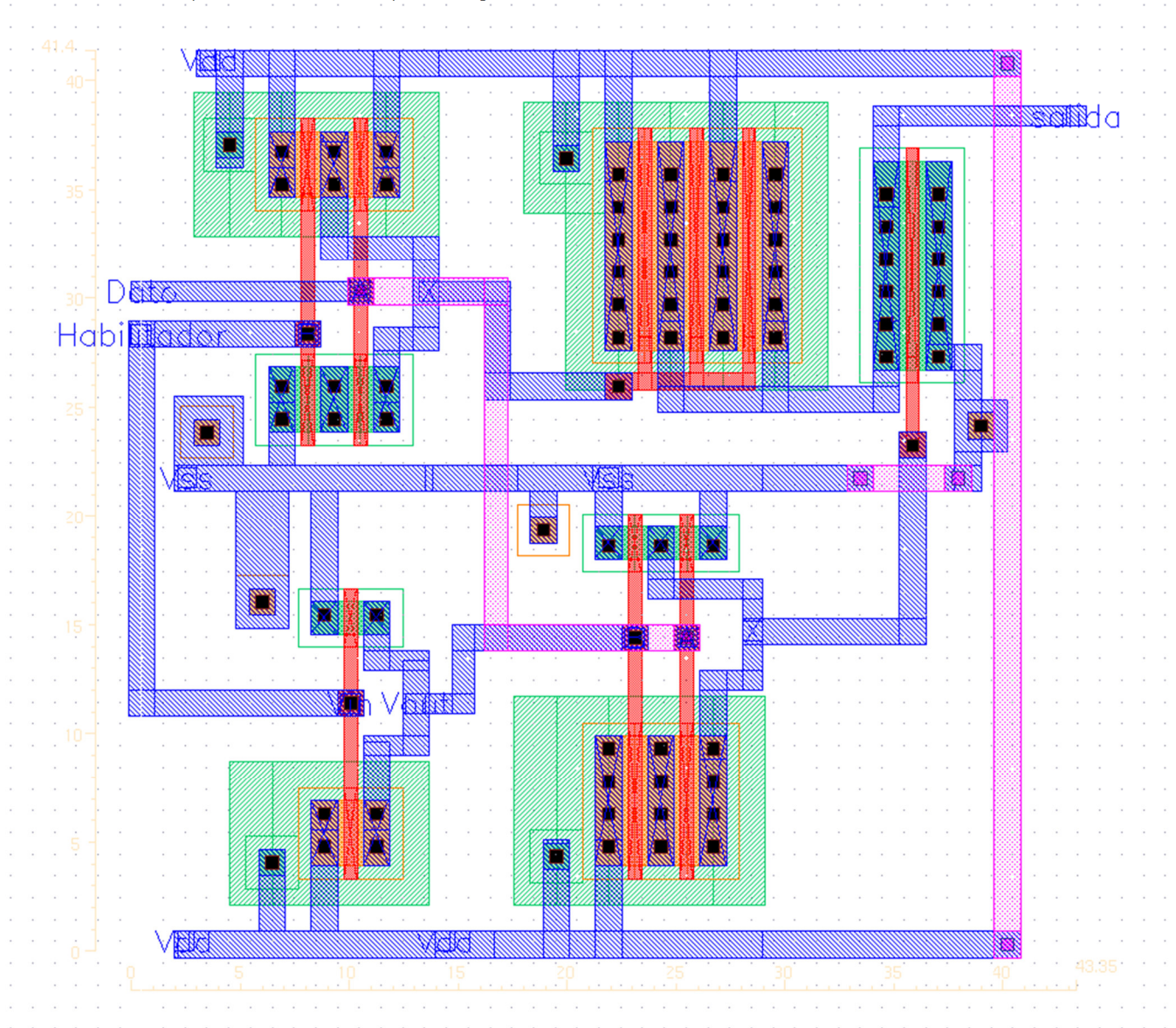


Figura 142. Layout del Buffer de 3 estados.

## Celda Básica

Dimensiones:  $58.8\mu$  de ancho x  $85\mu$  de largo.

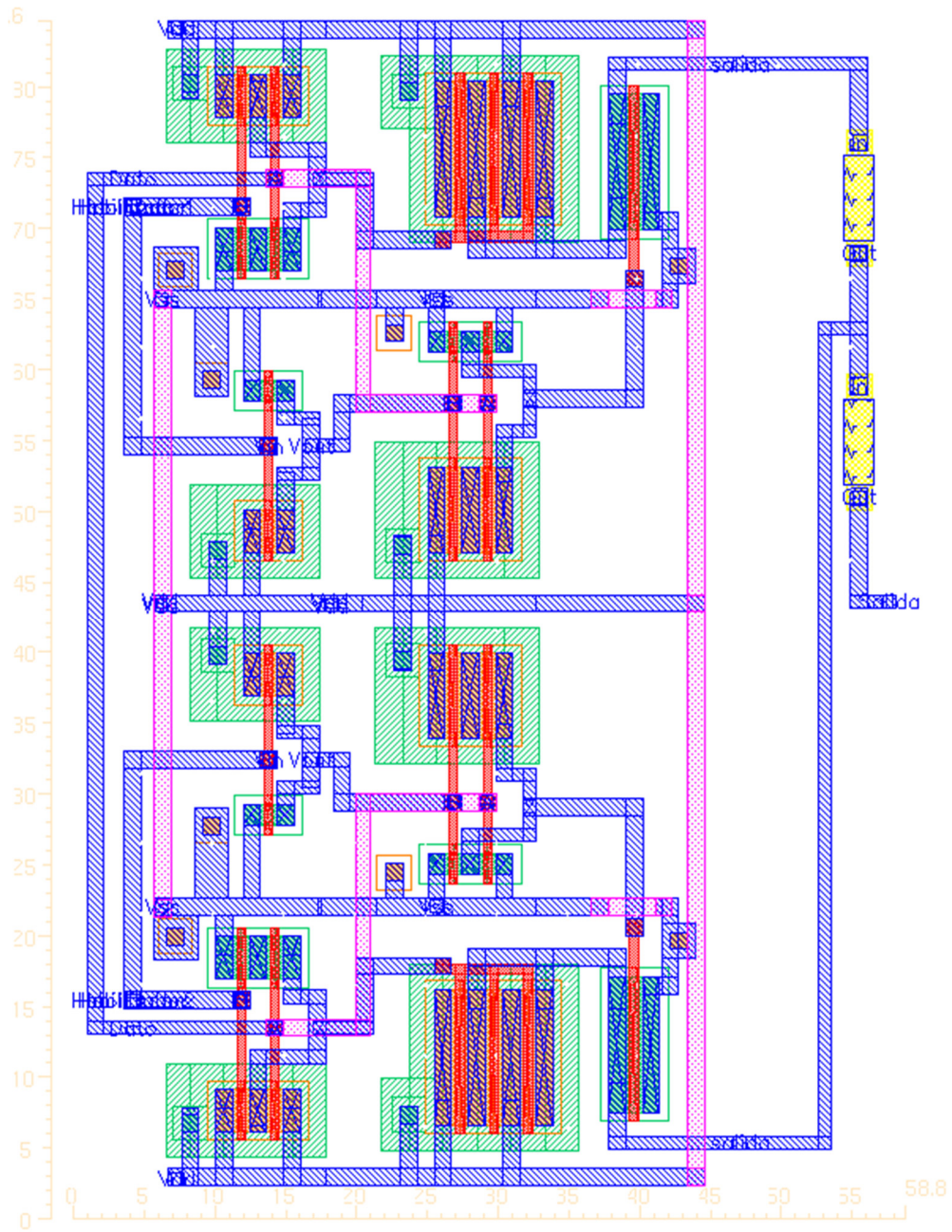


Figura 143. Layout de la celda Básica.

## Multiplexor

Dimensiones: 27.15 $\mu$  de ancho x 24 $\mu$  de largo.



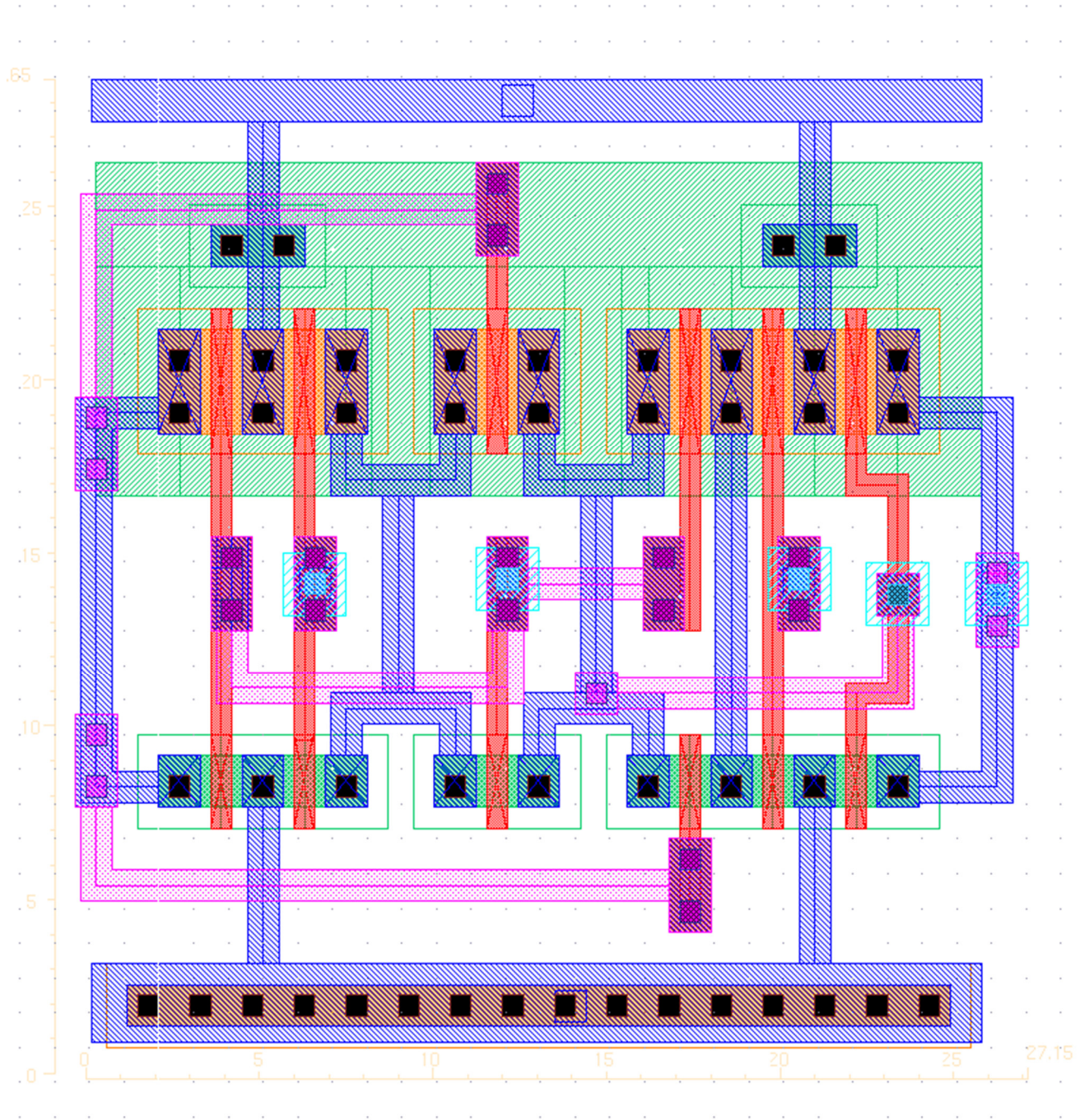


Figura 144. Layout del Multiplexor.

## Circuito Tied

Dimensiones: 17.14 $\mu$  de ancho x 16.35 $\mu$  de largo.

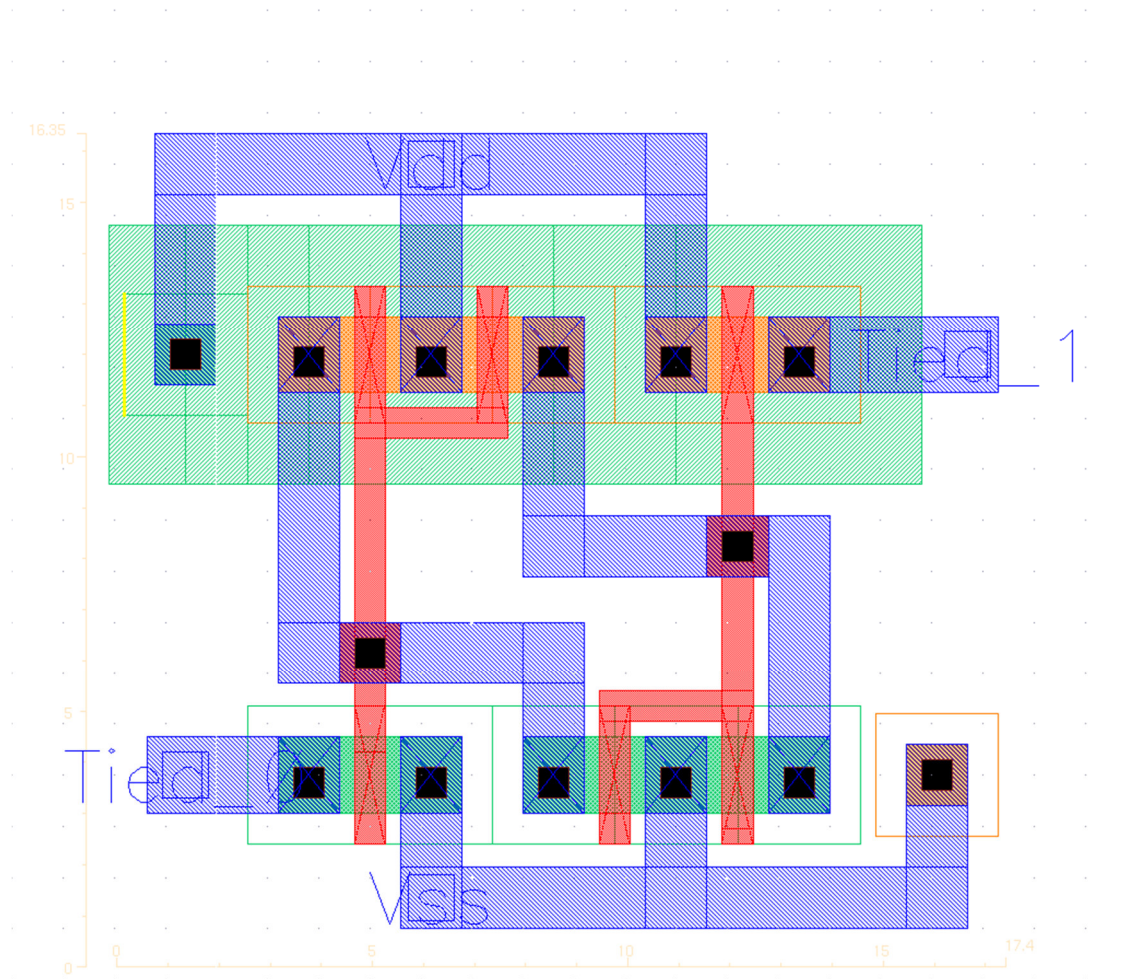


Figura 145. Layout del Circuito Tied.

## Bloque Zap

Dimensiones: 100 $\mu$  de ancho x 340 $\mu$  de largo.

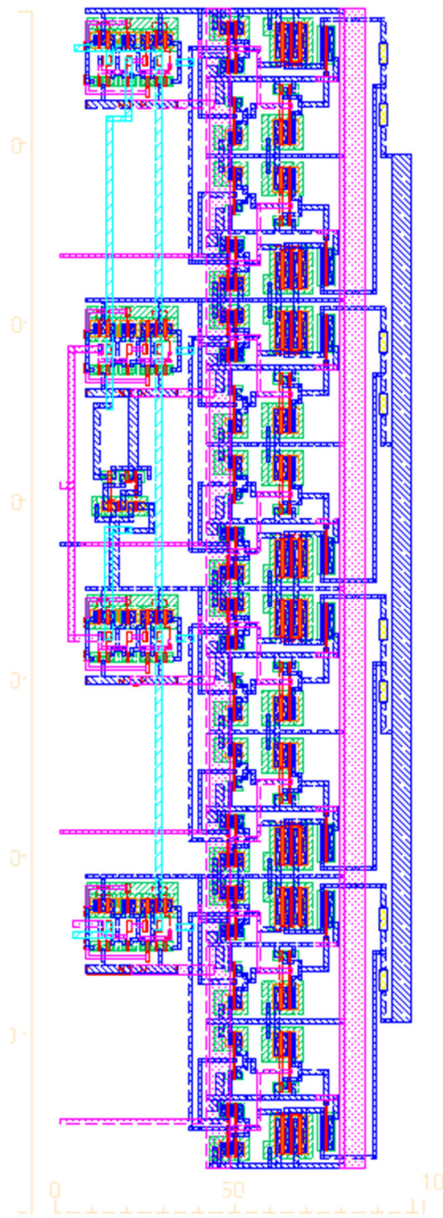


Figura 146. Layout del Bloque Zap.

## Bloque General del Transmisor

Dimensiones: 200μ de ancho x 1020μ de largo.

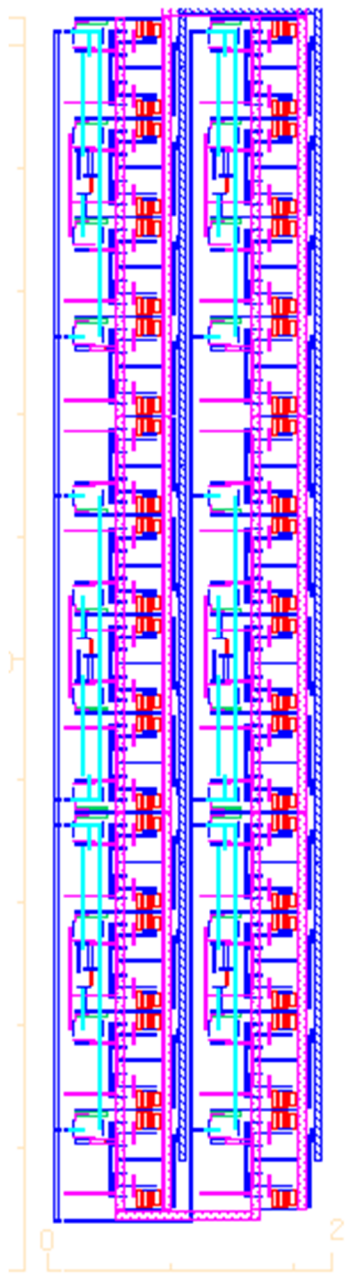


Figura 147. Layout del Bloque General del Transmisor.

# Simulaciones Pos – Layout

## Impedancia

Después de completar el *layout* y hacer la extracción de las componentes parasitas se procede a hacer la simulación *pos-layout* y comparar contra las simulaciones *pre-layout*. Para hacer la simulación se siguió el mismo procedimiento que en las simulaciones *pre-layout* pero esta vez se utilizaron los modelos extraídos del *layout*. Se hizo la simulación variando las señales de control de impedancia y midiendo la impedancia de salida, el resultado fue el siguiente:

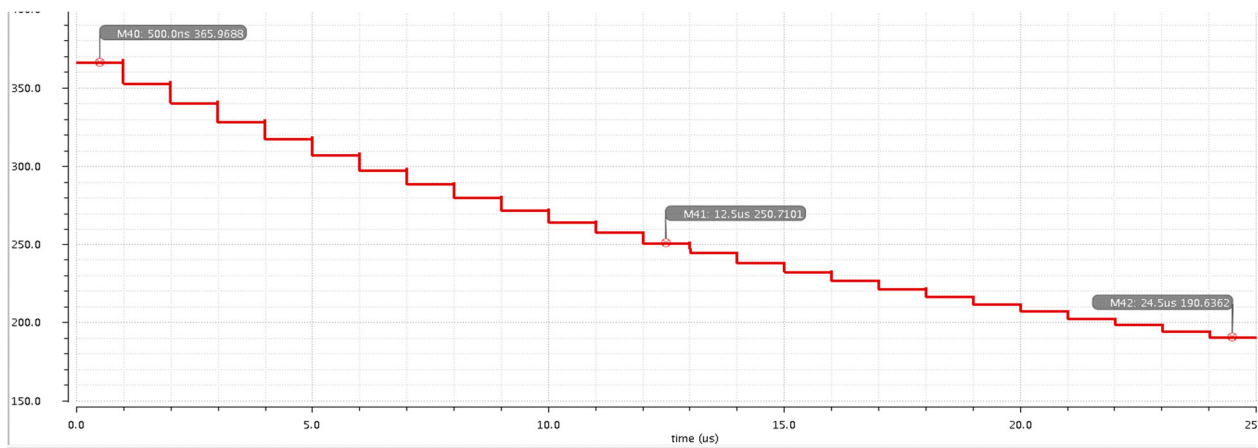


Figura 148. Impedancias de salida del transmisor Pos - Layout

El valor de la impedancia media es de 250.71  $\Omega$ . La tabla 17 muestra una comparativa entre los valores calculados, los valores de la simulación *pre-layout* y los valores de la simulación *pos-layout*. Como se puede observar existe una pequeña variación entre los valores pre y *pos layout*, esta diferencia es debida principalmente al material utilizado para las resistencias, en este caso *poly elec*, este material tiene alta resistividad, pero la resolución de los valores de resistencias que se pueden obtener es baja. Por esta razón el valor de las resistencias de *pos-layout* tiene cierto error con respecto a las resistencias ideales del esquemático y esta diferencia es la principal causa de las variaciones de impedancia.

		<b>R max</b>	<b>R med</b>	<b>R min</b>
Valor Calculado		375	250	187.5
Simulación	Pre-Layout	365.09	250.23	190.36
Simulación	Pos-Layout	365.97	250.71	190.64

Tabla 18 Impedancias del Transmisor Pos - Layout

## Amplitud

A continuación, se simulo la variación de amplitudes utilizando los modelos extraídos del *layout*. De la misma forma que con la simulación *pre-layout* se configuro la impedancia media y se colocó una carga de  $250\Omega$  en serie con un capacitor de  $100\mu\text{F}$  a salida del transmisor. El resultado fue el siguiente:

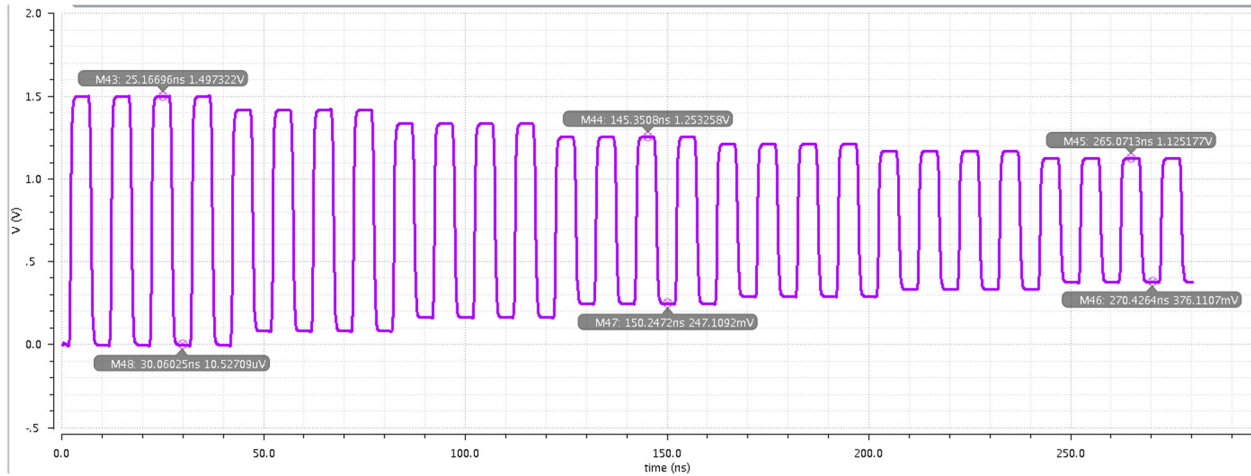


Figura 149. Variaciones de Amplitud del transmisor Pos - Layout

Al igual que con la impedancia las variaciones en la amplitud son mínimas, debidas principalmente a los errores causados por el material de las resistencias. Sin embargo, una diferencia notable es el retardo que presenta la simulación *pos-layout* con respecto a la simulación *pre-layout*, más adelante en la simulación de ojos se puede apreciar con mayor claridad la diferencia en retardos.

		Amp max	Amp med	Amp min
Valor Calculado		1.5 - 0	1.250 - 0.250	1.125 - 0.375
Simulación	Pre-Layout	1.499 - 0	1.255 - 0.2474	1.127 - 0.377
Simulación	Pos-Layout	1.497 - 10.5u	1.253 - 0.2471	1.125 - 0.376

Tabla 19. Amplitudes del Transmisor Pos - Layout

## Preénfasis

Para la simulación de los niveles de énfasis, además de utilizar los modelos *pos-layout* se hizo una modificación adicional. En la versión inicial se utilizaban buffers e inversores para invertir y retrasar el dato de entrada y así generar el dato débil, sin embargo, esta técnica tiene la gran desventaja de que el valor del retardo generado es muy sensible a variaciones de proceso, voltaje y temperatura y puede darse el caso que el énfasis sea imperceptible. Para solucionar esto, en esta simulación se implementó un circuito con *flip-flops* para disminuir considerablemente la dependencia a variaciones. A continuación, se presentan dos simulaciones. La primera utilizando solo *flip-flops* para invertir y retrasar el dato y poder hacer la comparación directa con la simulación *pre-layout*. La segunda simulación incluye un LFSR “*linear forward shift register*” para generar secuencias de bits pseudo-aleatorias.

### *Flip-Flops*

Antes de poder utilizar circuitos basados en *flip-flops* se deben hacer algunas modificaciones al esquemático. Se deben remover los bloques del desfasador y unificar todos los “datos débiles” de los bloques ZAP en una sola señal y sacar dicha señal hasta el nivel más alto de jerarquía, es decir la señal “dato débil” deberá ser una entrada del bloque del transmisor. A continuación, se presentan los resultados de la simulación *pos-layout* utilizando solo *flip-flops* para retrasar e invertir el dato.

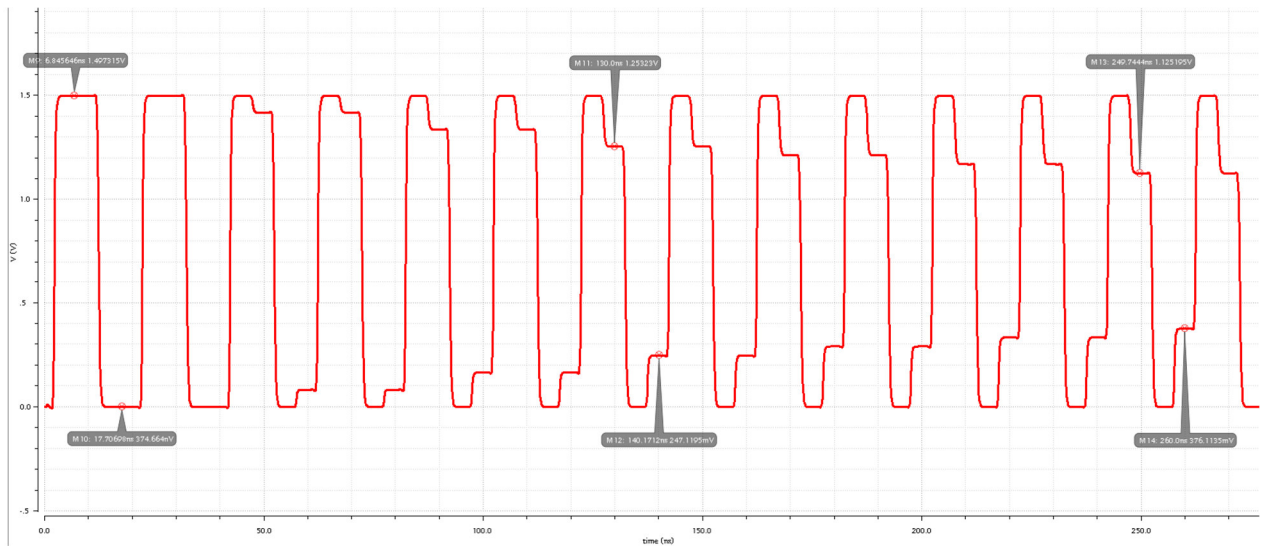


Figura 150 Variaciones de énfasis del transmisor Pos - Layout

Como se puede observar en la tabla de resultados, las diferencias de amplitud entre las simulaciones *post-layout* y *pre-layout* son mínimas, sin embargo, las diferencias en el retraso de las señales si es considerable. Es importante notar que al utilizar *flip-flops* el ancho del énfasis es

muy cercano al ancho del dato, es decir ya no hay gran dependencia a variaciones de voltaje y temperatura, más adelante en el análisis PVT se observa esto con mayor claridad.

		No Énfasis	Énfasis med	Énfasis min
Valor Calculado		1.5 - 0	1.250 - 0.250	1.125 - 0.375
Simulación	Pre-Layout	1.499 - 0	1.255 - 0.2474	1.127 - 0.377
Simulación	Pos-Layout	1.497 - 0	1.253 - 0.2471	1.125 - 0.376

Tabla 20. Niveles de Énfasis del Transmisor

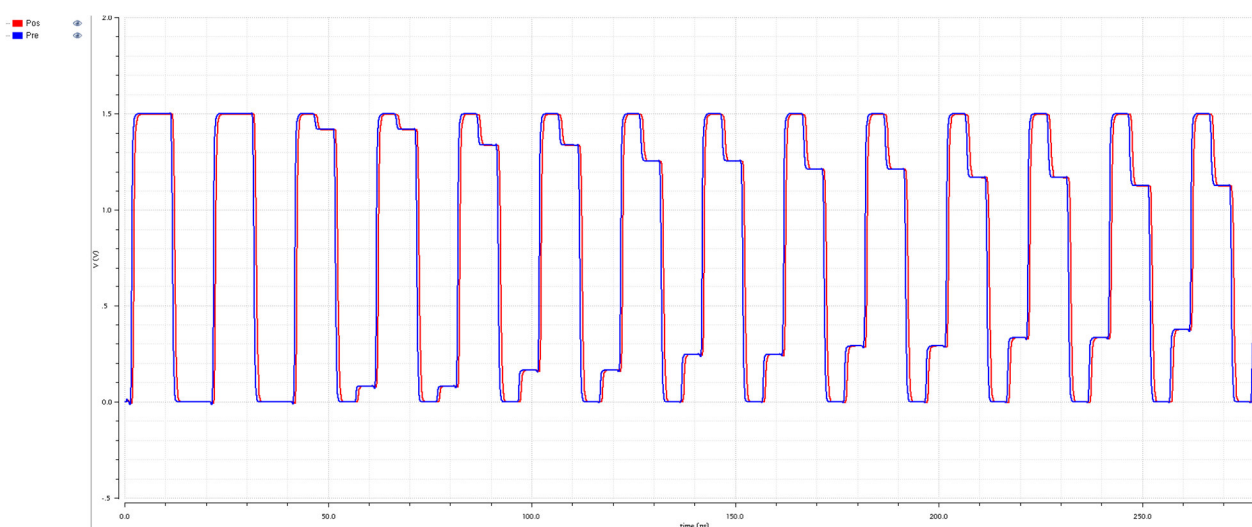


Figura 151 Variaciones de énfasis del transmisor Pos – Layout vs Pre-Layout

## LFSR

Enseguida se presenta la simulación utilizando LFSR en el *test bench* del transmisor. La siguiente figura muestra el *test bench* del transmisor modificado.



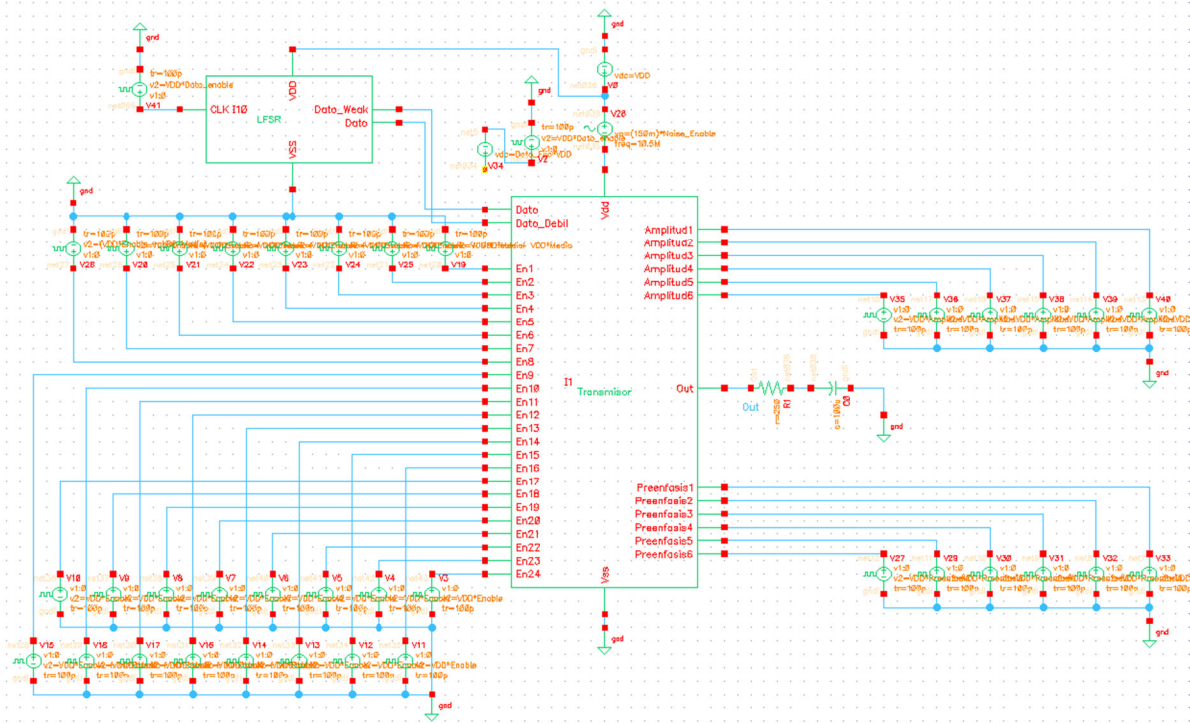


Figura 152 Test bench del transmisor con LFSR

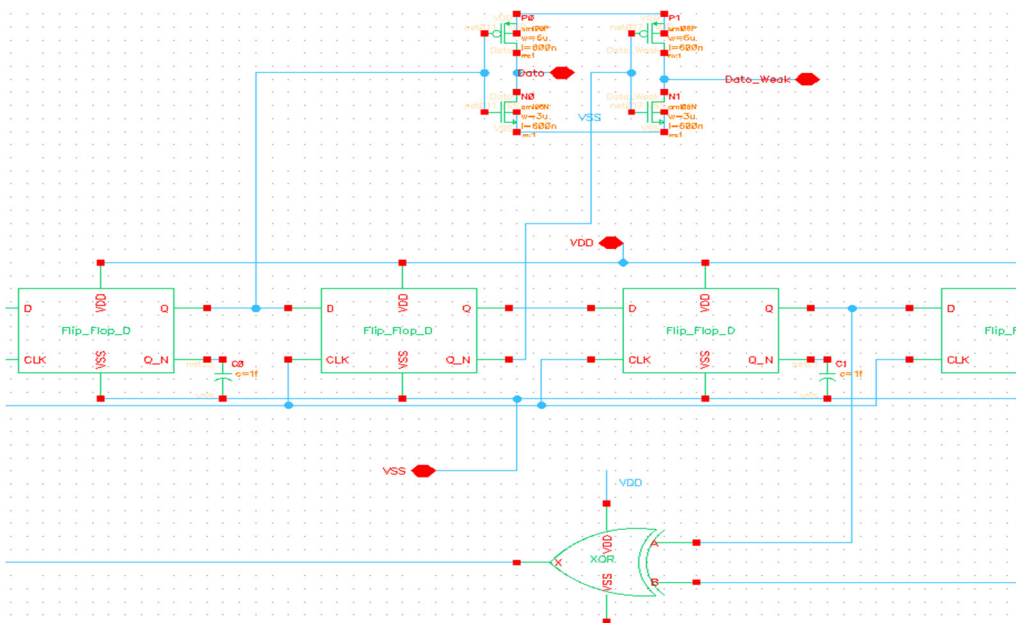


Figura 153 Esquemático del LFSR

En la siguiente figura se muestra el funcionamiento del LFSR, el cual genera una secuencia pseudo aleatoria que se repite cada 15 ciclos de reloj.

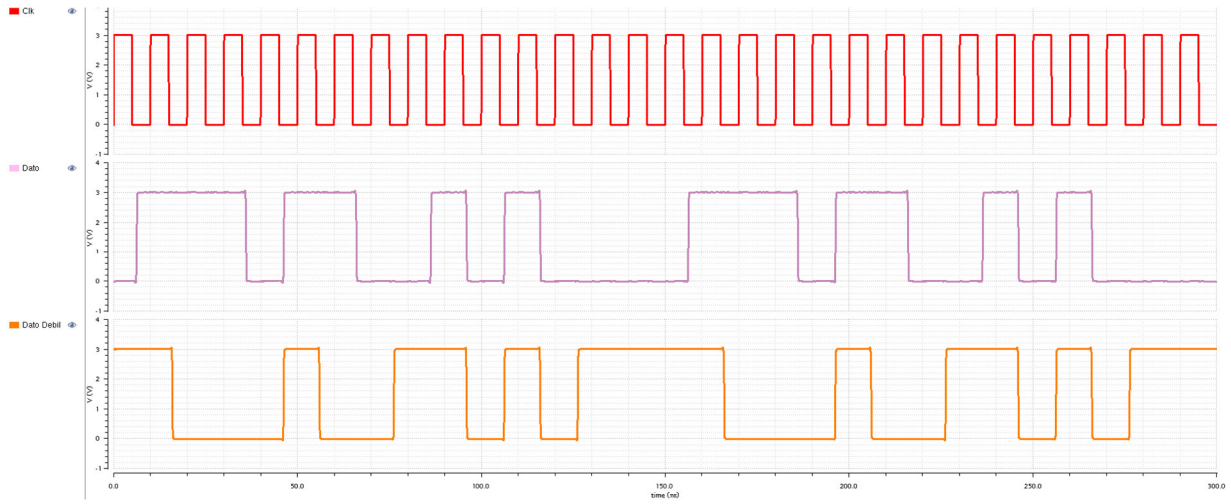


Figura 154 Funcionamiento del LFSR

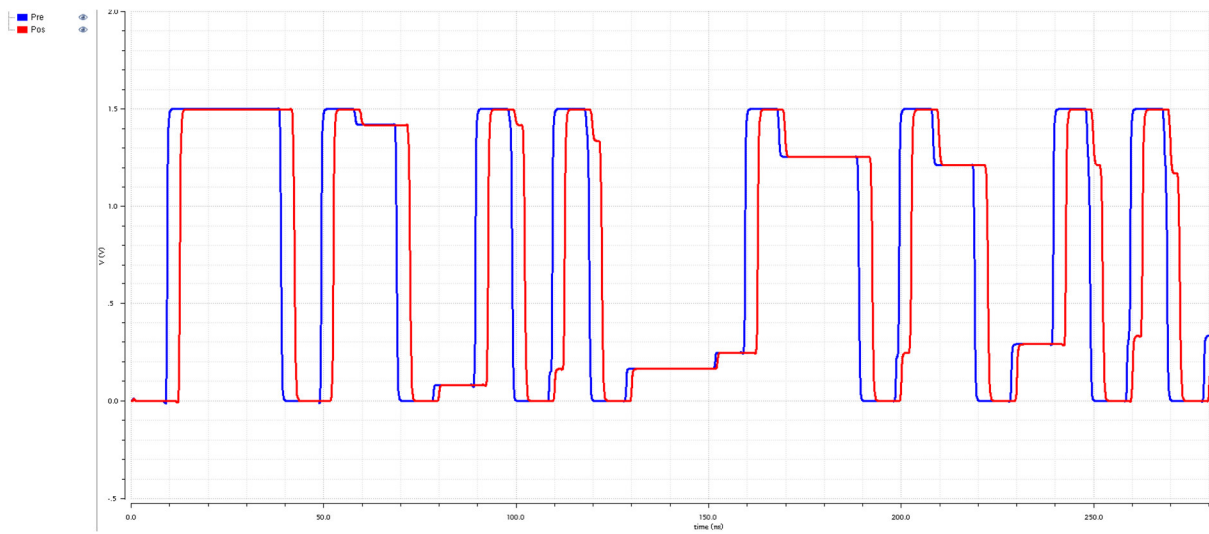


Figura 155 Variaciones de énfasis del transmisor Pos – Layout vs Pre-Layout usando LFSR

## Diagrama de Ojo

Para graficar el diagrama de ojo se realizó la misma simulación que en *pre-layout* utilizando la impedancia de salida media  $250\Omega$  y sin control de amplitud ni énfasis. Se simularon 300ns con un dato a una frecuencia de 100MHz.

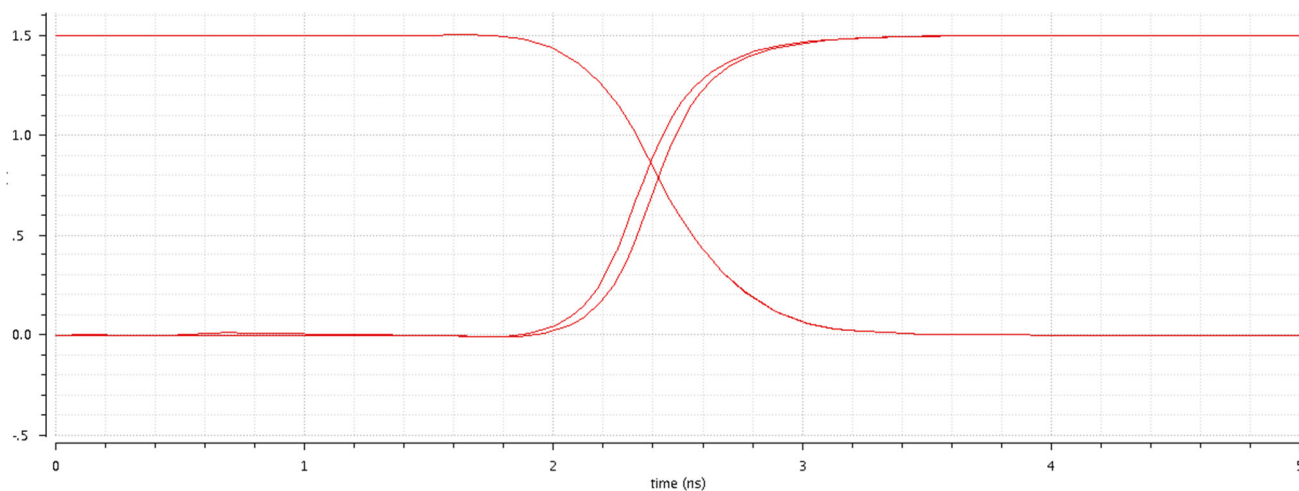


Figura 156. Diagrama de Ojo 5ns Pos - Layout

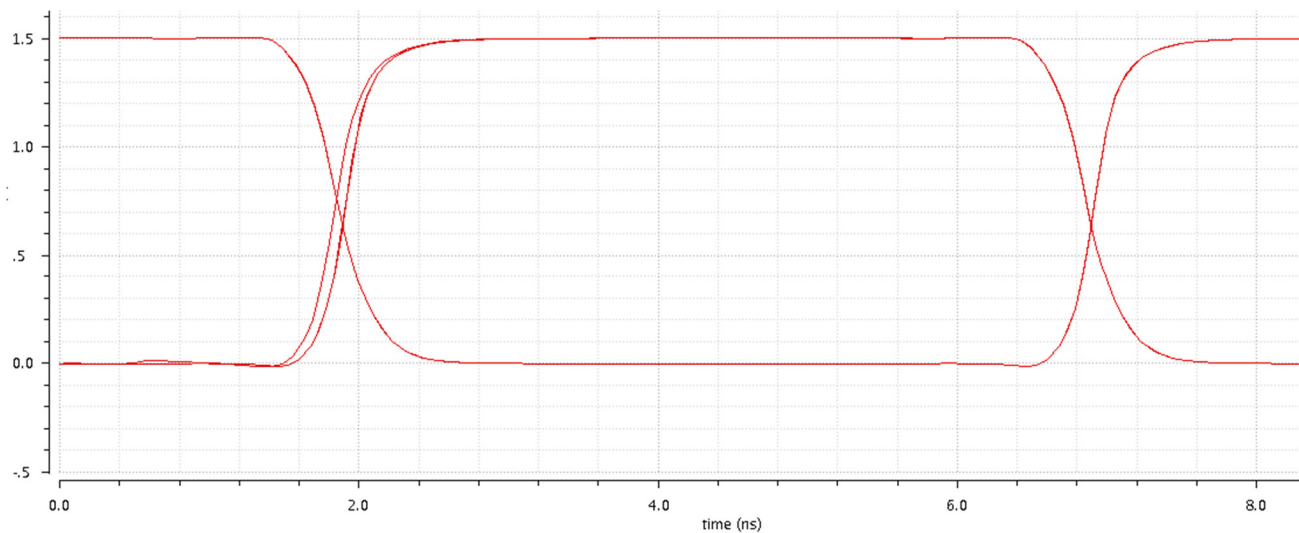


Figura 157. Diagrama de Ojo 15ns Pos - Layout

De las mediciones se puede observar un retardo de aproximadamente 2360ps, considerablemente mayor al obtenido en *pre-layout*. Un jitter de 32ps, también mayor al obtenido en *pre-layout*. El punto del cruce se da a 860 mV, un poco por arriba de los 750mV esperados. La 20 muestra un comparativo de *pos-layout* contra *pre-layout*.

Simulación Pre-Layout	<b>Retardo</b> 1980 ps	<b>Jitter</b> <10 ps	<b>Voltaje de cruce</b> 710 mV
Simulación Pos-Layout	2360 ps	32 ps	860 mV

Tabla 21 Diagrama de Ojo pre-layout vs pos-layout

## Análisis PVT

Enseguida se presentan el análisis de esquinas utilizando los modelos extraídos del *layout*. Es importante mencionar que las esquinas simuladas solo incluyen variaciones de voltaje y temperatura y no incluyen variaciones de proceso. La tabla 10 muestra las esquinas del análisis PVT usadas.

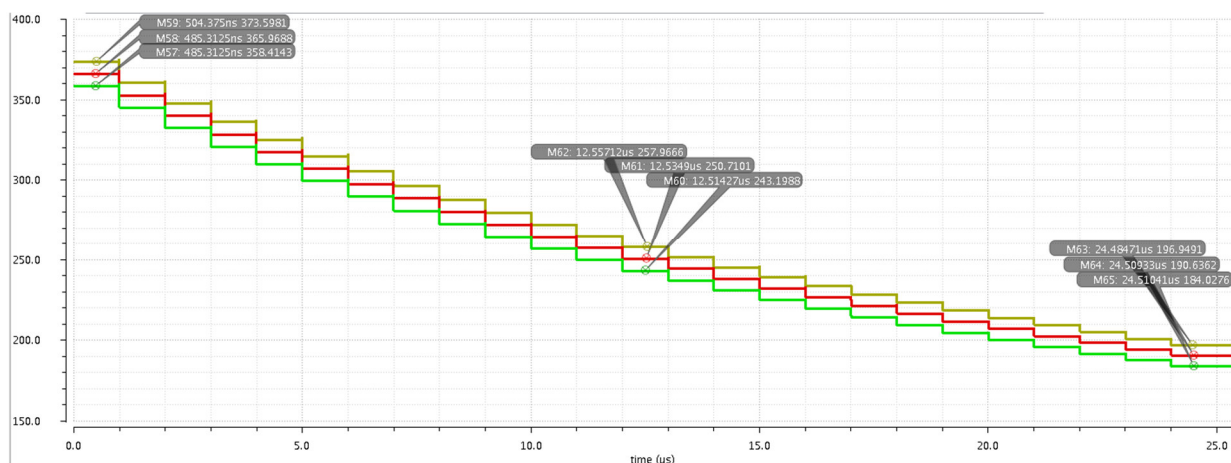


Figura 158. Valores de Impedancia para cada esquina analizada. Pos-Layout

La siguiente tabla muestra una comparativa entre los resultados pos-*layout* contra los resultados pre-*layout*. Como se puede observar las diferencias son mínimas, pero como se ha venido observando en todas las simulaciones el mayor impacto de los modelos pos-*layout* se encuentra en las capacitancias parásitas y los retardos que éstas generan y no tanto en los valores de amplitud o impedancia del transmisor.

		<b>R max</b>	<b>R med</b>	<b>R min</b>
Pos-Layout	Peor	373.60	257.97	196.52
	Típico	365.97	250.71	190.64
	Mejor	358.41	243.20	184.03
Pre-Layout	Peor	372.51	257.31	196.52
	Típico	364.91	250.04	190.17
	Mejor	357.39	242.53	183.54

Tabla 22. Análisis PVT de Impedancias Pos-Layout vs Pre-Layout

Analizando para el caso de los niveles de énfasis se observa que a pesar de las variaciones de voltaje y temperatura ahora con el uso de *flip-flops* se tiene un ancho del pulso constante, esto es

esperado pues él ahora es el reloj quien determina el cambio de los datos. Por otro lado, la tabla 22 muestra una comparativa de las amplitudes del énfasis, al igual que en las simulaciones previas se observa poca diferencia en la amplitud y es en el retardo donde se observa más diferencia. Lo anterior se observará mejor con los diagramas de ojo.

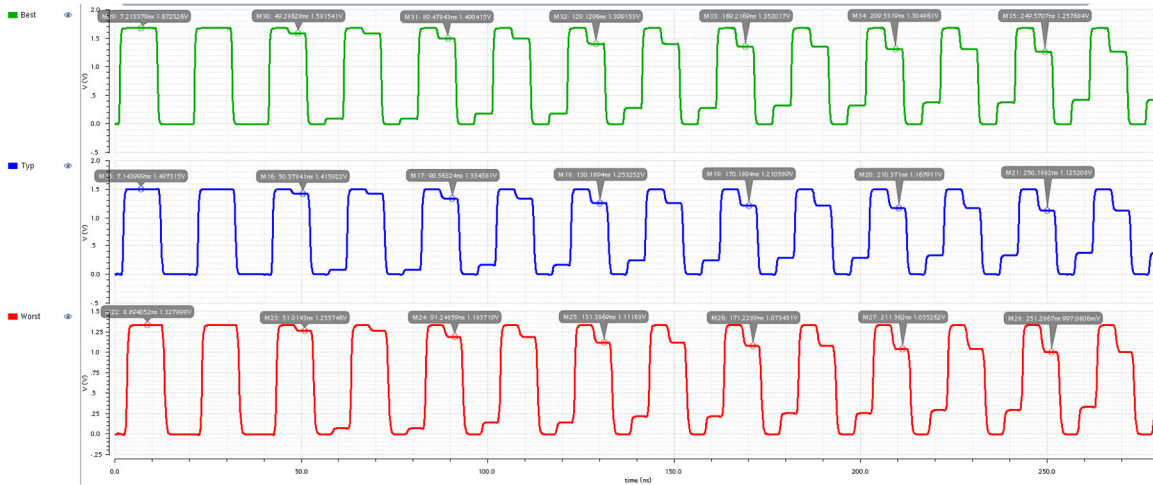


Figura 159. Niveles de énfasis para el análisis PVT. Pos-Layout

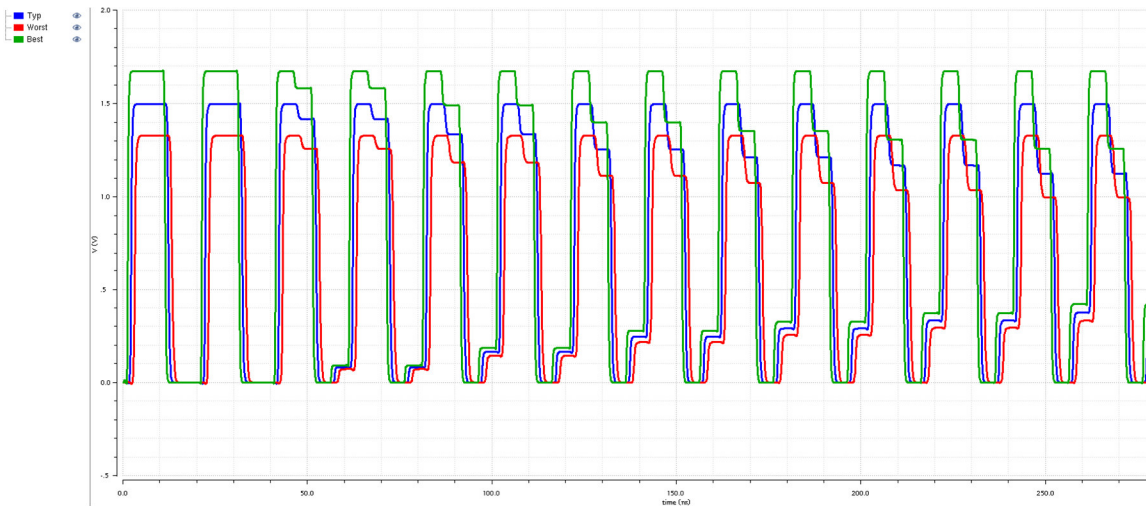


Figura 160. Comparación de Niveles de énfasis para el análisis PVT. Pos-Layout

		No Énfasis	Énfasis med	Énfasis min
Pre-Layout	Peor	1.33	1.114	0.999
	Típico	1.499	1.255	1.127
	Mejor	1.675	1.401	1.26
Pos-Layout	Peor	1.327	1.111	0.997
	Típico	1.497	1.253	1.125
	Mejor	1.672	1.399	1.257

Tabla 23. Análisis PVT de Énfasis. Pos-Layout vs Pre-Layout

A continuación, se presenta el análisis de esquinas *pos-layout* para las distintas configuraciones de amplitud del transmisor.

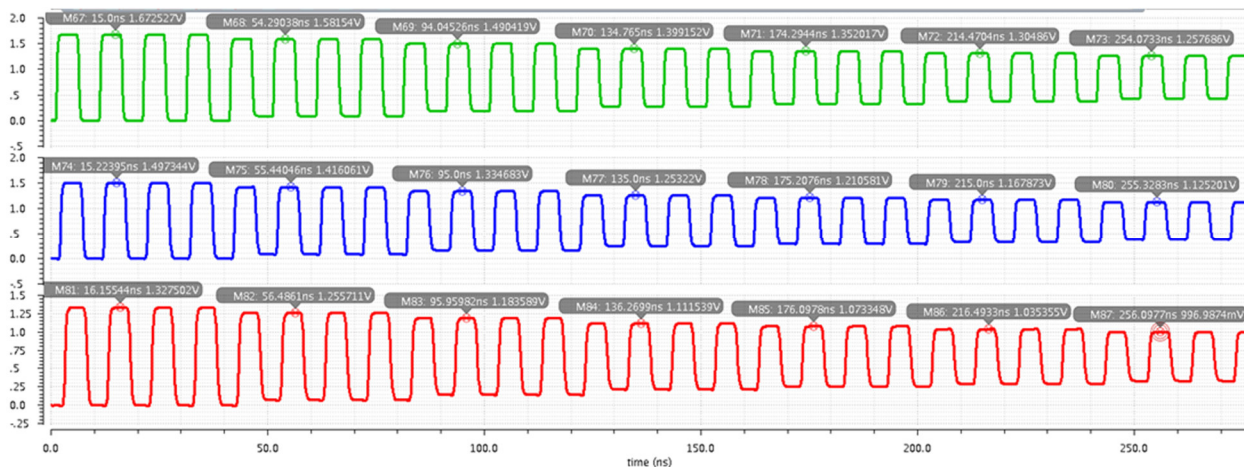


Figura 161. Niveles de amplitud para el análisis PVT Pos – Layout

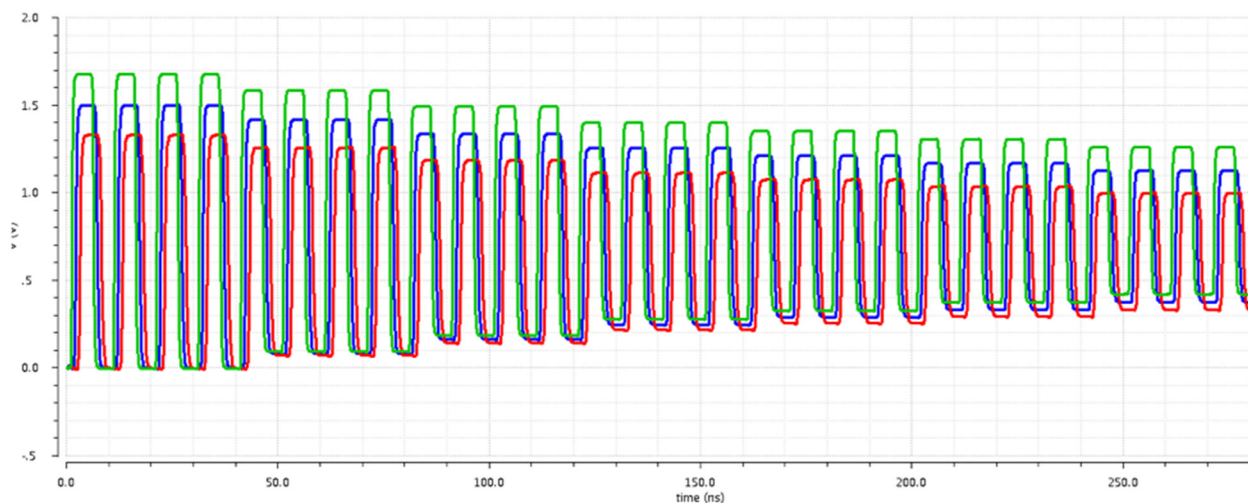


Figura 162. Comparación de Niveles de análisis para el análisis PVT Pos – Layout

		<b>Amp max</b>	<b>Amp med</b>	<b>Amp min</b>
<i>Pre-Layout</i>	Peor	1.33	1.113	0.998
	Típico	1.499	1.255	1.127
	Mejor	1.675	1.401	1.26
<i>Pos-Layout</i>	Peor	1.327	1.111	0.996
	Típico	1.497	1.253	1.125
	Mejor	1.672	1.399	1.257

Tabla 24. Análisis PVT de Amplitud. Post-Layout vs Pre-Layout

Por último, se realizó el análisis de 3 esquinas *post-layout* para el diagrama de ojo, con ruido y sin ruido en la fuente.

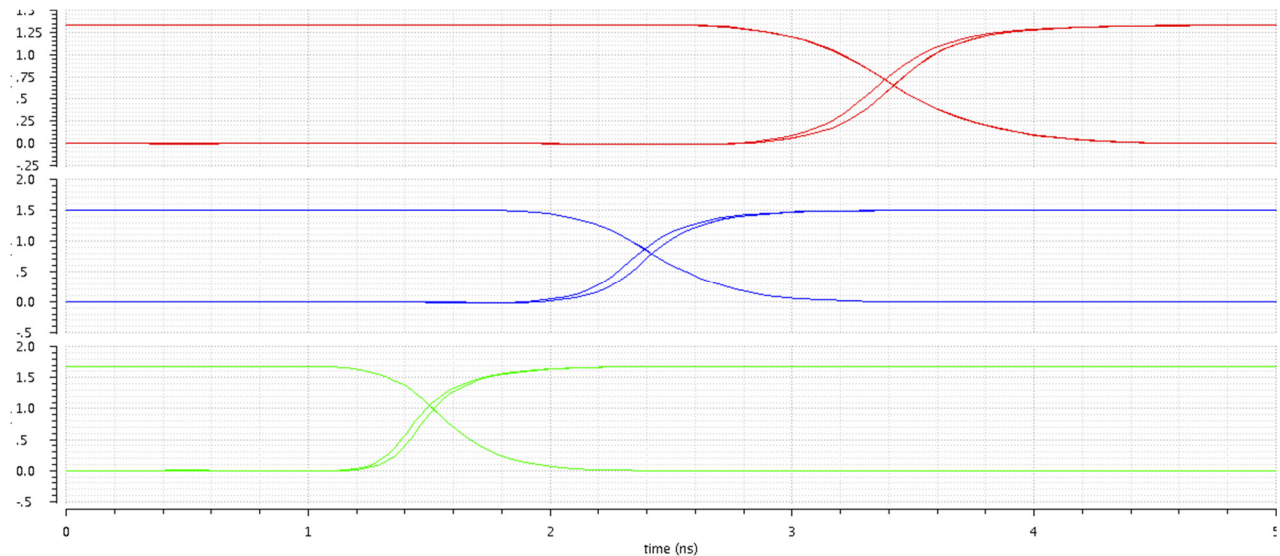


Figura 163. Diagramas de Ojo para el análisis PVT. Pos - Layout

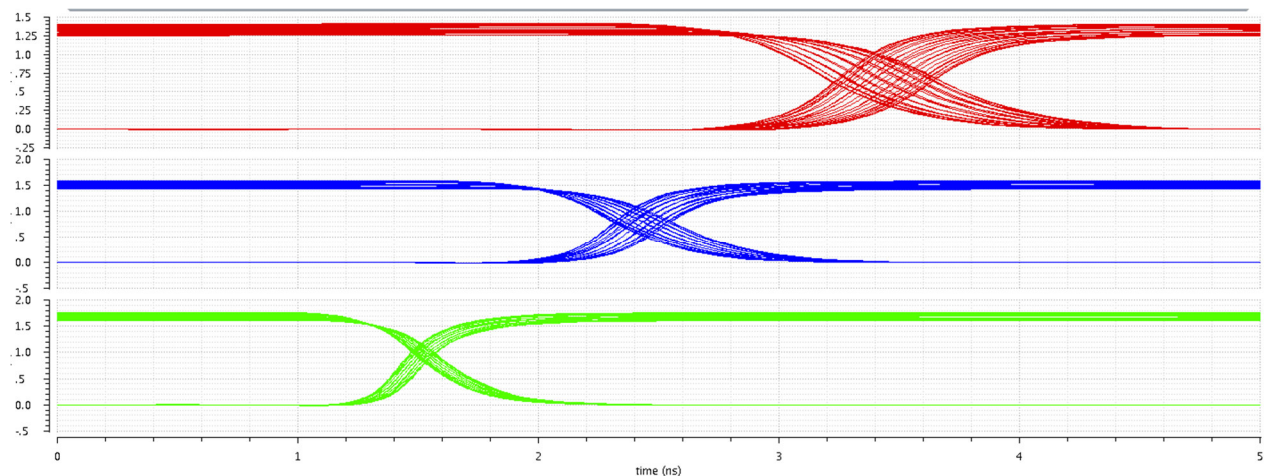


Figura 164. Diagramas de Ojo con ruido en la fuente para el análisis PVT Pos - Layout

La siguiente Tabla muestra un condensado de los resultados de diagrama de ojo del análisis de 3 esquinas pos-layout y pre-layout con ruido y sin ruido. Con los diagramas de ojo y con el comparativo de resultados podemos ver que los efectos de los componentes parásitos del layout tienen gran impacto en el retardo de la respuesta del transmisor, así mismo en el jitter y en el voltaje de cruce. Este resultado es de esperarse pues el ruteo en el transmisor es largo y esto agrega capacitancias considerables a los modelos pos-layout que en las simulaciones previas no fueron tomadas en cuenta.

		<b>Retraso</b>	<b>Jitter</b>	<b><math>\Delta</math> Amplitud</b>	<b>Cruce</b>
Pre-Layout	Peor	2800ps	12ps	<5mV	0.605 V

	Típico	2000ps	8ps	<5mV	0.715 V
	Mejor	1200ps	4ps	<5mV	0.85 V
	Peor (Ruido)	2850ps	360ps	165 mV	0.6 V
	Típico (Ruido)	2000ps	194.2ps	155 mV	0.71 V
	Mejor (Ruido)	1200ps	83.1ps	150 mV	0.85 V
Pos-Layout	Peor	3392ps	47ps	<5mV	0.709 V
	Típico	2360ps	32ps	<5mV	0.860 V
	Mejor	1506ps	18ps	<5mV	1.089 V
	Peor (Ruido)	3216ps	442ps	162 mV	0.632 V
	Típico (Ruido)	2306ps	249ps	155 mV	0.770 V
	Mejor (Ruido)	1200ps	110ps	153 mV	1.031 V

Tabla 25. Diagramas de Ojo PVT. Pos-Layout vs Pre-Layout

## Trabajo Futuro

Con esto se cubre el alcance del proyecto final de la materia, pero hay una serie de actividades que quedan pendientes para una futura generación que retome el trabajo. Por ejemplo, las simulaciones del análisis PVT solo incluyen variaciones de temperatura y voltaje, lo anterior debido a que los modelos de simulación no se encontraban disponibles al momento de realizar el análisis. Ahora los modelos están disponibles para incluir estas variaciones en el análisis PVT de una futura entrega. Adicionalmente habría que agregar más esquinas al análisis PVT.

También queda pendiente la optimización del *Jitter*, en este trabajo se presentó una opción que no fue la más adecuada y queda pendiente para una futura entrega el analizar nuevas opciones de optimización. Por ejemplo, en este trabajo se hizo una escalación simétrica, es decir todos los transistores se escalaron por el mismo factor, en una futura entrega se pudiera probar escalar menos el Tx de salida, es decir, si ambos transistores eran de 3um y los escalamos ambos a 6um, ahora habría que dejar el de nodo de salida a 3um y el otro a 12um.

En cuanto a caracterización faltaría hacer simulaciones a 200/400/800MHz, incluso 1/1.5GHz y verificar cual es el límite de operación del circuito con esta tecnología. Hacer simulaciones considerando ya las líneas de transmisión y modelos de empaquetado. Por último, faltaría complementar este trabajo para hacer una versión diferencial del transmisor utilizando elementos en *CurrentMode/CML* o *Push-Pull*.

## Conclusiones



Durante la etapa del diseño *pre-layout* nos pudimos dar cuenta de las partes críticas en el desempeño del transmisor. Por ejemplo, se entendió que la impedancia de salida del transmisor depende directamente de las resistencias colocadas en la celda básica y que además los transistores del buffer de tercer estado también contribuyen a la impedancia de salida. Se comprobó que es importante que tanto el transistor P como el transistor N aporten la misma impedancia, de lo contrario el dato “1” y el dato “0” se transmitirían con impedancia deferente. En la parte de simulaciones, se puede comentar que los resultados del análisis de 3 esquinas deben interpretarse con precaución pues en estas simulaciones las resistencias son simuladas de manera ideal. Lo anterior se debe a que para esta versión de *Cadence* no se cuenta con un modelo físico de las resistencias. Para obtener resultados más precisos se deberá esperar hasta la simulación *post-layout*.

De la simulación del diagrama de ojo con ruido se puede ver que aun con un nivel considerable de ruido el *jitter* se mantiene por debajo del 10% del periodo, lo cual aún es aceptable. También se puede observar que las variaciones de amplitud son debidas directamente al ruido de fuente, por lo que se puede concluir que el transmisor por sí solo no presenta variación en amplitud.

La parte del *layout* fue algo complicada especialmente porque *Cadence* no reconoce el *layout* de un sub-bloque, sino que solo admite los puertos de este *layout* obligando al usuario a tener que redibujar las pistas y a agregar vías que ya estaban hay una vez más. En el *layout* se hicieron más anchos los rieles de  $V_{DD}$ ,  $V_{SS}$  y  $V_{OUT}$  puesto que estas manejan toda la corriente del circuito. Las resistencias se construyeron de un material que es más resistivo que el tradicional permitiendo que fueran más pequeñas. Las celdas ZAP se colocaron en una matriz de 3X2 para hacer un *layout* no tan largo.

Los resultados de simulación *pos-layout* corresponden a lo esperado, introduciendo un mayor retardo en las señales debido a capacitancias parasitas y de ruteo.

## Referencias

- [1] Diseño de Transmisor de Datos en Tecnología de 0.25 $\mu$ m, José Luis Chávez Hurtado, Especialidad en Diseño de Circuitos Integrados, ITESO, 2008.
- [2] Proyecto Final, Romeo Covarrubias Larios y Enrique Maximiliano Calderón Ramos, Especialidad en Diseño de Circuitos Integrados, ITESO, 2007.
- [3] Communications systems and networks, 3rd Edition, Ray Horak, Wiley Publishing, Inc., Indianapolis Indiana; 2002; Pags 678.
- [4] Sistemas de comunicaciones electrónicas, 2a edición, Wayne Tomasi, Pearson Educación, Edo. De México, 1996. Pags. 858.
- [5] Principles of electronic communication systems, 2do Edition, Louis E. Frenzel, McGraw – Hill, Estados unidos de América, 2003, Pags 1030.
- [6] [http://www.mentor.com/products/ic\\_nanometer\\_design/news/articles/maximizing\\_die\\_yield.cfm](http://www.mentor.com/products/ic_nanometer_design/news/articles/maximizing_die_yield.cfm)
- [7] [http://www.interfacebus.com/Interface\\_PC\\_Buses.html](http://www.interfacebus.com/Interface_PC_Buses.html)
- [8] <http://es.wikipedia.org/wiki/Sata>
- [9] <http://en.wikipedia.org/wiki/SATA>
- [10] <http://en.wikipedia.org/wiki/SGMII>
- [11] <http://en.wikipedia.org/wiki/RapidIO>
- [12] [http://www.hispatech.com/ver\\_articulo.php?cod=16](http://www.hispatech.com/ver_articulo.php?cod=16)
- [13] [http://es.wikipedia.org/wiki/PCI\\_Express](http://es.wikipedia.org/wiki/PCI_Express)
- [14] <http://es.wikipedia.org/wiki/DDR>