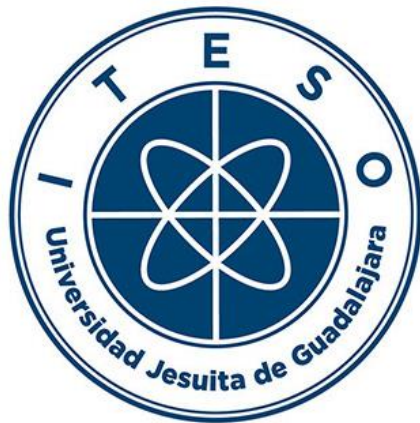


Instituto Tecnológico y de Estudios Superiores de Occidente

Reconocimiento de validez oficial de estudios de nivel superior según acuerdo secretarial 15018, publicado en el Diario Oficial de la Federación del 29 de noviembre de 1976.

Departamento de Electrónica, Sistemas e Informática
Maestría en Diseño Electrónico



MODELADO DE INTERFERENCIAS DE PROPAGACIÓN DE SEÑALES DE ALTA FRECUENCIA EN LÍNEAS DE TRANSMISIÓN IDEALES

TRABAJO RECEPCIONAL que para obtener el **GRADO** de
Maestro en Diseño Electrónico

Presenta: **CARLOS CÉSAR LÓPEZ FÉLIX**

Asesor **DR. ZABDIEL BRITO BRITO**

Tlaquepaque, Jalisco. enero de 2020.

AGRADECIMIENTOS

El autor desea dar las gracias a todos los compañeros de la maestría y compañeros de trabajo los cuales contribuyeron de manera directa o indirecta a la culminación de estos estudios.

También extiende su agradecimiento al ITESO, que es su alma mater, por las facilidades que otorga a la gente que trabaja, tanto en horarios como de manera económica, para poder realizar estudios de posgrado en su campus.

Se agradece a la compañía Continental Automotive por su apoyo financiero y en horarios para poder realizar estos estudios.

Quiere agradecer a todos los profesores del ITESO con los que interactuó durante el desarrollo de los estudios, de los cuales recibió un gran apoyo y asesoría para realizar este posgrado.

Especialmente quiere agradecer al Dr. Zabdíel Brito Brito el cual fue su asesor en el desarrollo de este trabajo y le ayudó con sus conocimientos y experiencia a desarrollar un buen trabajo para la obtención de grado, además de invertirle todo el tiempo requerido para la elaboración de este.

DEDICATORIA

El autor dedica esta tesis a su esposa Amalia Araiza Lugo por su apoyo e impulso para obtener este importante posgrado.

A su hijo Sergio Alberto Lopez Araiza e hija Karla Gabriela Lopez Araiza por ser una inspiración para la superación continua en su vida profesional y personal.

Quiere dedicar este trabajo también a sus padres Hilda Félix Sandoval y Sergio Lopez Ríos que siempre fueron una inspiración importante de vida y trabajo y que sabe se hubieran sentido muy satisfechos por la culminación de estos estudios.

A sus hermanas Hilda y Patricia por su apoyo constante e incentivar me a mejorar continuamente.

A sus suegros Catalina y Hermenegildo por su ejemplo y dedicación a mejorar continuamente.

RESUMEN

Se presenta una breve introducción al análisis de interferencia de señales entre una línea de transmisión de datos y otra línea potencialmente víctima, esta interferencia es comúnmente llamado “Crosstalk”. Esta interacción de señales puede ocasionar errores de comunicación debido a la inducción de corrientes de una línea de transmisión de datos a otra, que se traduce en degradación de la señal digital transmitida, con lo cual, el proceso de transmisión de datos se hace menos eficiente o en un peor caso, inoperante. Hacer una buena estimación del “Crosstalk” es importante, ya que nos ayuda a cuantificar y minimizar esta interacción desde etapas tempranas de diseño del sistema a través de simulaciones, lo cual ahorra tiempo y dinero del proyecto al ser las simulaciones menos costosas y más rápidas de realizarse que las mediciones y evaluaciones de un primer diseño en físico del sistema.

Para hacer estas simulaciones y modelado de las líneas de transmisión de datos se utilizan diferentes técnicas de modelado, en este trabajo se eligió utilizar la de elementos discretos como los capacitores, inductancias, resistencias y admitancias entre otros. De este tipo de modelado, los modelados que no consideran pérdidas utilizan capacitancias e inductancias, los cuales según el efecto que tienen con la línea contigua se clasifican como capacitancias e inductancias propias de la línea, capacitancias e inductancias mutuas, capacitancias a tierra, etc. Existen muchas formulas disponibles en diferentes medios que utilizan valores de capacitancias e inductancias propias y mutuas para hacer este análisis de “Crosstalk”, lo que no es muy común es la explicación de los métodos de cómo generar estos valores de capacitancias e inductancias con base en las dimensiones de las líneas de transmisión de datos que se desean simular.

En este trabajo se explican tres métodos para hacer el cálculo de las capacitancias e inductancias propias y mutuas de las líneas de transmisión con el fin de que los lectores puedan implementar en un sistema de manejo de ecuaciones u hojas de cálculo estas mismas, para hacer la estimación de los valores de estos elementos discretos.

Como ejemplo, para este trabajo se eligió el método de “Capacitancias de forma cerrada” el cual fue implementado en Matlab. Se hacen simulaciones en el sistema ADS en el cual, se comparan los resultados de simulación entre el modelo propuesto, los modelos circuitales tomados de las librerías del ADS y modelos ADS de layout para líneas de transmisión de datos de 50, 75 y 100 ohms a 1 MHz, en tarjetas con espesor del dieléctrico de 1.0 y 1.6 mm. Estas impedancias y espesores fueron elegidas debido a que son comúnmente usadas en diferentes protocolos de comunicación serial.

También se muestra los resultados de las mediciones hechas a tarjetas o PCB construidos con las impedancias y espesores antes descritas para hacer una corroboración de los resultados obtenidos con las simulaciones.

Los resultados obtenidos muestran que los modelos propuestos en este trabajo de las líneas de transmisión basadas en elementos discretos tienen una muy buena correlación tanto con los modelos circuitales de ADS, como con los modelos de layout de ADS, como con las simulaciones del layout del PCB y las mediciones hechas a los PCB con un equipo VNA.

TABLA DE CONTENIDO

1. INTRODUCCIÓN	1
2. ESTADO DEL ARTE	4
2.1. MODELADO DE COMPONENTES PASIVOS A ALTAS FRECUENCIAS:	4
2.2. TEORÍA DE LÍNEAS DE TRANSMISIÓN:	5
2.3. ACOPLAMIENTO DE IMPEDANCIAS:	6
2.4. ANÁLISIS EN EL DOMINIO DE LA FRECUENCIA:	6
3. MODELADO CIRCUITAL PARA EL CROSSTALK	8
3.1. ECUACIONES PARA ELEMENTOS CONCENTRADOS DE LÍNEAS MICROCINTA ACOPLADAS.	8
3.1.1. ECUACIONES DE CAPACITANCIA ESTÁTICA.	12
3.1.2. ECUACIONES DE CAPACITANCIA DE FORMA CERRADA.	15
3.1.3. ECUACIONES DE TRANSFORMACIÓN CONFORME PARA CÁLCULO DE IMPEDANCIA PAR E IMPAR. ..	17
4. RESULTADO DE CÁLCULOS Y SIMULACIONES	18
4.1. CÁLCULO DE LAS CAPACITANCIAS E INDUCTANCIAS MUTUAS Y PROPIAS.	18
4.2. CÁLCULO DE DIMENSIONES SEGÚN LA IMPEDANCIA REQUERIDA.	19
4.3. SIMULACIONES EN ADS [4].	22
4.3.1. SIMULACIÓN EN EL DOMINIO DEL TIEMPO.	23
4.3.2. SIMULACIÓN EN EL DOMINIO DE LA FRECUENCIA.	25
5. RESULTADOS DE LAS MEDICIONES	34
5.1. RESULTADOS DE MEDICIONES COMPARADO CON SIMULACIÓN DE 50 OHMS.	35
5.2. RESULTADOS DE MEDICIONES COMPARADO CON SIMULACIONES DE LAYOUT FABRICADO.	37
5.3. RESULTADOS DE MEDICIONES COMPARADO CON EL MODELO PROPUESTO PARA IMPEDANCIAS DE 75 Y 100 OHMS.	44
6. CONCLUSIONES	55
7. BIBLIOGRAFÍA	56
8. APENDICE	57
8.1. APÉNDICE A	57
8.2. APÉNDICE B	60

LISTA DE FIGURAS

Figura 1-1: Tendencia del incremento de la velocidad de los Microprocesadores [2].....	1
Figura 2-1: Modelo de Resistencia para altas frecuencias [5].	4
Figura 2-2: Comportamiento de una Resistencia de 500 Ω en un barrido de frecuencia [5].....	4
Figura 2-3: Modelado de líneas de transmisión de parámetros distribuidos [5].	5
Figura 2-4: Acople de impedancia con elementos discretos de un transmisor y una antena [5].....	6
Figura 2-5: Modelos de sistemas de uno o más puertos [5].	7
Figura 3-1: Definición de dimensiones y parámetros de líneas microcintas [6].	8
Figura 3-2: Capacitancia e Inductancias mutuas de unas líneas de transmisión [7].	8
Figura 3-3: Inducción de corrientes y sus efectos de “near end” y “far end” [7].....	9
Figura 3-4: Efecto de las corrientes en los nodos “near end” y “far end” [7].	9
Figura 3-5: Condición de línea víctima con sus terminales acopladas a la impedancia característica [7].	10
Figura 3-6: Condición de nodo “far end” no conectado [7].	10
Figura 3-7: Condición de nodo “near end” no conectado [7].	11
Figura 3-8: Modelo para capacitancia en modo par [6].	13
Figura 3-9: Modelo para capacitancia en modo impar [6].	13
Figura 4-1: Interfaz de herramienta LineCalc [4].	20
Figura 4-2: PCB 50 ohms a 1.0 mm de altura.....	21
Figura 4-3: PCB 75 ohms a 1.0 mm de altura.....	21
Figura 4-4: PCB 100 ohms a 1.0 mm de altura.....	21
Figura 4-5: PCB 50 ohms a 1.6 mm de altura.....	22
Figura 4-6: PCB 75 ohms a 1.6 mm de altura.....	22
Figura 4-7: PCB 100 ohms a 1.6 mm de altura.....	22
Figura 4-8: Modelo ADS circuital para simulación en el dominio del tiempo.	23
Figura 4-9: Modelo de elementos discretos propuesto de 100 celdas para simulación en el dominio del tiempo.	23
Figura 4-10: Respuesta del modelo ADS en el dominio del tiempo. El pulso de entrada está representado por el trazo en círculos, la respuesta “near end” con triángulos y la respuesta “far end” con cruces.	24
Figura 4-11: Respuesta del modelo de elementos discretos en el dominio del tiempo. El pulso de entrada está representado por el trazo en círculos, la respuesta “near end” con triángulos y la respuesta “far end” con cruces.	24
Figura 4-12: Modelo ADS circuital para simulación de una línea microcinta en el dominio de la frecuencia.	25
Figura 4-13: Celda de elementos discretos conectados a la terminal de entrada (Term G5) y a la de “near end” (Term G7).....	25
Figura 4-14: Figura parcial de layout utilizado para las simulaciones.....	26
Figura 4-15: Comparación de respuestas de modelos de elementos discretos de 50, 100 y 200 celdas contra el modelo ADS circuital. El trazo del modelo ADS circuital está representado con círculos, el del modelo de elementos discretos de 50 celdas con triángulos, el del modelo de elementos discretos de 100 celdas con rombos y el de 200 celdas con cruces	26

Figura 4-16: Respuesta “near end” 50Ω a 1.0mm. La respuesta del modelo ADS circuital está representada con círculos, la respuesta del modelo de elementos discretos de 100 celdas con triángulos y la respuesta de la simulación de layout sin pérdidas con cruces.....	27
Figura 4-17: Respuesta “near end” 75Ω a 1.0mm. La respuesta del modelo ADS circuital está representada con círculos, la respuesta del modelo de elementos discretos de 100 celdas con triángulos y la respuesta de la simulación de layout sin pérdidas con cruces.....	28
Figura 4-18: Respuesta “near end” 100Ω a 1.0mm. La respuesta del modelo ADS circuital está representada con círculos, la respuesta del modelo de elementos discretos de 100 celdas con triángulos y la respuesta de la simulación de layout sin pérdidas con cruces.....	28
Figura 4-20: Respuesta “far end” 75Ω a 1.0mm. La respuesta del modelo ADS circuital está representada con círculos, la respuesta del modelo de elementos discretos de 100 celdas con triángulos y la respuesta de la simulación de layout sin pérdidas con cruces.....	29
Figura 4-21: Respuesta “far end” 100Ω a 1.0mm. La respuesta del modelo ADS circuital está representada con círculos, la respuesta del modelo de elementos discretos de 100 celdas con triángulos y la respuesta de la simulación de layout sin pérdidas con cruces.....	30
Figura 4-22: Respuesta “near end” 50Ω a 1.6mm. La respuesta del modelo ADS circuital está representada con círculos, la respuesta del modelo de elementos discretos de 100 celdas con triángulos y la respuesta de la simulación de layout sin pérdidas con cruces.....	30
Figura 4-23: Respuesta “near end” 75Ω a 1.6mm. La respuesta del modelo ADS circuital está representada con círculos, la respuesta del modelo de elementos discretos de 100 celdas con triángulos y la respuesta de la simulación de layout sin pérdidas con cruces.....	31
Figura 4-24: Respuesta “near end” 100Ω a 1.6mm. La respuesta del modelo ADS circuital está representada con círculos, la respuesta del modelo de elementos discretos de 100 celdas con triángulos y la respuesta de la simulación de layout sin pérdidas con cruces.....	31
Figura 4-25: Respuesta “far end” 50Ω a 1.6mm. La respuesta del modelo ADS circuital está representada con círculos, la respuesta del modelo de elementos discretos de 100 celdas con triángulos y la respuesta de la simulación de layout sin pérdidas con cruces.....	32
Figura 4-26: Respuesta “far end” 75Ω a 1.6mm. La respuesta del modelo ADS circuital está representada con círculos, la respuesta del modelo de elementos discretos de 100 celdas con triángulos y la respuesta de la simulación de layout sin pérdidas con cruces.....	32
Figura 4-27: Respuesta “far end” 100Ω a 1.6mm. La respuesta del modelo ADS circuital está representada con círculos, la respuesta del modelo de elementos discretos de 100 celdas con triángulos y la respuesta de la simulación de layout sin pérdidas con cruces.....	33
Figura 5-1: Elemento “N port S parameter” para la graficación de archivos XX.s4p	34
Figura 5-2: Respuesta “near end” de las mediciones y simulación de modelo 50 ohms a 1.6mm. Trazo con círculos es la medición, trazo con triángulos respuesta de elementos discretos.	35
Figura 5-3: Respuesta “far end” de las mediciones y simulación de modelo 50 ohms a 1.6mm. Trazo con círculos es la medición, trazo con triángulos respuesta de elementos discretos.	36
Figura 5-4: Respuesta “near end” de las mediciones y simulación de modelo 50 ohms a 1.0mm. Trazo con círculos es la medición, trazo con triángulos respuesta de elementos discretos.	36
Figura 5-5: Respuesta “far end” de las mediciones y simulación de modelo 50 ohms a 1.0mm. Trazo con círculos es la medición, trazo con triángulos respuesta de elementos discretos.	37
Figura 5-6: Layout utilizado para la construcción y simulación de PCB de 50 ohms a 1.6mm.	38

Figura 5-7: Comparación simulación de layout de modelo propuesto contra mediciones de señal “near end” de PCB de 50 Ω a 1.6mm . La simulación del layout real está representada por la curva con círculos y la medición con el VNA por la curva con triángulos.....	38
Figura 5-8: Comparación de la simulación de layout del modelo propuesto contra mediciones de señal “far end” de un PCB de 50 Ω a 1.6mm. La simulación del layout real está representada por la curva con círculos y la medición con el VNA por la curva con triángulos.....	39
Figura 5-9: Comparación simulación de layout de modelo propuesto contra mediciones de señal “near end” de PCB de 50 Ω a 1.0mm. La simulación del layout real está representada por la curva con círculos y la medición con el VNA por la curva con triángulos.....	39
Figura 5-10: Comparación simulación de layout de modelo propuesto contra mediciones de señal “far end” de PCB de 50 Ω a 1.0mm. La simulación del layout real está representada por la curva con círculos y la medición con el VNA por la curva con triángulos.....	40
Figura 5-11: Comparación simulación de layout de modelo propuesto contra mediciones de señal “near end” de PCB de 75 Ω a 1.6mm. La simulación del layout real está representada por la curva con círculos y la medición con el VNA por la curva con triángulos.....	40
Figura 5-12: Comparación simulación de layout de modelo propuesto contra mediciones de señal “far end” de PCB de 75 Ω a 1.6mm. La simulación del layout real está representada por la curva con círculos y la medición con el VNA por la curva con triángulos.....	41
Figura 5-13: Comparación simulación de layout de modelo propuesto contra mediciones de señal “near end” de PCB de 75 Ω a 1.0mm. La simulación del layout real está representada por la curva con círculos y la medición con el VNA por la curva con triángulos.....	41
Figura 5-14: Comparación simulación de layout de modelo propuesto contra mediciones de señal “far end” de PCB de 75 Ω a 1.0mm. La simulación del layout real está representada por la curva con círculos y la medición con el VNA por la curva con triángulos.....	42
Figura 5-15: Comparación simulación de layout de modelo propuesto contra mediciones de señal “near end” de PCB de 100 Ω a 1.6mm. La simulación del layout real está representada por la curva con círculos y la medición con el VNA por la curva con triángulos.....	42
Figura 5-16: Comparación simulación de layout de modelo propuesto contra mediciones de señal “far end” de PCB de 100 Ω a 1.6mm. La simulación del layout real está representada por la curva con círculos y la medición con el VNA por la curva con triángulos.....	43
Figura 5-17: Comparación simulación de layout de modelo propuesto contra mediciones de señal “near end” de PCB de 100 Ω a 1.0mm. La simulación del layout real está representada por la curva con círculos y la medición con el VNA por la curva con triángulos.....	43
Figura 5-18: Comparación simulación de layout de modelo propuesto contra mediciones de señal “far end” de PCB de 100 Ω a 1.0mm. La simulación del layout real está representada por la curva con círculos y la medición con el VNA por la curva con triángulos.....	44
Figura 5-19: Comparación de la respuesta “near end” entre medición y modelo propuesto de 75 ohms a 1.6mm. El trazo en círculos corresponde a la medición y el trazo en triángulos corresponde a la simulación del modelo propuesto.....	45
Figura 5-20: Comparación de la respuesta “far end” entre medición y modelo propuesto de 75 ohms a 1.6mm. El trazo en círculos corresponde a la medición y el trazo en triángulos corresponde a la simulación del modelo propuesto.....	45

Figura 5-21: Comparación de la respuesta “near end” entre medición y modelo propuesto de 75 ohms a 1.0mm. El trazo en círculos corresponde a la medición y el trazo en triángulos corresponde a la simulación del modelo propuesto.....	46
Figura 5-22: Comparación de la respuesta “far end” entre medición y modelo propuesto de 75 ohms a 1.0mm. El trazo en círculos corresponde a la medición y el trazo en triángulos corresponde a la simulación del modelo propuesto.....	46
Figura 5-23: Comparación de la respuesta “near end” entre medición y modelo propuesto de 100 ohms a 1.6mm. El trazo en círculos corresponde a la medición y el trazo en triángulos corresponde a la simulación del modelo propuesto.....	47
Figura 5-24: Comparación de la respuesta “far end” entre medición y modelo propuesto de 100 ohms a 1.6mm. El trazo en círculos corresponde a la medición y el trazo en triángulos corresponde a la simulación del modelo propuesto.....	47
Figura 5-25: Comparación de la respuesta “near end” entre medición y modelo propuesto de 100 ohms a 1.0mm. El trazo en círculos corresponde a la medición y el trazo en triángulos corresponde a la simulación del modelo propuesto.....	48
Figura 5-26: Comparación de la respuesta “far end” entre medición y modelo propuesto de 100 ohms a 1.0mm. El trazo en círculos corresponde a la medición y el trazo en triángulos corresponde a la simulación del modelo propuesto.....	48
Figura 5-27: Comparación de la respuesta “S11” entre medición y simulación del modelo propuesto de 75 ohms a 1.6mm. La medición está representada por círculos y el modelo propuesto con triángulos.....	49
Figura 5-28: Comparación de la respuesta “near end” entre el layout real simulado y acoplado a 50 y 75 ohms del modelo de 75 ohms a 1.6mm. La gráfica con triángulos corresponde al sistema acoplado a 50 ohms y la gráfica con círculos corresponde al sistema acoplado a 75 ohms.....	50
Figura 5-29: Comparación de la respuesta “far end” entre el layout real simulado y acoplado a 50 y 75 ohms del modelo de 75 ohms a 1.6mm. La gráfica con triángulos corresponde al sistema acoplado a 50 ohms y la gráfica con círculos corresponde al sistema acoplado a 75 ohms.....	50
Figura 5-30: Comparación de la respuesta “S11” entre el layout real simulado y acoplado a 50 y 75 ohms del modelo de 75 ohms a 1.6mm. La gráfica con círculos corresponde al sistema acoplado a 75 ohms y la gráfica con triángulos corresponde al sistema acoplado a 50 ohms.....	51
Figura 5-31: Comparación de respuestas “near end” de modelo 100 ohms a 1.6 mm y medición del PCB con las mismas características y mismo desacople de impedancias. La simulación está representada por los trazos en círculos y la medición con trazos en triángulos.	52
Figura 5-32: Comparación de respuestas “far end” de modelo 100 ohms a 1.6 mm y medición del PCB con las mismas características y mismo desacople de impedancias. La simulación está representada por los trazos en círculos y la medición con trazos en triángulos.	52
Figura 5-33: Respuestas “S11” de modelo 100 ohms a 1.6 mm y medición del PCB con las mismas características y mismo desacople de impedancias. La simulación está representada por los trazos en círculos y la medición con trazos en triángulos.	53
Figura 5-34: Respuestas “S21” de modelo 100 ohms a 1.6 mm y medición del PCB con las mismas características y mismo desacople de impedancias. La simulación está representada por los trazos en círculos y la medición con trazos en triángulos.	53

LISTA DE TABLAS

Tabla 2-1: Conversión entre diferentes parámetros [5].....	7
Tabla 4-2: Dimensiones para PCB de 1.0mm.....	20
Tabla 4-3: Dimensiones para PCB de 1.6mm.....	21

LISTA DE ACRÓNIMOS Y ABREVIATURAS

PCB	Printed Circuit Board
SMA	SubMiniature versión A
VNA	Vector Network Analyzer
ADS	Advanced Design System
DC	Direct Current
TEM	Transversal Electromagnetic Mode

1. INTRODUCCIÓN

En la actualidad las velocidades de comunicación entre dispositivos digitales internos de un equipo electrónico (Por ejemplo, microprocesadores y memorias, transmisores y receptores de comunicación) se han incrementado notablemente, a tal grado que se producen interferencias electromagnéticas entre las señales de información digital que se propagan en una línea de comunicación y otra que esté contigua a ella. Para hacer un adecuado diseño de la tarjeta de circuito impreso [1] [2], es necesario hacer consideraciones de acoplamiento de impedancias entre dispositivos además de conocer la longitud de onda de la información digital utilizada.

Desde principios de los años 70's, se pudieron integrar los sistemas requeridos de un microprocesador en un solo encapsulado (unidad aritmética, la unidad de control y el banco de registros). Los primeros microprocesadores exitosos utilizaban relojes de 1.77 MHz y buses de datos de 8 y 4 bits. Las memorias de acceso aleatorio eran de 4 kB. Hoy en día los relojes utilizados trabajan a velocidades de 4 GHz y la velocidad de operación de los microprocesadores son mayores, ya que cuentan con varias unidades aritméticas que trabajan de manera simultánea para mayor capacidad de operación por minuto. Las memorias de acceso aleatorio están en el orden de los Giga Bytes [3]. La Figura 1-1 muestra el avance en velocidad mencionado.

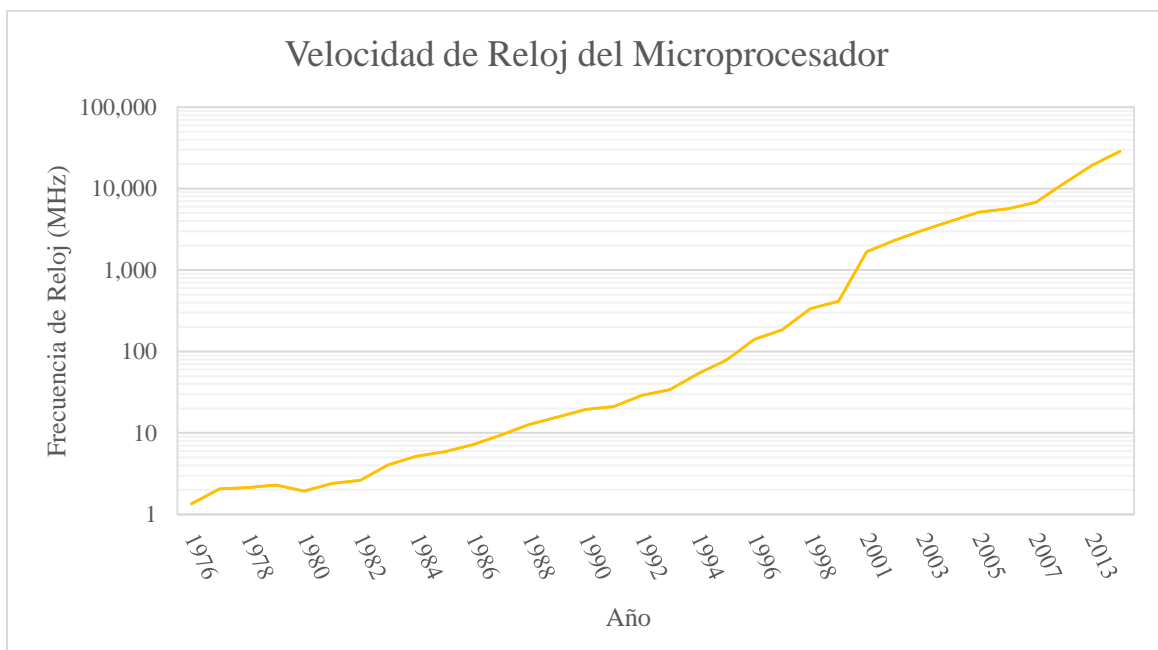


Figura 1-1: Tendencia del incremento de la velocidad de los Microprocesadores [2].

El incremento en la velocidad de operación ha sido necesario para poder mejorar la capacidad de dispositivos electrónicos digitales como las computadoras. Es importante desarrollar las técnicas de diseño de hardware adecuadas para que estos dispositivos operen de manera correcta, tanto internamente en el encapsulado del dispositivo, como externamente en la interconexión entre ellos [1]. En este trabajo, se hace un estudio de la interacción de dos líneas contiguas (“Crosstalk”) con impedancias de 50, 75 y 100 ohms y alturas del dieléctrico de 1.0 y 1.6 mm, así como el modelado en términos de elementos discretos (capacitancias e inductancias mutuas y propias de la línea de transmisión de datos) con el que se puede emular la interacción mencionada como parte del proceso de desarrollo de técnicas de diseño para mejorar la comunicación entre dispositivos en un mismo circuito.

El rápido progreso en el desarrollo de dispositivos digitales de alta velocidad, la demanda de tiempos de transición de información digital cada vez más rápidos, bajos retrasos de tiempo de intercambio de información y alta densidad de componentes electrónicos en áreas de tarjetas de circuitos impresos cada vez más pequeñas, llevan al uso de líneas de interconexión cada vez más delgadas y más juntas entre sí, y con esto, las líneas se vuelven más susceptibles a recibir y generar ruido electromagnético el cual llamamos “Crosstalk” [1]. Como su nombre lo indica, el “Crosstalk” se refiere a la interferencia generada a través de ondas electromagnéticas que se inducen mutuamente los trazos de cobre que transportan señales cambiantes en el tiempo, generalmente en forma de información digital.

Usando simulaciones en ADS [4] se encontrarán lineamientos y mejores prácticas para el diseño de circuitos impresos y con esto mejorar la interconexión de componentes electrónicos digitales de alta velocidad. Que nos permitirá tener un modelo de simulación confiable a través del cual se puedan hacer corridas de prueba con diferentes propuestas de valores de las variables importantes de diseño de tarjetas de circuitos impresos para dispositivos digitales de alta velocidad.

La generación del modelo circuital estará basado en la teoría de líneas de transmisión para dos microcintas acopladas. Logrando desarrollar técnicas alternativas que ayuden a diseñar tarjetas de circuito impreso con buen acople de impedancias para altas frecuencias que minimicen la interferencia electromagnética entre los trazos metálicos de interconexión de componentes. Para voltajes y corrientes en DC (Corriente directa por sus siglas en inglés) la más baja impedancia es lo mejor, ya que se tienen menos pérdidas de voltaje, pero para altas frecuencias, cualquier trazo de cobre, por más baja impedancia que tenga, tendrá un comportamiento resistivo, capacitivo e inductivo, que mermará el nivel de señal que pasa a través de ella. Por lo que es importante hacer el cálculo de la impedancia que tendrá este tramo de cobre a la frecuencia de funcionamiento del sistema para hacer un acople de impedancias adecuado, minimizar las pérdidas de señal y evitar que estas pérdidas de señal sean irradiadas como ruido electromagnético afectando circuitos aledaños.

El mal acople de impedancias y el no minimizar la radiación de ondas electromagnéticas de los trazos de interconexión metálica de cobre o de otros conductores, puede ocasionar en el peor de los casos que el dispositivo no funcione en absoluto ya que la comunicación entre uno o más dispositivos del circuito no puede ser establecida debido a la degradación de los datos, y en uno de los mejores casos, puede ocasionar que el dispositivo consuma más energía y su funcionamiento sea lento, debido a que la interferencia electromagnética ocasiona fallas intermitentes en la comunicación, lo que hace que los protocolos de comunicación detecten estas anomalías en los paquetes de datos recibidos, lo que los lleva a requerir al dispositivo emisor que repita la trama de datos.

El modelado de líneas de transmisión en términos de elementos discretos nos ayuda a visualizar el acople de impedancias con elementos capacitivos e inductivos lo cual nos da un mejor entendimiento de su comportamiento, estos elementos los podemos modificar, ya sea incrementando o decrementando sus valores, y con esto hacer una sintonización fina del acople de impedancia entre dos dispositivos. Dependiendo de la frecuencia de comunicación digital de estas líneas de transmisión, estos nuevos valores requeridos de capacitores e inductores para acoplar mejor la impedancia pueden ser implementados con elementos discretos, con segmentos de líneas de cobre, cambiando el grosor o separación entre las líneas.

2. ESTADO DEL ARTE

2.1. Modelado de componentes pasivos a altas frecuencias:

Con el incremento de las frecuencias de funcionamiento de los dispositivos electrónicos, las longitudes de onda de las señales comienzan a ser comparables con el tamaño de los componentes en el circuito, resistencias, capacitores, inductores, circuitos integrados, trazos de cobre o trazos de otros metales en la tarjeta de circuito impreso. Esto hace que los componentes se comporten de manera distinta a los análisis en corriente directa o bajas frecuencias. La Figura 2-1 muestra un ejemplo de modelado de resistencia:

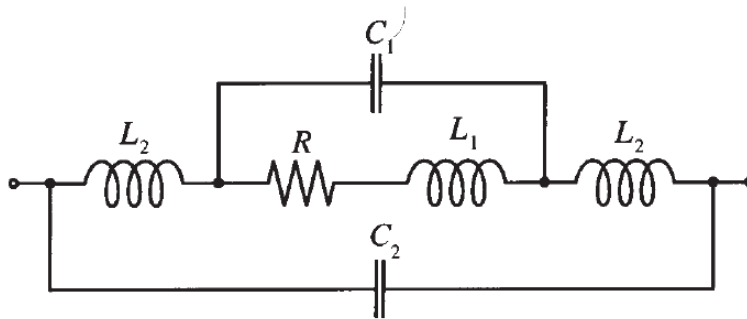


Figura 2-1: Modelo de Resistencia para altas frecuencias [5].

El comportamiento de la resistencia respecto a un barrido en la frecuencia se muestra a continuación en la Figura 2-2:

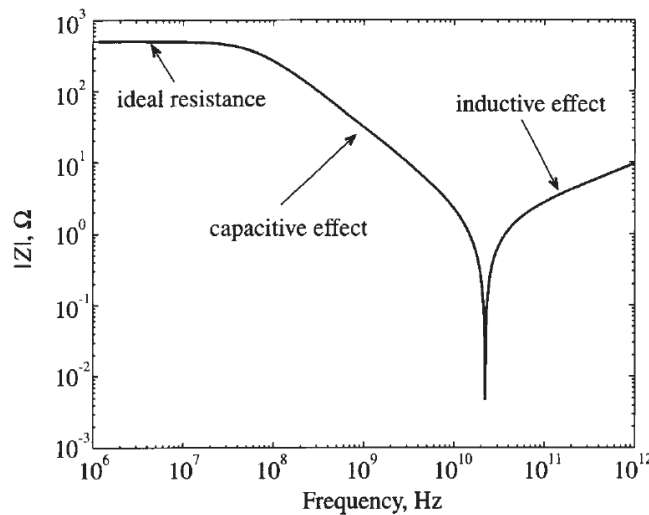


Figura 2-2: Comportamiento de una Resistencia de 500 Ω en un barrido de frecuencia [5]

Podemos ver que, dependiendo de la frecuencia, la resistencia tiene un comportamiento resistivo, capacitivo e inductivo. Los capacitores e inductores, también tiene modelos similares a los mostrados en

la Figura 2-1 que describen sus comportamientos dependiendo de la frecuencia como el mostrado en la Figura 2-2. Estas respuestas en frecuencia deben ser utilizados para modelar resistencias, capacitores e inductancias en circuitos a altas frecuencias al hacer análisis de elementos distribuidos.

2.2. Teoría de líneas de transmisión:

El comportamiento de las líneas de transmisión a altas frecuencias deja de apegarse a las conocidas leyes de Kirchhoff, debido a que las longitudes de onda de las señales utilizadas en los circuitos son comparables con el tamaño de los trazos en la tarjeta de circuito impreso. El análisis se debe de hacer en base a elementos distribuidos, la Figura 2-3 muestra un ejemplo del modelado de parámetros distribuidos de un par de líneas de transmisión:

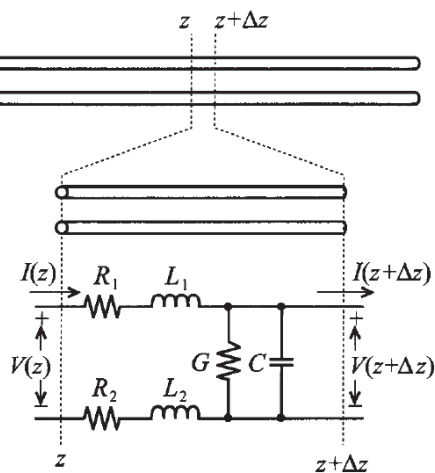


Figura 2-3: Modelado de líneas de transmisión de parámetros distribuidos [5].

El cálculo de estos elementos distribuidos nos arroja información en términos de impedancias por unidad de longitud necesarias para el análisis del comportamiento de tarjetas de circuito impreso en condiciones de señales a altas frecuencias transitando por sus líneas metálicas de interconexión de dispositivos. La teoría de las líneas de transmisión se basa en dividir las líneas de transmisión en segmentos pequeños, entre mayor sea el número de segmentos en que se dividen las líneas de transmisión, más nos acercamos a la representación real del sistema, es decir, si Δz es la longitud de este segmento de línea de transmisión, cuando Δz se hace pequeño y tienda a cero, nos aproximamos más a la representación real del sistema.

Existe la posibilidad de simplificar los cálculos en los modelos de líneas de transmisión si consideramos estos segmentos pequeños como componentes sin pérdidas, es decir, que la resistencia R_1 y R_2 mostrados en la Figura 2-3 los consideramos igual a cero y la conductancia G mostrada en la misma figura como infinito. A este modelo se le conoce como modelo ideal o modelo sin pérdidas.

2.3. Acoplamiento de impedancias:

Para poder transferir al máximo la energía de la señal enviada entre un componente emisor y un receptor y evitar que esta energía sea irradiada como ruido electromagnético, así como lograr que esta comunicación sea, en la medida de los posible, inmune a ruidos electromagnéticos externos, es necesario hacer un adecuado acople de impedancias. Esto se puede lograr a través de elementos discretos para frecuencias de unos pocos GHz y con elementos de parámetros distribuidos para altas frecuencias como las líneas “microcinta” y secciones “stub”. La Figura 2-4 ejemplifica los componentes discretos usados para hacer el acople de impedancias entre un transmisor y una antena:

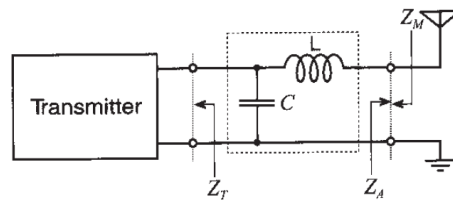


Figura 2-4: Acople de impedancia con elementos discretos de un transmisor y una antena [5].

2.4. Análisis en el dominio de la frecuencia:

La idea de reducir la mayoría de los circuitos pasivos o activos, independientemente de su complejidad y muchas veces no lineales, a simplemente una relación de entradas-salidas tiene muchas ventajas. La mejor de ellas es la de determinar los parámetros de los puertos de entrada y salida sin la necesidad de conocer la estructura interna del sistema. La metodología de “caja negra” es muy atractiva para la ingeniería porque de esa manera se enfoca solamente en el comportamiento general del circuito, más que en el análisis individual de cada componente de este. Esta metodología simplifica grandemente el análisis de circuitos de alta frecuencia, en la que una metodología tradicional tendría un grado de dificultad alto, como lo es encontrar solución a las ecuaciones de Maxwell, con lo que se obtiene más información de la requerida para el diseño de aplicaciones como filtros, resonadores y amplificadores. La Figura 2-5 muestra modelados típicos y sus parámetros asociados de sistemas de uno o más puertos:

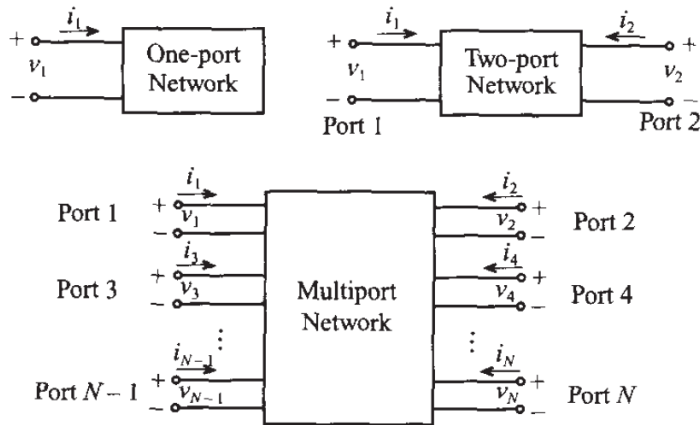


Figura 2-5: Modelos de sistemas de uno o más puertos [5].

Los parámetros de estos sistemas de puertos pueden ser convertidos entre diferentes tipos, facilitando la solución de este, la Tabla 2-1 muestra las conversiones entre diferentes parámetros:

Tabla 2-1: Conversión entre diferentes parámetros [5].

	[Z]	[Y]	[h]	[ABCD]
[Z]	$Z_{11} \quad Z_{12}$ $Z_{21} \quad Z_{22}$	$\frac{Z_{22}}{\Delta Z} \quad \frac{Z_{12}}{\Delta Z}$ $\frac{Z_{21}}{\Delta Z} \quad \frac{Z_{11}}{\Delta Z}$	$\frac{\Delta Z}{Z_{22}} \quad \frac{Z_{12}}{Z_{22}}$ $\frac{Z_{21}}{Z_{22}} \quad \frac{1}{Z_{22}}$	$\frac{Z_{11}}{Z_{21}} \quad \frac{\Delta Z}{Z_{21}}$ $\frac{1}{Z_{21}} \quad \frac{Z_{22}}{Z_{21}}$
[Y]	$\frac{Y_{22}}{\Delta Y} \quad \frac{Y_{12}}{\Delta Y}$ $\frac{Y_{21}}{\Delta Y} \quad \frac{Y_{11}}{\Delta Y}$	$Y_{11} \quad Y_{12}$ $Y_{21} \quad Y_{22}$	$\frac{1}{Y_{11}} \quad \frac{Y_{12}}{Y_{11}}$ $\frac{Y_{21}}{Y_{11}} \quad \frac{\Delta Y}{Y_{11}}$	$\frac{Y_{22}}{Y_{21}} \quad \frac{1}{Y_{21}}$ $\frac{\Delta Y}{Y_{21}} \quad \frac{Y_{11}}{Y_{21}}$
[h]	$\frac{\Delta h}{h_{22}} \quad \frac{h_{12}}{h_{22}}$ $\frac{h_{21}}{h_{22}} \quad \frac{1}{h_{22}}$	$\frac{1}{h_{11}} \quad \frac{h_{12}}{h_{11}}$ $\frac{h_{21}}{h_{11}} \quad \frac{\Delta h}{h_{11}}$	$h_{11} \quad h_{12}$ $h_{21} \quad h_{22}$	$\frac{\Delta h}{h_{21}} \quad \frac{h_{11}}{h_{21}}$ $\frac{h_{22}}{h_{21}} \quad \frac{1}{h_{21}}$
[ABCD]	$\frac{A}{C} \quad \frac{\Delta ABCD}{C}$ $\frac{1}{C} \quad \frac{D}{C}$	$\frac{D}{B} \quad \frac{\Delta ABCD}{B}$ $\frac{1}{B} \quad \frac{A}{B}$	$\frac{B}{D} \quad \frac{\Delta ABCD}{D}$ $\frac{1}{D} \quad \frac{C}{D}$	$A \quad B$ $C \quad D$

Para el caso del análisis en el dominio de la frecuencia, los parámetros que más información proporcionan son los parámetros “S”. Con estos parámetros, en frecuencias altas podemos determinar los niveles de transmisión y reflexión para diferentes condiciones de carga de las interconexiones. La ecuación 2-1 es un ejemplo de conversión entre parámetros “S” y parámetros de impedancia “Z”:

$$[S] = [Z - I]^{-1} [Z + I] \quad (2-1)$$

3. MODELADO CIRCUITAL PARA EL CROSSTALK

3.1. Ecuaciones para elementos concentrados de líneas microcinta acopladas.

Un ejemplo de líneas acopladas microcinta se muestran en la Figura 3-1, la definición de sus dimensiones y parámetros está descrita en esta misma.

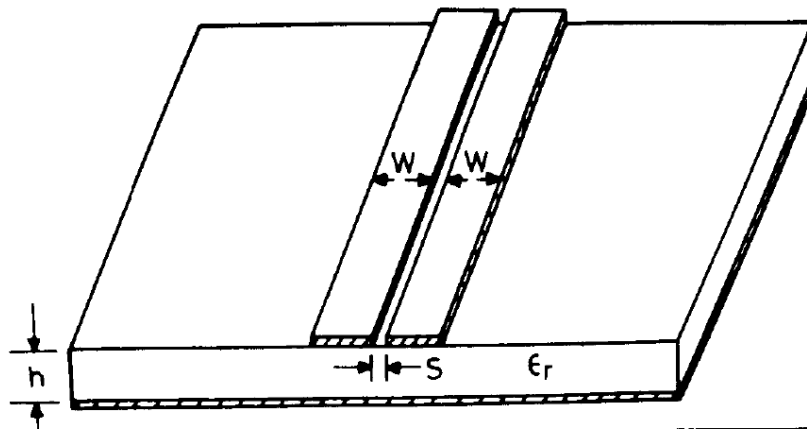


Figura 3-1: Definición de dimensiones y parámetros de líneas microcintas [6].

El “Crosstalk” es el acople de energía de una línea de transmisión de datos a otra adyacente a través de la capacitancia mutua (campo eléctrico) y la inductancia mutua (campo magnético). La Figura 3-2 muestra un dibujo de este efecto despreciando las pérdidas[7]:

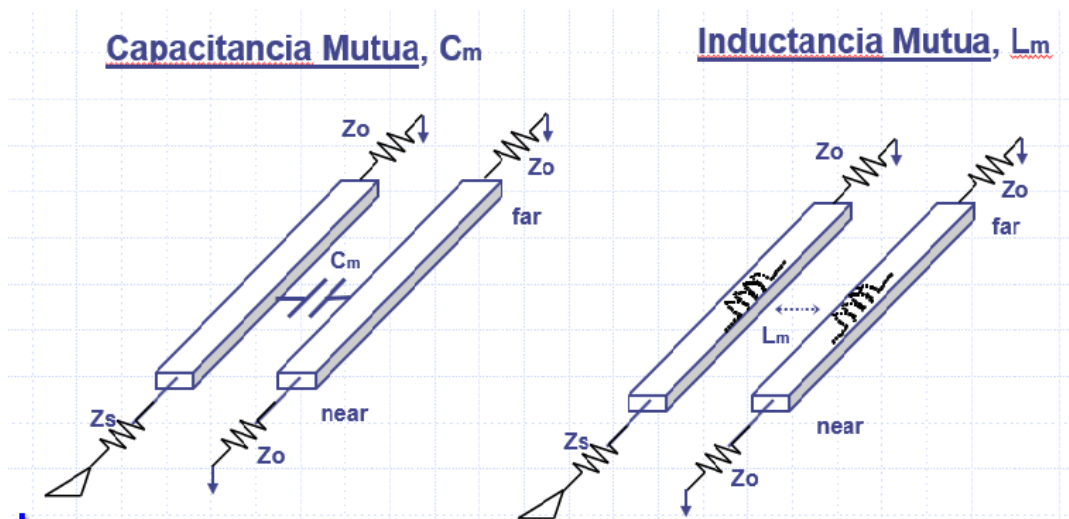


Figura 3-2: Capacitancia e Inductancias mutuas de unas líneas de transmisión [7].

La inductancia mutua inducirá corriente de la línea de transmisión de señal a la otra línea en sentido contrario a la dirección de flujo de corriente de la señal original (Ley de Lenz). La capacitancia mutua inducirá corriente de la línea de transmisión de señal a la otra línea la cual fluirá en ambos sentidos de la línea. La Figura 3-3 es una explicación gráfica del efecto inductivo y capacitivo mencionado [7]:

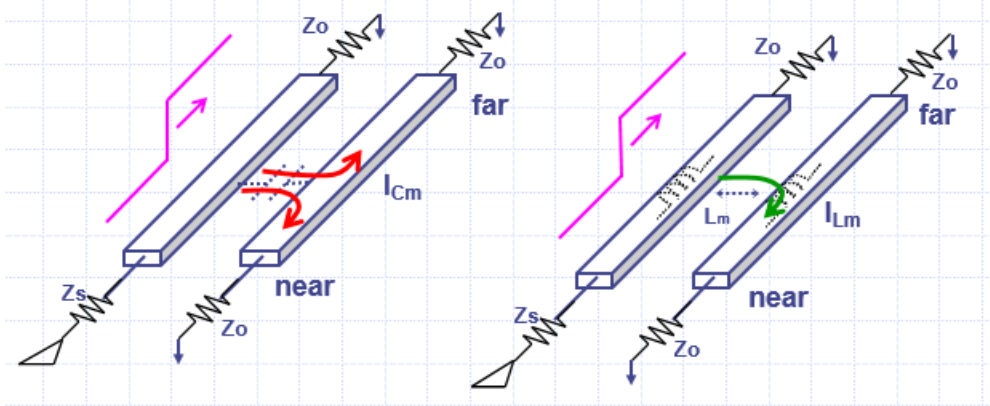


Figura 3-3: Inducción de corrientes y sus efectos de “near end” y “far end” [7].

$$I_{near} = I_{CM} + I_{LM} \quad (3-1)$$

$$I_{far} = I_{CM} - I_{LM} \quad (3-2)$$

El voltaje de “near end” siempre es positivo, ya que las corrientes I_{LM} e I_{CM} se suman en dirección al nodo “near end”. El voltaje de “far end” usualmente es negativo, debido a que la corriente I_{LM} por lo general es mayor que la corriente I_{CM} , pero cabe destacar, que el voltaje de “far end” puede ser positivo. La Figura 3-4 explica el resultado de sumas y restas de corriente en los nodos “near end” y “far end” [7]:

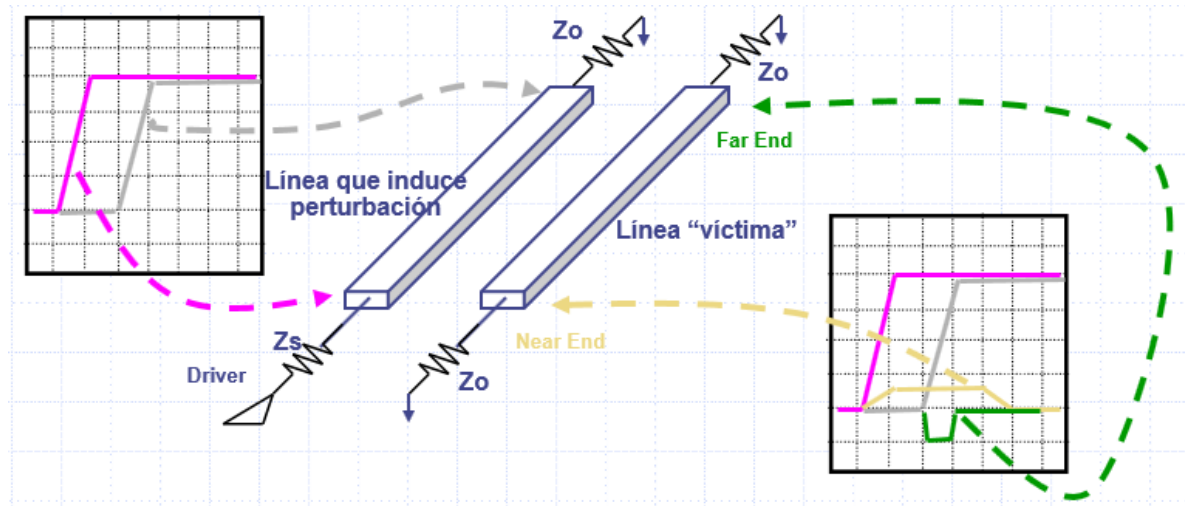


Figura 3-4: Efecto de las corrientes en los nodos “near end” y “far end” [7].

Las ecuaciones para cuantificar los voltajes resultantes en los nodos “near end” y “far end” se presentan a continuación bajo tres casos diferentes; cuando ambas terminales de la línea afectada están conectadas por separado a impedancias Z_0 , cuando el nodo “far end” de la línea afectada no está conectado y el nodo

“near end” está conectado a una impedancia Z_0 , y cuando el nodo “far end” está conectado a una impedancia Z_0 y el nodo “near end” no está conectado:

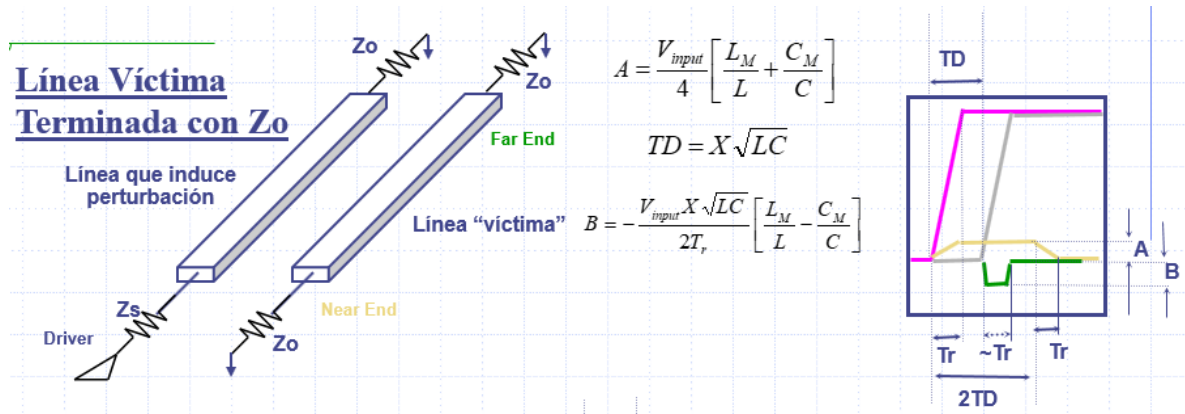


Figura 3-5: Condición de línea víctima con sus terminales acopladas a la impedancia característica [7].

$$A = \frac{V_{input}}{4} \left[\frac{L_M}{L} + \frac{C_M}{C} \right] \quad (3-3)$$

$$TD = X\sqrt{LC} \quad (3-4)$$

$$B = -\frac{V_{input} X\sqrt{LC}}{2T_r} \left[\frac{L_M}{L} - \frac{C_M}{C} \right] \quad (3-5)$$

Donde X es la longitud de la línea, L es la inductancia propia de la línea, C es la capacitancia propia de la línea, L_M es la inductancia mutua de las líneas, C_M es la capacitancia mutua de las líneas, T_r es el tiempo de elevación de la señal de entrada (“rise”) y esta señal de entrada tiene un nivel de voltaje V_{input} . Para el caso que se trata en este estudio, en el cual las dos líneas tienen las mismas dimensiones mecánicas, L y C (inductancia y capacitancia propias de la línea) son las mismas para las dos líneas [7].

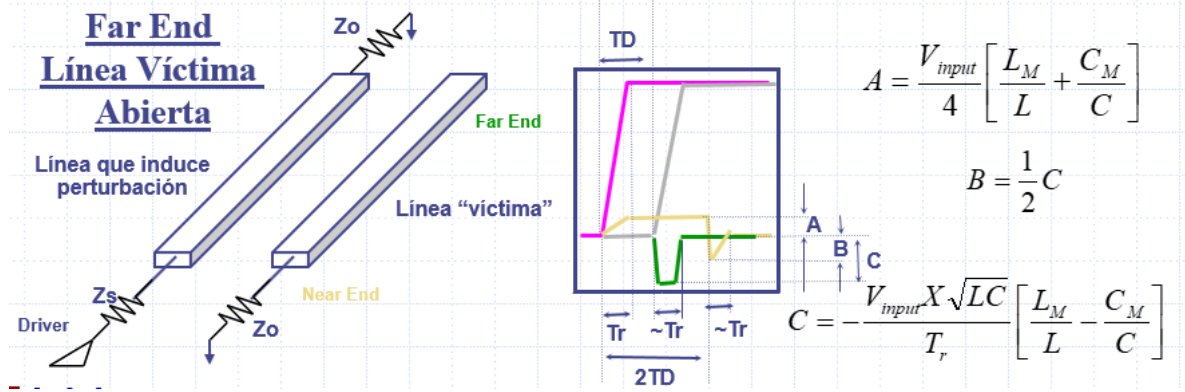


Figura 3-6: Condición de nodo “far end” no conectado [7].

$$A = \frac{V_{input}}{4} \left[\frac{L_M}{L} + \frac{C_M}{C} \right] \quad (3-6)$$

$$B = \frac{1}{2} C \quad (3-7)$$

$$C = -\frac{V_{input} X \sqrt{LC}}{T_r} \left[\frac{L_M}{L} - \frac{C_M}{C} \right] \quad (3-8)$$

Y por último el caso en el que el nodo “near end” no está conectado [7]:

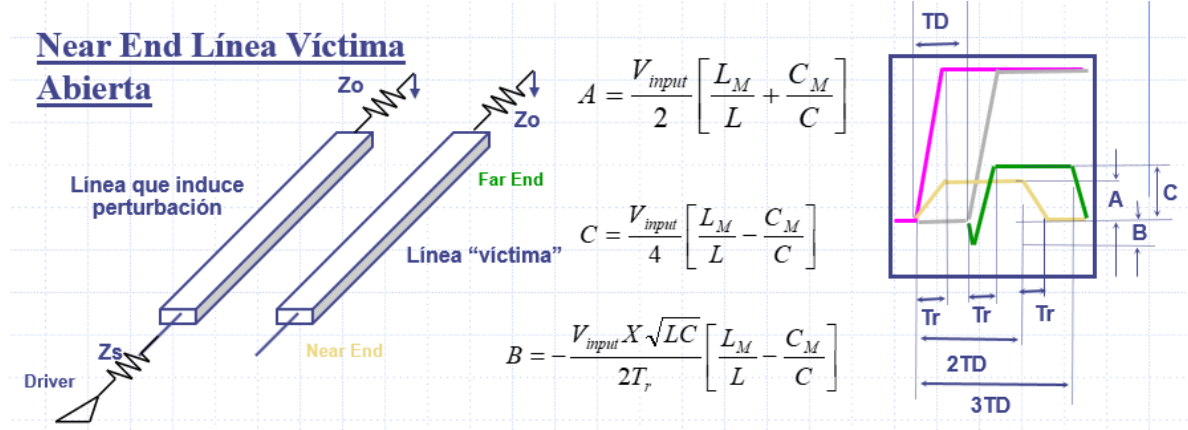


Figura 3-7: Condición de nodo “near end” no conectado [7].

$$A = \frac{V_{input}}{2} \left[\frac{L_M}{L} + \frac{C_M}{C} \right] \quad (3-9)$$

$$C = \frac{V_{input}}{4} \left[\frac{L_M}{L} - \frac{C_M}{C} \right] \quad (3-10)$$

$$B = -\frac{V_{input} X \sqrt{LC}}{2T_r} \left[\frac{L_M}{L} - \frac{C_M}{C} \right] \quad (3-11)$$

Como se puede ver, para poder hacer estos cálculos, requerimos todos los valores de capacitancias e inductancias propias y mutuas del sistema de dos líneas de transmisión de datos que están contiguas. Para líneas acopladas en modo de propagación TEM, los parámetros de acoplamiento son normalmente expresados en términos de la capacitancia par e impar, es necesario calcular los parámetros para el sustrato $C_e(\epsilon_r)$ y $C_o(\epsilon_r)$ y también de la capa de aire de la microcinta, en tal caso estos términos se representan como C_e^a y C_o^a . Estos términos están relacionados con la inductancia y capacitancia mutua y propia con las siguientes ecuaciones [6]:

$$L_o = \frac{\mu_o \epsilon_o}{2} \left\{ \frac{1}{C_o^a} + \frac{1}{C_e^a} \right\} \quad (3-12)$$

$$L_m = \frac{\mu_o \epsilon_o}{2} \left\{ \frac{1}{C_e^a} - \frac{1}{C_o^a} \right\} \quad (3-13)$$

$$C_o = \frac{1}{2} [C_o(\epsilon_r) + C_e(\epsilon_r)] \quad (3-14)$$

$$C_m = \frac{1}{2} [C_o(\epsilon_r) - C_e(\epsilon_r)] \quad (3-15)$$

Donde L_o es la inductancia propia de la línea, L_m es la inductancia mutua debido a la línea de transmisión de datos adyacente, C_o es la capacitancia propia de la línea respecto al plano de tierra y C_m es la capacitancia mutua respecto de la línea de transmisión de datos adyacente.

Para hacer el cálculo de la impedancia resistiva de la línea considerando el grosor de la pista cuyo parámetro se denomina t , se utilizan las siguientes fórmulas [6]:

$$Z_{0m} = \frac{\eta}{2\pi\sqrt{\epsilon_r}} \ln \left\{ \frac{8h}{W_e} + 0.25 \frac{W_e}{h} \right\} \quad \text{para } \left(\frac{W}{h} \leq 1 \right) \quad (3-16)$$

$$\frac{W_e}{h} = \frac{W}{h} + \frac{1.25}{\pi} \frac{t}{h} \left(1 + \ln \frac{4\pi W}{t} \right) \quad \text{para } \left(\frac{W}{h} \leq \frac{1}{2} \pi \right) \quad (3-17)$$

$$\eta = 120\pi\Omega \quad (3-18)$$

Para la permitividad efectiva relativa del medio se tiene la siguiente fórmula [6]:

$$\epsilon_{re} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} F \left(\frac{W}{h} \right) - C \quad (3-19)$$

$$C = \frac{\epsilon_r - 1}{4.6} \frac{\frac{t}{h}}{\sqrt{\frac{W}{h}}} \quad (3-20)$$

$$F \left(\frac{W}{h} \right) = \left(1 + \frac{12h}{W} \right)^{-\frac{1}{2}} + 0.04 \left(1 - \frac{W}{h} \right)^2 \quad \text{para } \left(\frac{W}{h} \leq 1 \right) \quad (3-21)$$

Estos valores serán requeridos en el cálculo de las capacitancias par e impar de las siguientes Secciones. Para este trabajo se considerará solo el caso en el que W/h es menor o igual que 1.

Las siguientes Secciones abordan diferentes maneras de calcular capacitancias par e impar en el sustrato y en la capa de aire de la microcinta, con la finalidad de hacer uso de las ecuaciones descritas al inicio de esta Sección, el propósito final es poder calcular las inductancias mutuas y propias así como las capacitancias mutuas y propias de las líneas microcintas para poder hacer una estimación de la interacción electromagnética o “Crosstalk” que hay entre ellas, esto nos lleva a cuantificar la interferencia de la señal que viaja por un trazo de cobre y que se induce en otro trazo de cobre adyacente.

El primer grupo de ecuaciones para determinar la capacitancia par e impar del sistema se presentan a continuación en el Subcapítulo 3.1.1. que corresponde a las ecuaciones de capacitancia estática. El segundo grupo se presenta en la Sección 3.1.2 que corresponde a las ecuaciones de capacitancia en forma cerrada y el tercer grupo de ecuaciones se muestra en el Capítulo 3.1.3 que corresponde a las ecuaciones de transformación conforme para cálculo de impedancia par e impar.

3.1.1. Ecuaciones de capacitancia estática.

Este método calcula la capacitancia par e impar considerando las condiciones descritas en la Figura 3-8 y Figura 3-9 que se muestran a continuación:

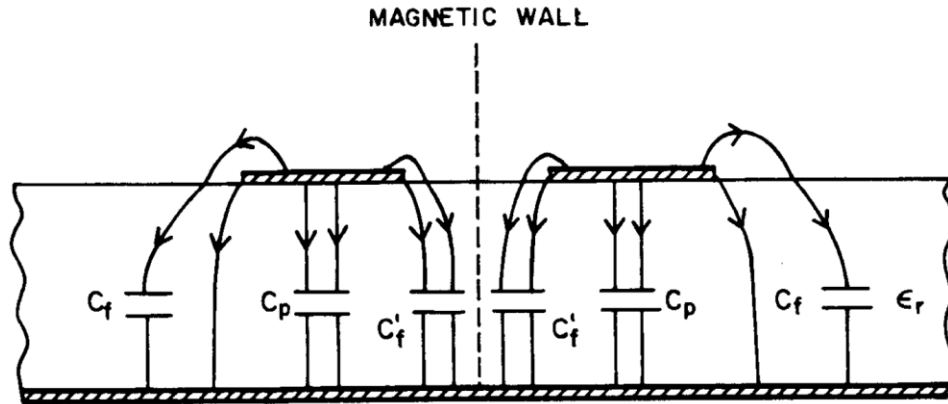


Figura 3-8: Modelo para capacitancia en modo par [6].

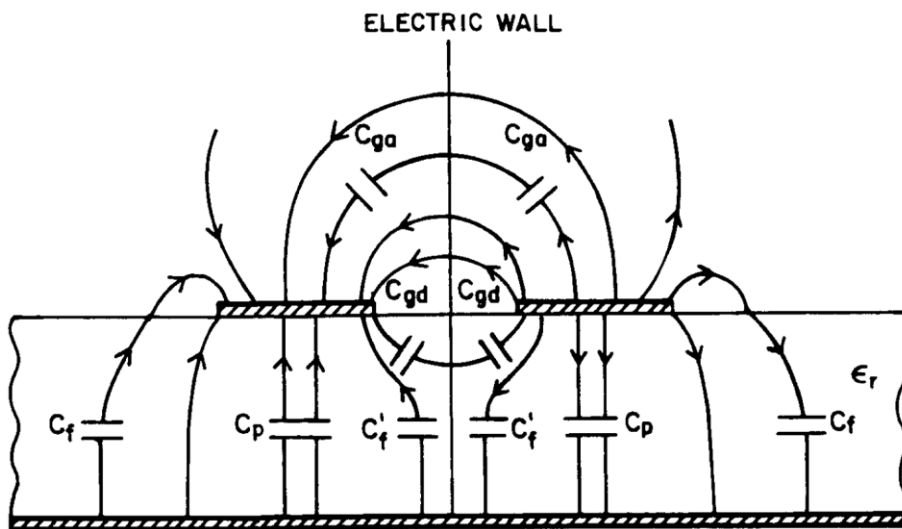


Figura 3-9: Modelo para capacitancia en modo impar [6].

Como se muestra en el dibujo para capacitancia par, la capacitancia del sistema se puede dividir en tres tipos de capacitancia, y se relacionan con la siguiente ecuación [6]:

$$C_e = C_p + C_f + C'_f \quad (3-22)$$

El parámetro C_p se refiere a la capacitancia en paralelo entre la línea de cobre y el plano de tierra. El parámetro C_f se refiere a la capacitancia de franja (fringe) en la parte externa de la línea de cobre, y el parámetro C'_f se refiere a la capacitancia de franja en la parte interna de la línea de cobre, la cual interactúa con la otra línea de cobre. Las ecuaciones para el cálculo de estos parámetros [6] se muestran a continuación:

$$C_p = \frac{\epsilon_0 \epsilon_r W}{h} \quad (3-23)$$

$$2C_f = \frac{\sqrt{\epsilon_{re}}}{cZ_{0m}} - \frac{\epsilon_0 \epsilon_r W}{h} \quad (3-24)$$

$$C_f' = \frac{C_f}{1+A\left(\frac{h}{S}\right) \tanh\left(\frac{10S}{h}\right)} \left(\frac{\epsilon_r}{\epsilon_{re}}\right)^{\frac{1}{4}} \quad (3-25)$$

$$A = e^{\left(-0.1e^{2.33-\frac{1.5W}{h}}\right)} \quad (3-26)$$

Estas ecuaciones tienen un margen de error de aproximadamente un 3% bajo las siguientes condiciones:

$$0.1 \leq W/h \leq 10 \quad 0.1 \leq S/h \leq 5 \quad 1 \leq \epsilon_r \leq 18$$

Para la capacitancia impar se tiene la siguiente ecuación simplificada que la define y el siguiente conjunto de ecuaciones de sus parámetros [6]:

$$C_o = 0.5C_{os} + C_{cps} \quad (3-27)$$

En donde los parámetros C_{os} y C_{cps} están definidos como [6]:

$$C_{cps} = \epsilon_0 \frac{K(k')}{K(k)} \quad k = \frac{S}{S+2W} \quad k'^2 = 1 - k^2 \quad (3-28)$$

$$C_{os} = 4\epsilon_0 \epsilon_r \frac{K(k_o)}{K(k_o')} \quad (3-29)$$

Donde el modulo k_o y k es una función elíptica y su complemento, la definición de k_o es de la siguiente manera [6]:

$$k_o = \tanh\left(\frac{\pi W}{4h}\right) \coth\left[\frac{\pi}{4}\left(\frac{W+S}{h}\right)\right] \quad k_o'^2 = 1 - k_o^2 \quad (3-30)$$

La función $K(k)$ es la integral de la función elíptica de primer tipo para todos los elementos de M , y está definida de la siguiente manera [6]:

$$K(k) = \int_0^{\frac{\pi}{2}} \frac{d\theta}{\sqrt{1-M \sin^2 \theta}} \quad (3-31)$$

$$M = k^2 \quad (3-32)$$

Para el cálculo de las inductancias, se utilizan las mismas formulas descritas anteriormente, pero considerando $\epsilon_r = \epsilon_{ro} = 1$. A continuación, se repiten las ecuaciones descritas previamente en este Capítulo, en las cuales se hace la sustitución de $\epsilon_r = \epsilon_{ro}$. Primero las ecuaciones de impedancia y permitividad efectiva [6]:

$$Z_{0mvacum} = \frac{\eta}{2\pi\sqrt{\epsilon_{ro}}} \ln\left\{\frac{8h}{W_e} + 0.25\frac{W_e}{h}\right\} \quad para \left(\frac{W}{h} \leq 1\right) \quad (3-33)$$

$$\epsilon_{revacum} = \frac{\epsilon_{ro}+1}{2} + \frac{\epsilon_{ro}-1}{2} F\left(\frac{W}{h}\right) - C_{vacum} \quad (3-34)$$

$$C_{vacum} = \frac{\epsilon_{ro}-1}{4.6} \frac{\frac{t}{h}}{\sqrt{\frac{W}{h}}} \quad (3-35)$$

Ahora para la capacitancia par:

$$C_{pvacum} = \frac{\epsilon_0 \epsilon_{ro} W}{h} \quad (3-36)$$

$$2C_{fvacum} = \frac{\sqrt{\epsilon_{revacum}}}{cZ_{0mvacum}} - \frac{\epsilon_0 \epsilon_{ro} W}{h} \quad (3-37)$$

$$C'_{fvacum} = \frac{C_{fvacum}}{1+A\left(\frac{h}{S}\right)\tanh\left(\frac{10S}{h}\right)} \left(\frac{\epsilon_{ro}}{\epsilon_{revacum}}\right)^{\frac{1}{4}} \quad (3-38)$$

$$C_e^a = C_{pvacum} + C_{fvacum} + C'_{fvacum} \quad (3-39)$$

Y para la capacitancia impar en el vacío, las ecuaciones que hay que modificar son como sigue [6]:

$$C_{osvacum} = 4\epsilon_0 \epsilon_{ro} \frac{K(k_o)}{K(k'_o)} \quad (3-40)$$

$$C_o^a = 0.5C_{osvacum} + C_{cps} \quad (3-41)$$

3.1.2. Ecuaciones de capacitancia de forma cerrada.

Las ecuaciones de impedancia y permitividad efectiva son las mismas que ya fueron expuestas al inicio de este Capítulo. Las ecuaciones de forma cerrada calculan la capacitancia par e impar tanto en el vacío como en un medio diferente al vacío a través de las siguientes formulas [6]:

$$C_{e,o} = \frac{1}{c} \frac{\sqrt{\epsilon_{re}^{e,o}(0)}}{Z_{0(e,o)}} \quad (3-42)$$

$$C_{e,o}^a = \frac{1}{c} \frac{1}{Z_{0(e,o)} \sqrt{\epsilon_{re}^{e,o}(0)}} \quad (3-43)$$

Los parámetros de permitividad relativa par e impar se calculan a través de las siguientes formulas [6]:

$$\epsilon_{re}^e(0) = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \left(1 + \frac{10}{v}\right)^{-a_e b_e} \quad (3-44)$$

$$v = \frac{u(20+g^2)}{10+g^2} + g e^{-g} \quad (3-45)$$

$$a_e = 1 + \frac{1}{49} \ln \left[\frac{v^4 + \left(\frac{v}{52}\right)^2}{v^4 + 0.432} \right] + \frac{1}{18.7} \ln \left[1 + \left(\frac{v}{18.1}\right)^3 \right] \quad (3-46)$$

$$b_e = 0.564 \left(\frac{\epsilon_r - 0.9}{\epsilon_r + 3}\right)^{0.053} \quad (3-47)$$

El error en ϵ_{re}^e esta dentro del 0.7% en el rango de los siguientes parámetros:

$$0.1 \leq u (= W/h) \leq 10 \quad 0.1 \leq g (= S/h) \leq 10 \quad 1 \leq \epsilon_r \leq 18$$

De esta definición notamos que [6]:

$$u = W/h \quad y \quad g = S/h \quad (3-48)$$

Ecuación para calcular la permitividad relativa efectiva impar [6]:

$$\epsilon_{re}^o(0) = \epsilon_{re}(0) + \{0.5(\epsilon_r + 1) - \epsilon_{re}(0) + a_o\}e^{-c_o(g^{d_o})} \quad (3-49)$$

$$a_o = 0.7287(\epsilon_{re}(0) - 0.5(\epsilon_r + 1))(1 - e^{-0.179u}) \quad (3-50)$$

$$b_o = \frac{0.747\epsilon_r}{0.15 + \epsilon_r} \quad (3-51)$$

$$c_o = b_o - (b_o - 0.207)e^{-0.414u} \quad (3-52)$$

$$d_o = 0.593 + 0.694e^{0.562u} \quad (3-53)$$

La fórmula para la impedancia característica par es como sigue [6]:

$$Z_{0e} = Z_0 \frac{\sqrt{\frac{\epsilon_{re}(0)}{\epsilon_{re}^e(0)}}}{1 - Q_4 \sqrt{\frac{\epsilon_{re}(0)}{\epsilon_{re}^e(0)}} \frac{Z_0}{377}} \quad (3-54)$$

$$Q_1 = 0.8695u^{0.194} \quad (3-55)$$

$$Q_2 = 1 + 0.7519g + 0.189g^{2.31} \quad (3-56)$$

$$Q_3 = 0.1975 + \left[16.6 + \left(\frac{8.4}{g}\right)^6\right]^{-0.387} + \frac{1}{241} \ln \left[\frac{g^{10}}{1 + (g/3.4)^{10}} \right] \quad (3-57)$$

$$Q_4 = \frac{2Q_1}{Q_2} \cdot \frac{1}{u^{Q_3} e^{-g} + (2 - e^{-g})u^{-Q_3}} \quad (3-58)$$

Ecuación para impedancia efectiva impar [6]:

$$Z_{0o} = Z_0 \frac{\sqrt{\frac{\epsilon_{re}(0)}{\epsilon_{re}^o(0)}}}{1 - Q_{10} \sqrt{\frac{\epsilon_{re}(0)}{\epsilon_{re}^o(0)}} \frac{Z_0}{377}} \quad (3-59)$$

$$Q_5 = 1.794 + 1.14 \ln \left[1 + \frac{0.638}{g + 0.517g^{2.43}} \right] \quad (3-60)$$

$$Q_6 = 0.2305 + \frac{1}{281.3} \ln \left[\frac{g^{10}}{1 + (g/5.8)^{10}} \right] + \frac{1}{5.1} \ln(1 + 0.598g^{1.154}) \quad (3-61)$$

$$Q_7 = \frac{10 + 190g^2}{1 + 82.3g^3} \quad (3-62)$$

$$Q_8 = e^{-\left[6.5 + 0.95 \ln(g) + \left(\frac{g}{0.15}\right)^5\right]} \quad (3-63)$$

$$Q_9 = \ln(Q_7) \left(Q_8 + \frac{1}{16.5} \right) \quad (3-64)$$

$$Q_{10} = Q_4 - \frac{Q_5}{Q_2} e^{\left[\frac{Q_6 \ln(u)}{u Q_9} \right]} \quad (3-65)$$

3.1.3. Ecuaciones de transformación conforme para cálculo de impedancia par e impar.

Para el caso especial en el que la microcinta está dentro de una caja con una altura $H=2h$ y una $L = \infty$, la impedancia par e impar se puede calcular con las ecuaciones descritas a continuación [6]:

$$Z_{0o} = \frac{30\pi}{\sqrt{\frac{\epsilon_r+1}{2}}} \frac{K(k'_o)}{K(k_o)} \quad (3-66)$$

$$Z_{0e} = \frac{30\pi}{\sqrt{\frac{\epsilon_r+1}{2}}} \frac{K(k'_e)}{K(k_e)} \quad (3-67)$$

Como ya se había explicado en el Subcapítulo 3.1.1, las funciones elípticas $K(k_e)$, $K(k'_e)$, $K(k_o)$ y $K(k'_o)$, se calculan con las siguientes ecuaciones. Para el parámetro $k_{e,o}$ y su complemento [6]:

$$k_e = \tanh\left(\frac{\pi W}{4h}\right) \tanh\left[\frac{\pi}{4}\left(\frac{W+S}{h}\right)\right] \quad k_e'^2 = 1 - k_e^2 \quad (3-68)$$

$$k_o = \tanh\left(\frac{\pi W}{4h}\right) \coth\left[\frac{\pi}{4}\left(\frac{W+S}{h}\right)\right] \quad k_o'^2 = 1 - k_o^2 \quad (3-69)$$

La función $K(k_{e,o})$ es la integral de la función elíptica de primer tipo para todos los elementos de M, y está definida por las ecuaciones ya mencionadas en la Sección 3.1.1 [6] en las ecuaciones 3-31 y 3-32.

Con el cálculo de estos parámetros y haciendo uso de las fórmulas ya descritas de la permitividad par e impar, podemos determinar nuevamente las capacitancias par e impar en el vacío y en un medio diferente al vacío como se explicó en la Sección 3.1.2.

4. RESULTADO DE CÁLCULOS Y SIMULACIONES

4.1. Cálculo de las capacitancias e inductancias mutuas y propias.

Después de evaluar los tres métodos de cálculo descritos en el Capítulo 3 a través de comparar los resultados para diferentes dimensiones de la línea microcinta contra simulaciones realizadas con el simulador ADS [4], y teniendo resultados que convergían a números muy cercanos entre sí de acuerdo a las dimensiones de las líneas microcintas seleccionadas, se concluyó en utilizar el método de capacitancia de forma cerrada descrita en la Sección 3.1.2. En el Apéndice A se muestran las comparaciones de los resultados de estos cálculos para PCB de 1.0mm y 1.6mm.

La implementación se hizo en Matlab para los tres sets de ecuaciones para propósitos de evaluación, en el Apéndice B se puede consultar el script utilizado finalmente en este trabajo.

El proceso para hacer el cálculo es primero definir si la relación W/h es menor o igual a uno. Esto impacta en las ecuaciones que se deben utilizar para la permitividad relativa efectiva y la impedancia del sistema, y que son valores que se requieren para hacer el cálculo de permitividad relativa efectiva e impedancia par e impar. El siguiente paso es hacer los cálculos de permitividad relativa par e impar, así como de la impedancia par e impar. Con estos cuatro valores podemos hacer los cálculos de las capacitancias par e impar en un medio distinto del vacío, valores requeridos para calcular la capacitancia propia y mutua del sistema. Posteriormente con los mismos cuatro parámetros previos se hacen los cálculos de las capacitancias par e impar para el vacío, valores requeridos para hacer el cálculo de la inductancia propia y mutua del sistema. Hacer referencia a las ecuaciones 3-42 a 3-65 de la Sección 3.1.2.

Cabe hacer mención, que los resultados que arrojan estos cálculos son en unidades de capacitancia y de inductancia por unidad de longitud, en este caso, por centímetros. Para poder utilizar estos resultados en el modelaje de las líneas microcinta en función de elementos capacitivos e inductivos, es necesario considerar la longitud de la línea que se está modelando y el número de celdas en las que se quiere dividir la línea microcinta, mientras más grande sea el número de celdas en las que se divide el segmento de línea, el Δz es más pequeño, como se explicó en la Sección 2.2 y con esto será mayor la precisión del modelo implementado. El código en Matlab de estas consideraciones está incluido en el Apéndice B junto con los cálculos recién descritos de capacitancia e inductancia mutuas y propias del sistema.

Una corrida de prueba para una línea microcinta de 75 ohms, una longitud de 20 cm y una división en 100 celdas se muestra a continuación:

Para una línea microcinta que requiere 75 ohms de impedancia @ 1 GHz, estas son las dimensiones requeridas:

Ancho de la línea $W = 1308.39$ micrómetros

Separación de las líneas $S = 1010.17$ micrómetros

Altura del dieléctrico $h = 1.6$ milímetros

Altura de la línea $t = 18$ micrómetros

Magnitud de las Capacitancias e Inductancias de modelado por unidad de longitud:

$$C_o = 0.78231 \text{ pF/cm}$$

$$C_m = 0.13467 \text{ pF/cm}$$

$$L_o = 4.4739 \text{ nH/cm}$$

$$L_m = 1.1269 \text{ nH/cm}$$

Para una línea microcinta de longitud $X = 20$ cm, y dividido en 100 porciones iguales, estos son los valores de Capacitancia e Inductancia por celda:

$$C_o \text{ por celda} = 0.15646 \text{ pF}$$

$$C_m \text{ por celda} = 0.026935 \text{ pF}$$

$$L_o \text{ por celda} = 0.89479 \text{ nH}$$

$$L_m \text{ por celda} = 0.22538 \text{ nH}$$

$$\text{Factor de inducción mutuo } K = 0.25188$$

Estos son los valores que hay que tomar para hacer un modelaje con elementos discretos de la línea microcinta. En la Sección 4.3.1 se puede observar una imagen de ejemplo de la implementación de estas celdas.

4.2. Cálculo de dimensiones según la impedancia requerida.

Para el cálculo de dimensiones según la impedancia requerida existen varias herramientas en internet, para este trabajo se utilizó la herramienta LineCalc [4] la cual está incluida en el simulador ADS [4], la Figura 4-1 muestra una imagen de la interfaz de esta herramienta:

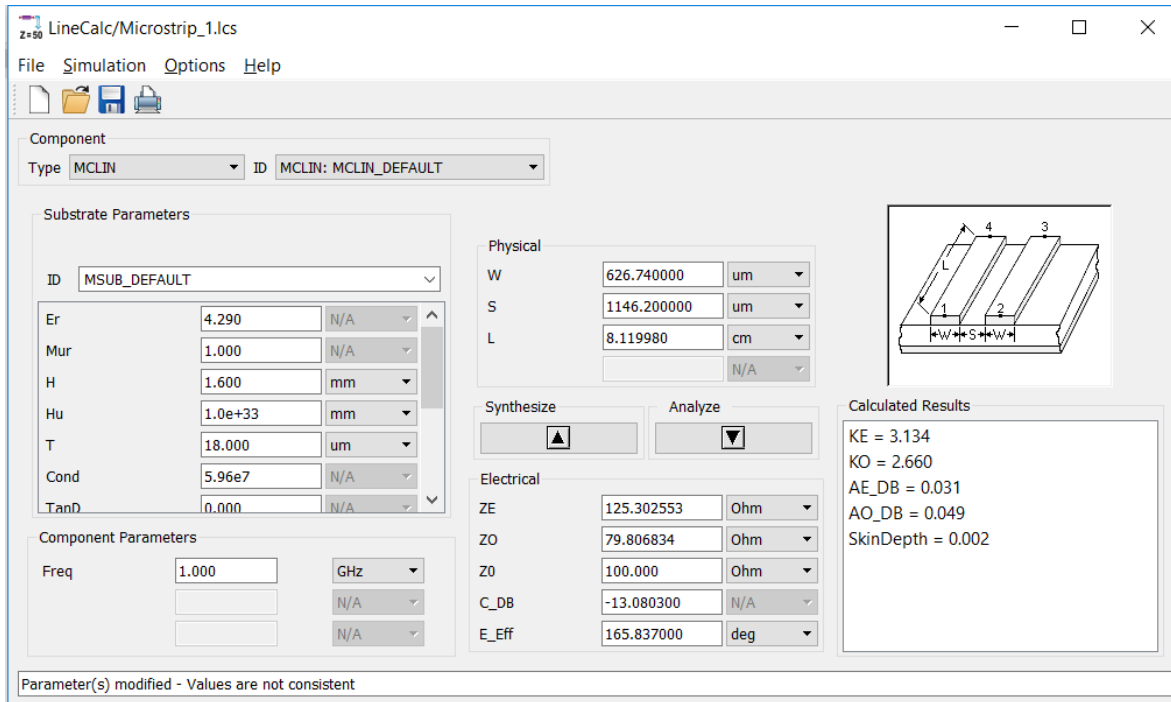


Figura 4-1: Interfaz de herramienta LineCalc [4].

Esta herramienta requiere que se le introduzcan parámetros del sustrato utilizado, frecuencia de funcionamiento de sistema, impedancia requerida y con esto se corre una sintetización para obtener las dimensiones W (ancho del trazo), S (separación entre los trazos) y L (Longitud del trazo). Las impedancias y alturas del dieléctrico escogidos para este trabajo son de 50, 75 y 100 ohms y alturas de 1.0 y 1.6mm. Estas dimensiones e impedancias fueron elegidas ya que son de uso muy común en la fabricación de PCB y por diversos protocolos de comunicación, con esto hacemos una comparación de respuesta de “Crosstalk” para diferentes relaciones de W (ancho de pista) y h (alto del sustrato del PCB). Los resultados para impedancias de 50, 75 y 100 ohms para sustratos de 1.0 y 1.6 mm se muestran en la Tabla 4-2 y la Tabla 4-3 a continuación, las dimensiones W , h , S y t están en metros:

Tabla 4-2: Dimensiones para PCB de 1.0mm.

Impedancia 50 ohms	Impedancia 75.0 ohms	Impedancia 100 ohms
$W = 1756.48e-6$	$W = 807.82e-6$	$W = 381.209e-6$
$h = 1.0e-3$	$h = 1.0e-3$	$h = 1.0e-3$
$S = 444.623e-6$	$S = 643.052e-6$	$S = 733.671e-6$
$t = 18e-6$	$t = 18e-6$	$t = 18e-6$
$Er = 4.29$	$Er = 4.29$	$Er = 4.29$

Tabla 4-3: Dimensiones para PCB de 1.6mm.

Impedancia 50 ohms	Impedancia 75 ohms	Impedancia 100 ohms
$W = 2824.75e-6$	$W = 1308.39e-6$	$W = 626.74e-6$
$h = 1.6e-3$	$h = 1.6e-3$	$h = 1.6e-3$
$S = 698.027e-6$	$S = 1010.17e-6$	$S = 1146.2e-6$
$t = 18e-6$	$t = 18e-6$	$t = 18e-6$
$Er = 4.29$	$Er = 4.29$	$Er = 4.29$

Para impedancias altas, los anchos de pistas son menores, para impedancias bajas, los anchos de pista son mayores. Esto puede ser observado en la Tabla 4-1 y Tabla 4-2 recién presentadas y también a continuación en los dibujos de PCB de las impedancias propuestos de la Figura 4-2 a la Figura 4-7:

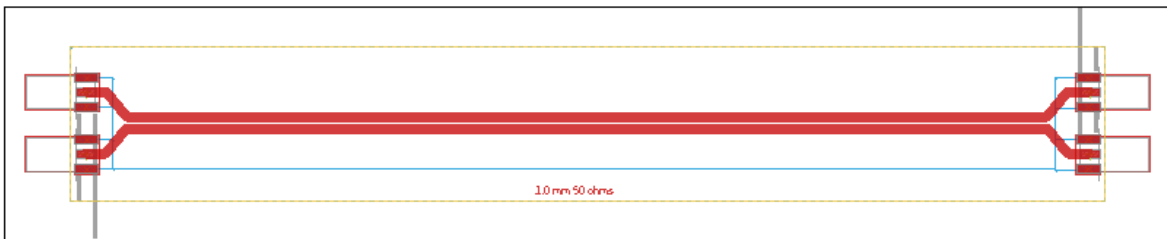


Figura 4-2: PCB 50 ohms a 1.0 mm de altura.

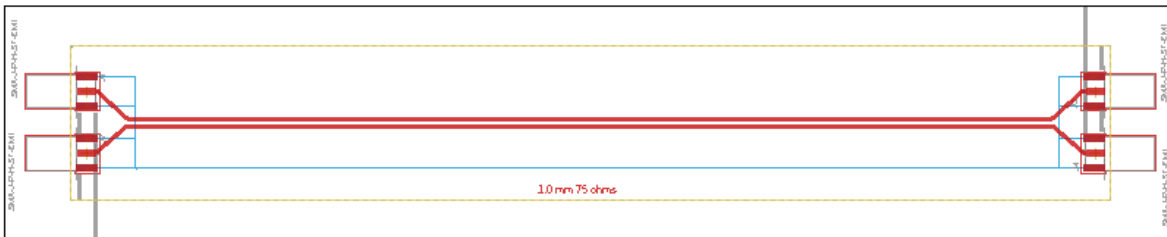


Figura 4-3: PCB 75 ohms a 1.0 mm de altura.

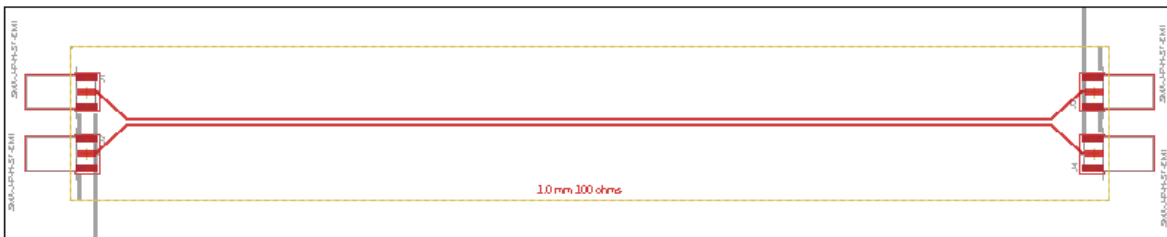


Figura 4-4: PCB 100 ohms a 1.0 mm de altura.

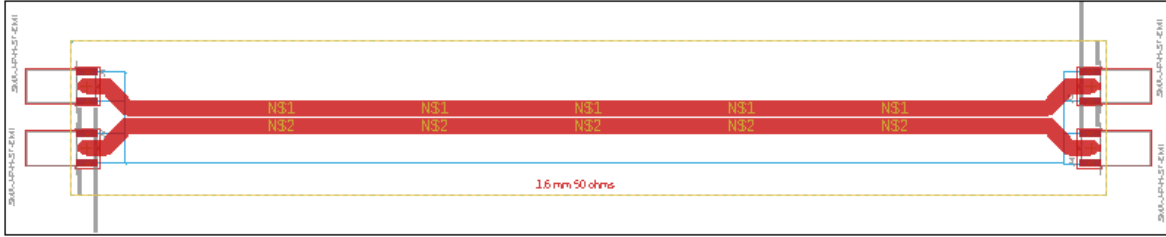


Figura 4-5: PCB 50 ohms a 1.6 mm de altura.

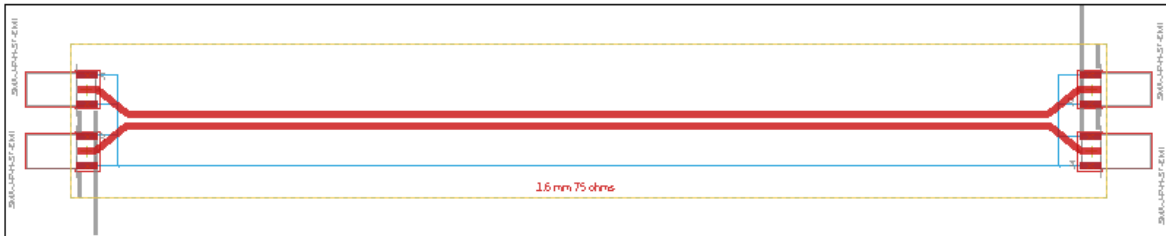


Figura 4-6: PCB 75 ohms a 1.6 mm de altura.

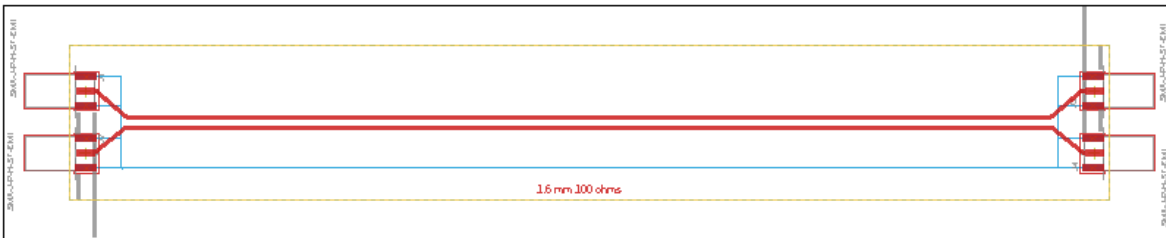


Figura 4-7: PCB 100 ohms a 1.6 mm de altura.

4.3. Simulaciones en ADS [4].

Para este trabajo se optó por utilizar tres modelos de circuitos para hacer la simulación, el primero es el modelo con elementos discretos que consiste en las celdas constituidas por capacitores e inductores tanto propios de la línea como mutuos entre líneas o entre línea y tierra con los que modelamos la interacción de “near end” y “far end” de líneas de transmisión de datos, estos elementos discretos fueron tomados de las librerías del ADS. Para hacer una comparación de los resultados de las simulaciones de los circuitos con elementos discretos utilizamos simulaciones con modelos ADS circuitales que fueron tomados de las librerías del ADS y modelos ADS de layout.

El modelo ADS circuitual y de layout utilizados, son modelos que no incluyen las pérdidas en el circuito, es decir, que las resistencias de los trazos es cero y la conductancia entre las dos líneas de transmisión es infinita. Este tipo de modelos se les conoce como modelos ideales. Son útiles porque la desviación de su respuesta comparándolos con un modelo completo no es mucha y la complejidad para calcular su respuesta en frecuencia es menor que la de un circuito completo.

Los resultados de simulaciones en el tiempo y en la frecuencia se muestran en las Secciones 4.3.1 y 4.3.2.

4.3.1. Simulación en el dominio del tiempo.

Los análisis de simulación en el tiempo nos dan información que en muchas ocasiones nos ayuda a entender de manera gráfica más clara, que es lo que está sucediendo en el circuito de manera conceptual, pero al mismo tiempo, los cálculos y/o cuantificaciones en el dominio del tiempo, son más complejos y difíciles de interpretar. Como un ejemplo de estas simulaciones a continuación se presenta la simulación en ADS [4] del modelo ADS circuital contra el modelo de elementos discretos determinado a través del cálculo de las capacitancias e inductancias que caracterizan a la línea microcinta con una división de 100 celdas y 20cm de longitud. La simulación se realizó para una línea microcinta de 50Ω y una altura de dieléctrico de 1.6mm. Las características del pulso de prueba, así como el modelo ADS circuital se muestran en la Figura 4-8.

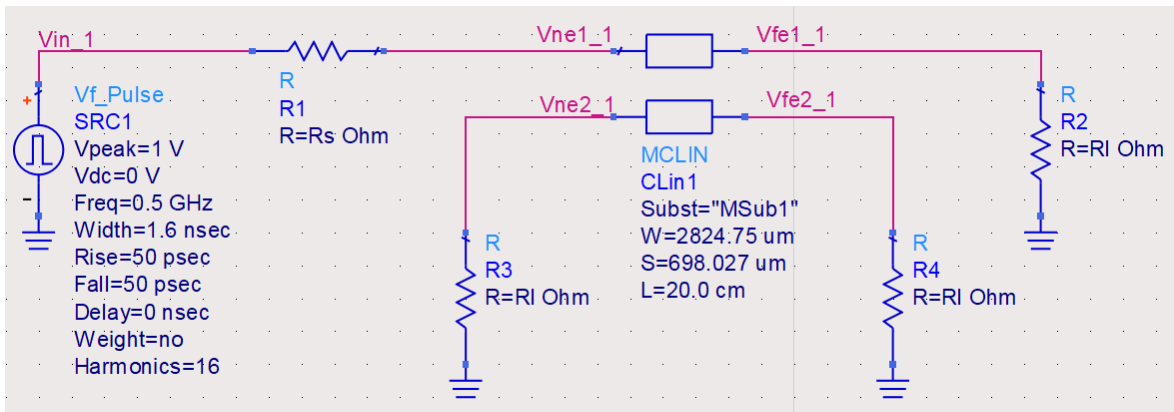


Figura 4-8: Modelo ADS circuital para simulación en el dominio del tiempo.

En la Figura 4-9 se muestran algunas celdas del modelo de elementos discretos de 100 celdas y las características del pulso de prueba, el cual es el mismo que el del modelo ADS circuital mostrado en la Figura 4-8.

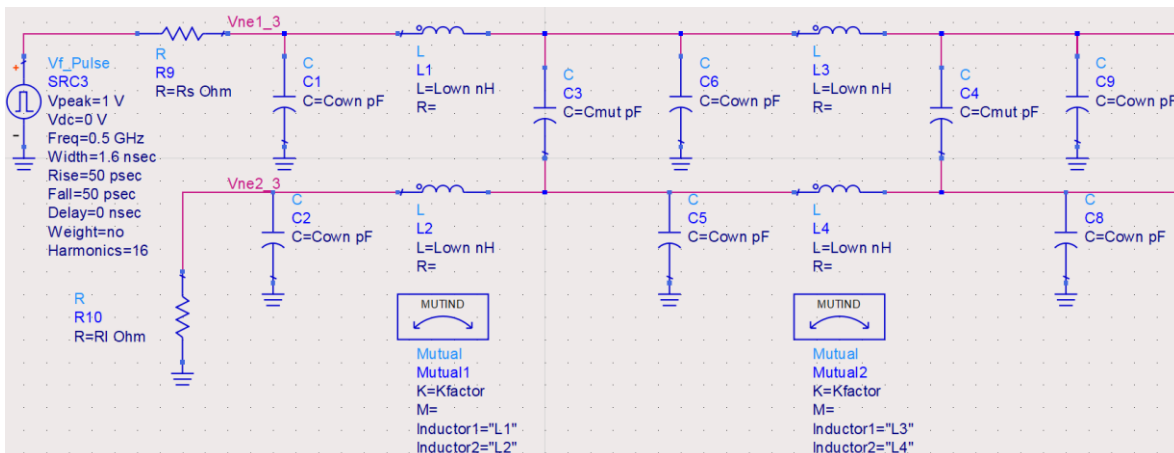


Figura 4-9: Modelo de elementos discretos propuesto de 100 celdas para simulación en el dominio del tiempo.

En la Figura 4-10 se muestra la simulación en el tiempo del modelo ADS circuital y en la Figura 4-11 se muestra la simulación en el tiempo del modelo de elementos discretos propuesto utilizando el programa ADS [4]:

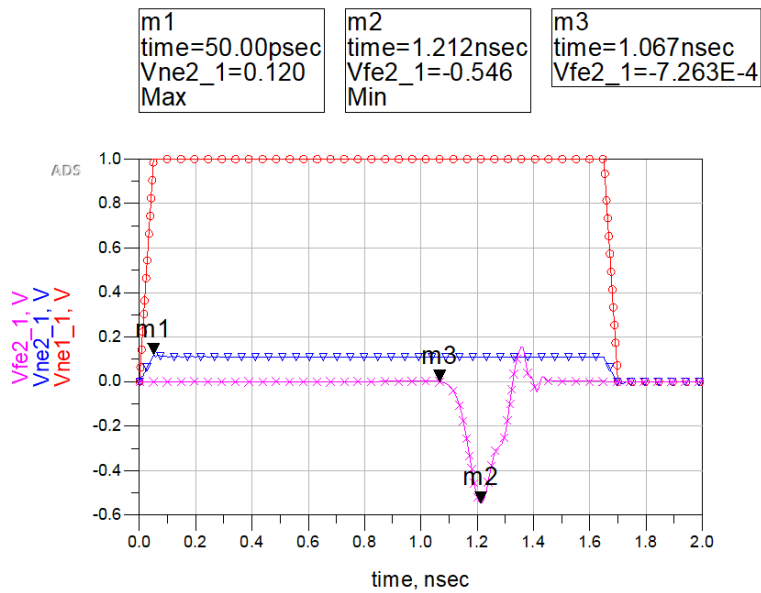


Figura 4-10: Respuesta del modelo ADS en el dominio del tiempo. El pulso de entrada está representado por el trazo en círculos, la respuesta “near end” con triángulos y la respuesta “far end” con cruces.

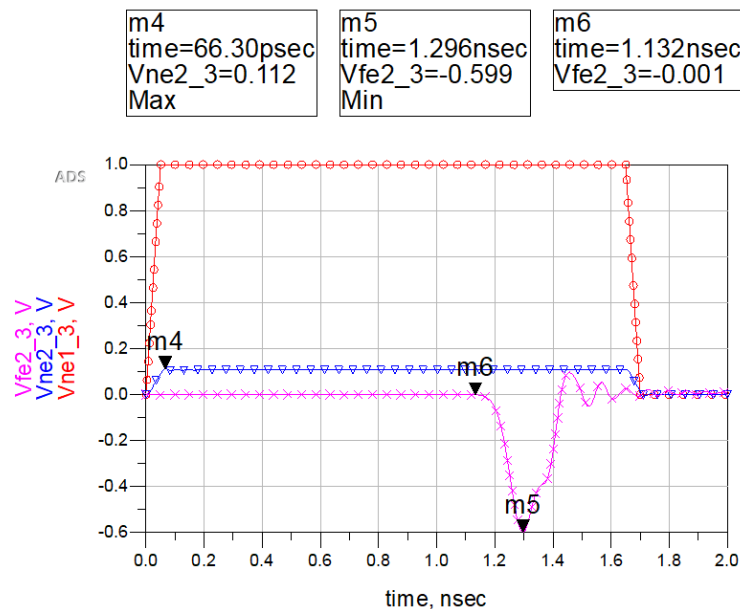


Figura 4-11: Respuesta del modelo de elementos discretos en el dominio del tiempo. El pulso de entrada está representado por el trazo en círculos, la respuesta “near end” con triángulos y la respuesta “far end” con cruces.

Se puede observar la similitud de ambas respuestas y la similitud con la información presentada en el marco conceptual en la Sección 3.1, en la Figura 3-5 se explicó el fenómeno del “Crosstalk” en el dominio del tiempo para una línea victima terminada a Z_0 en cada extremo del mismo.

4.3.2. Simulación en el dominio de la frecuencia.

Como se explicó en la Sección 2.4, el análisis de señales en el dominio de la frecuencia y utilizando los parámetros S nos permite tener una visión más clara de la respuesta del modelo ADS circuital, así como de los modelos con elementos discretos propuestos. A continuación, en la Figura 4-12 y la Figura 4-13, se muestran los esquemáticos de simulación tanto del modelo ADS circuital como el de celdas construidas con los capacitores e inductores calculados:

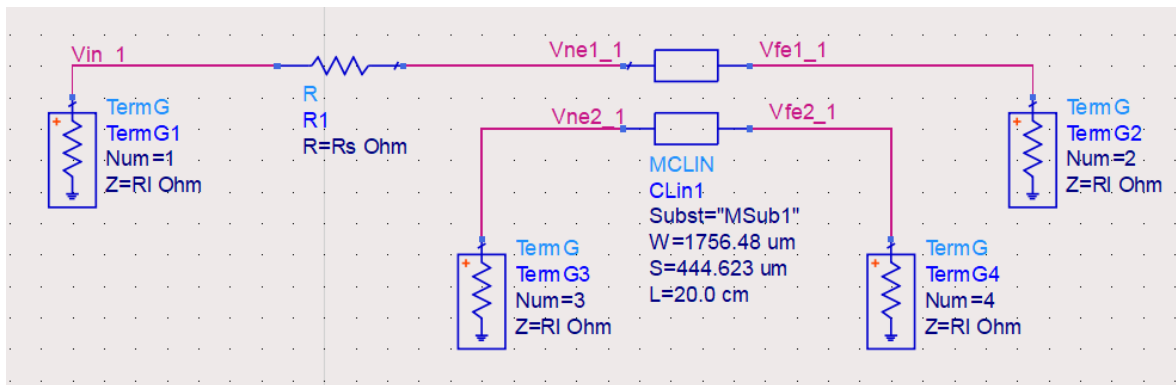


Figura 4-12: Modelo ADS circuital para simulación de una línea microcinta en el dominio de la frecuencia.

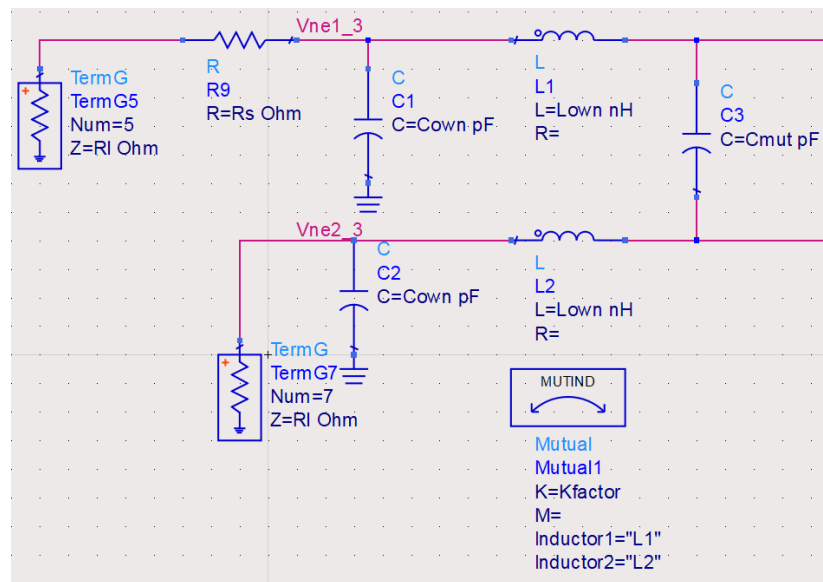


Figura 4-13: Celda de elementos discretos conectados a la terminal de entrada (Term G5) y a la de “near end” (Term G7).

La simulación en layout fue realizada con el modelo ADS, sin considerar las pérdidas ($R=0$), esto para comparar los resultados del modelo ADS circuital y los modelos con elementos discretos en los cuales no se incluyeron las pérdidas. La simulación con pérdidas se utilizará posteriormente para verificar los resultados de las mediciones de los PCB que se construyeron para corroborar los resultados. A continuación, la Figura 4-14 muestra un ejemplo de layout utilizado para la simulación:

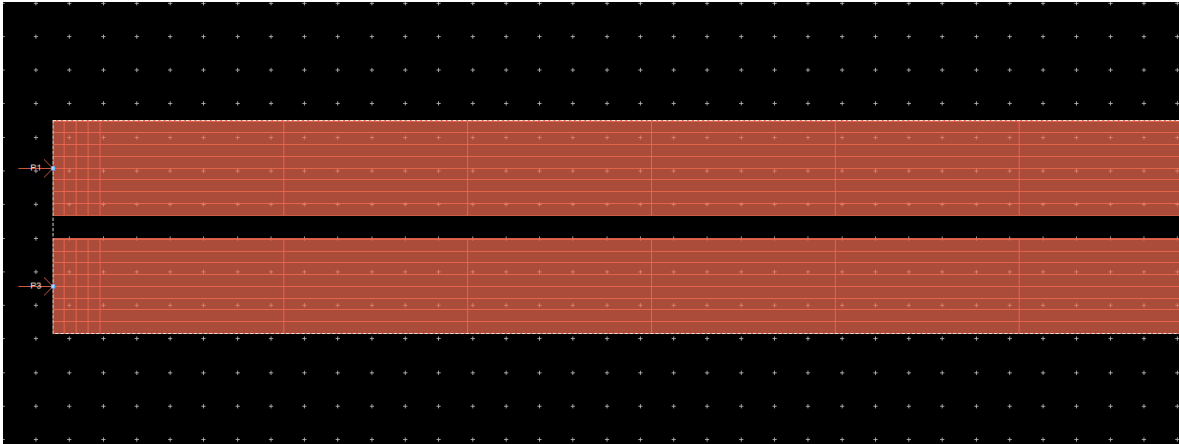


Figura 4-14: Figura parcial de layout utilizado para las simulaciones.

El tiempo de cómputo para hacer las simulaciones es sensible al número de celdas que se elige para modelar el circuito de elementos discretos (Δz), a mayor número de celdas, mayor es la precisión del modelo, pero mayor es el tiempo de cómputo. En la Figura 4-15 se muestra la comparación de simulación en parámetros S de la respuesta “near end” de cuatro circuitos de 75Ω con un PCB de 1.6mm de espesor:

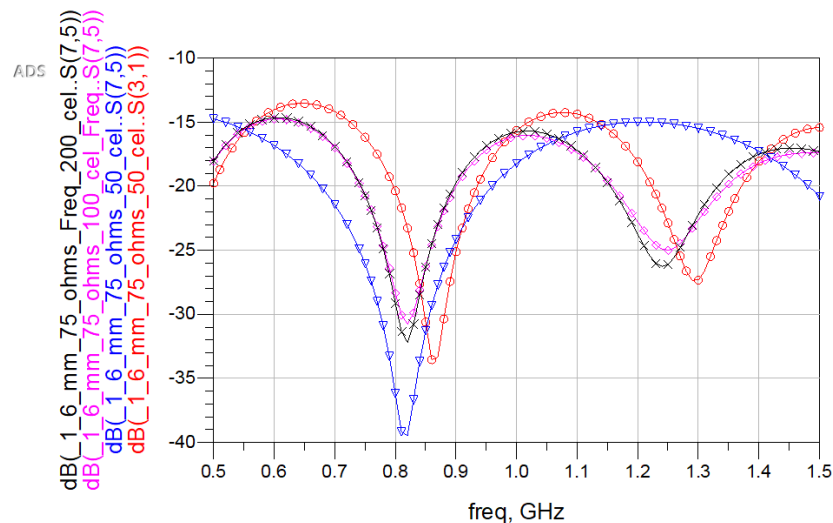


Figura 4-15: Comparación de respuestas de modelos de elementos discretos de 50, 100 y 200 celdas contra el modelo ADS circuital. El trazo del modelo ADS circuital está representado con círculos, el del modelo de elementos discretos de 50 celdas con triángulos, el del modelo de elementos discretos de 100 celdas con rombos y el de 200 celdas con cruces

Se puede observar que hay diferencias significativas entre el modelo de elementos discretos de 50 celdas y el de 100 celdas, pero no hay diferencia significativa entre el de 100 celdas y el de 200 celdas, por lo que se optó por tomar como estándar para las simulaciones de este trabajo los modelos de elementos discretos de 100 celdas.

En las siguientes figuras se muestran las respuestas en parámetros S de “near end” y “far end” de los diferentes modelos de elementos discretos de 100 celdas para 50, 75 y 100 ohms y PCBs de 1.0 y 1.6mm comparándolos contra el modelo ADS circuital sin pérdidas y la simulación de layout sin pérdidas, ver de la Figura 4-16 a la Figura 4-27:

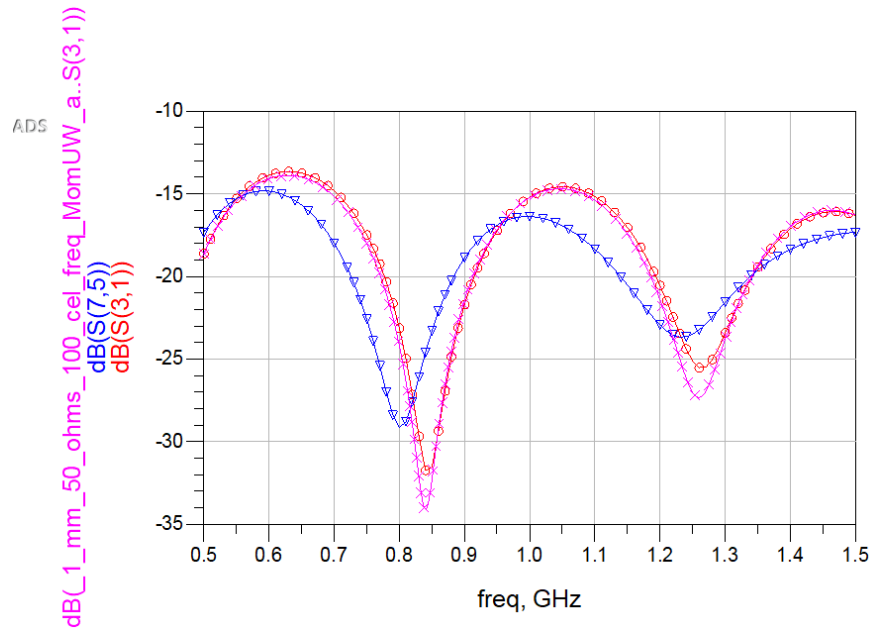


Figura 4-16: Respuesta “near end” 50Ω a 1.0mm. La respuesta del modelo ADS circuital está representada con círculos, la respuesta del modelo de elementos discretos de 100 celdas con triángulos y la respuesta de la simulación de layout sin pérdidas con cruces.

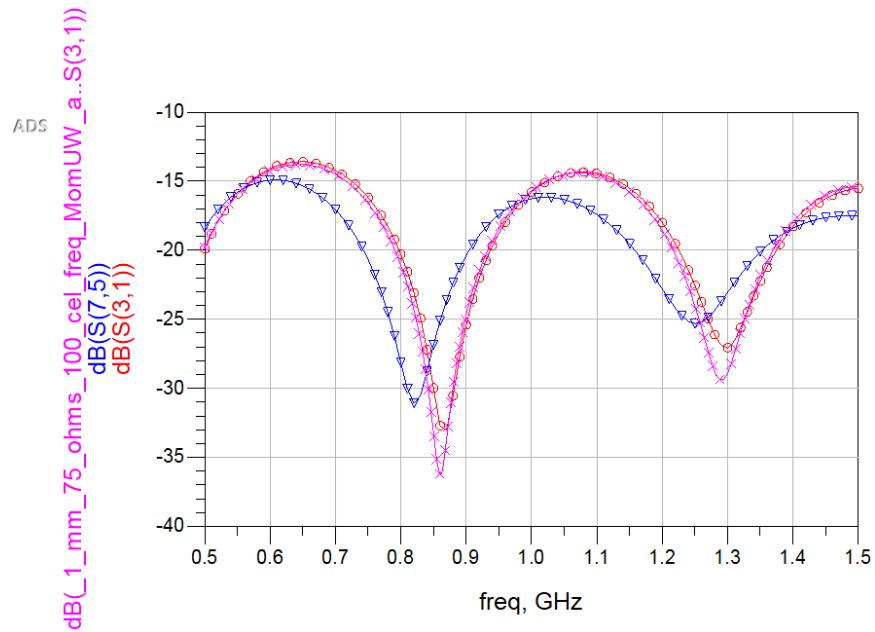


Figura 4-17: Respuesta “near end” 75Ω a 1.0mm. La respuesta del modelo ADS circuital está representada con círculos, la respuesta del modelo de elementos discretos de 100 celdas con triángulos y la respuesta de la simulación de layout sin pérdidas con cruces.

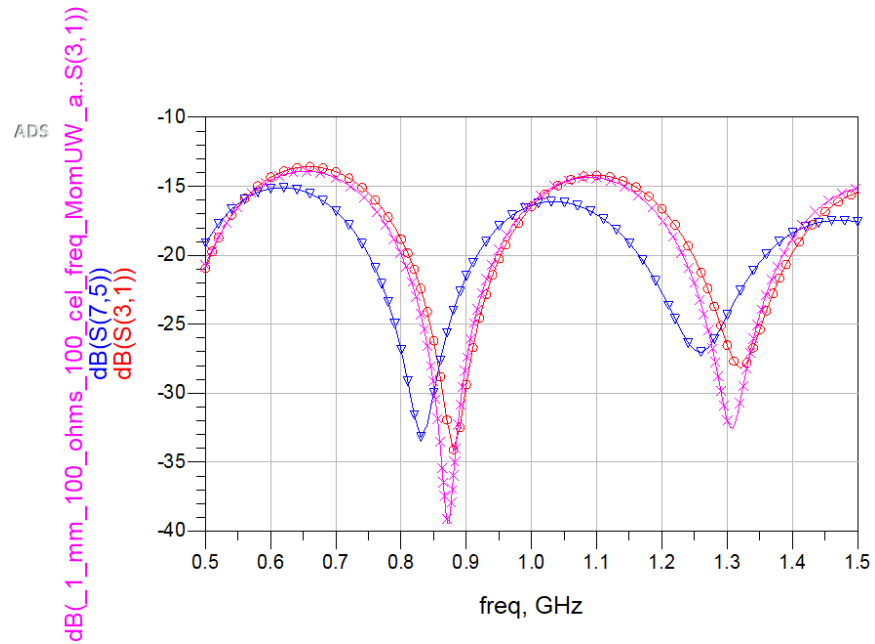


Figura 4-18: Respuesta “near end” 100Ω a 1.0mm. La respuesta del modelo ADS circuital está representada con círculos, la respuesta del modelo de elementos discretos de 100 celdas con triángulos y la respuesta de la simulación de layout sin pérdidas con cruces.

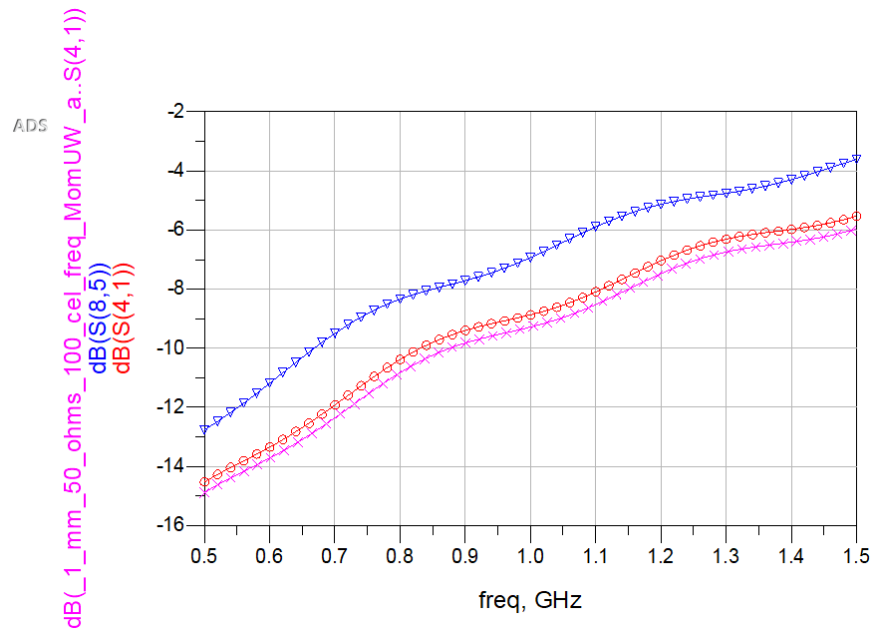


Figura 4-19: Respuesta “far end” 50Ω a 1.0mm. La respuesta del modelo ADS circuital está representada con círculos, la respuesta del modelo de elementos discretos de 100 celdas con triángulos y la respuesta de la simulación de layout sin pérdidas con cruces.

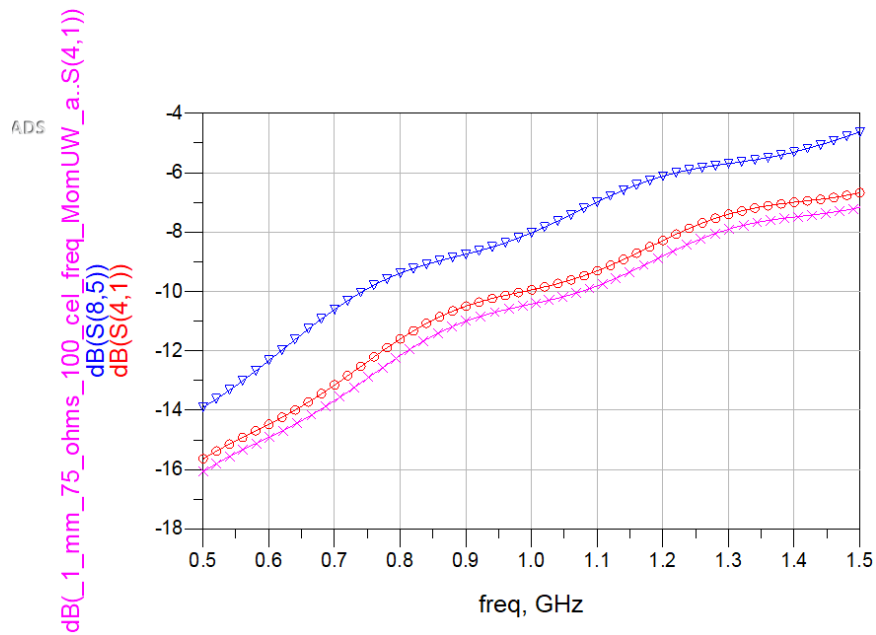


Figura 4-20: Respuesta “far end” 75Ω a 1.0mm. La respuesta del modelo ADS circuital está representada con círculos, la respuesta del modelo de elementos discretos de 100 celdas con triángulos y la respuesta de la simulación de layout sin pérdidas con cruces.

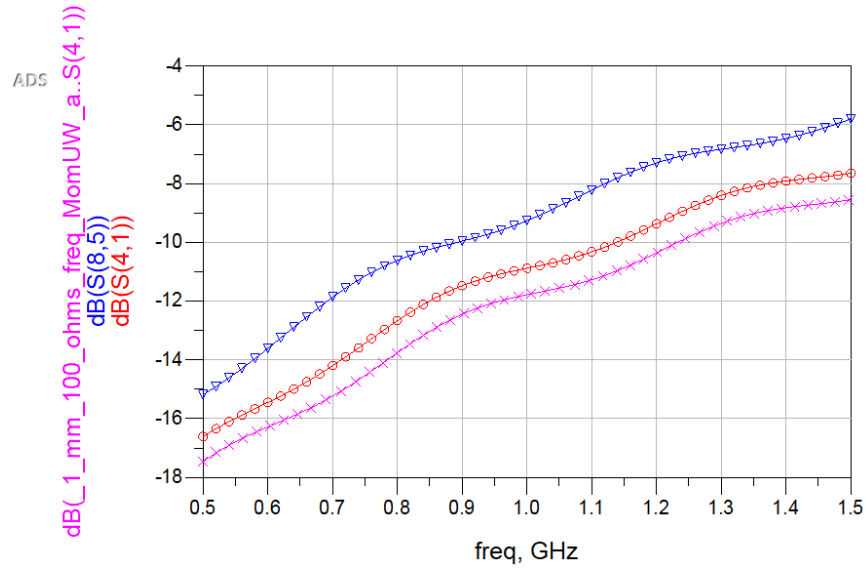


Figura 4-21: Respuesta “far end” 100Ω a 1.0mm. La respuesta del modelo ADS circuital está representada con círculos, la respuesta del modelo de elementos discretos de 100 celdas con triángulos y la respuesta de la simulación de layout sin pérdidas con cruces.

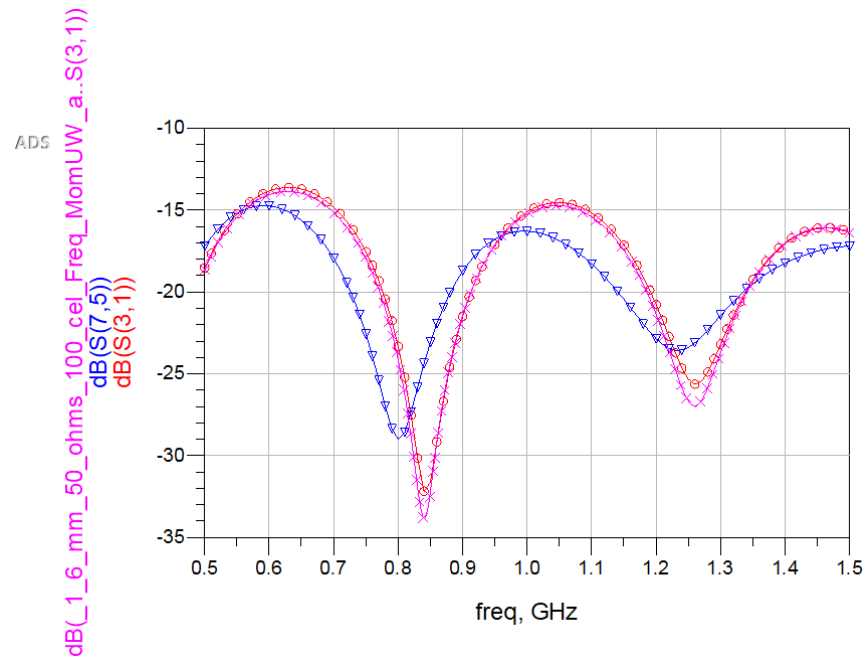


Figura 4-22: Respuesta “near end” 50Ω a 1.6mm. La respuesta del modelo ADS circuital está representada con círculos, la respuesta del modelo de elementos discretos de 100 celdas con triángulos y la respuesta de la simulación de layout sin pérdidas con cruces.

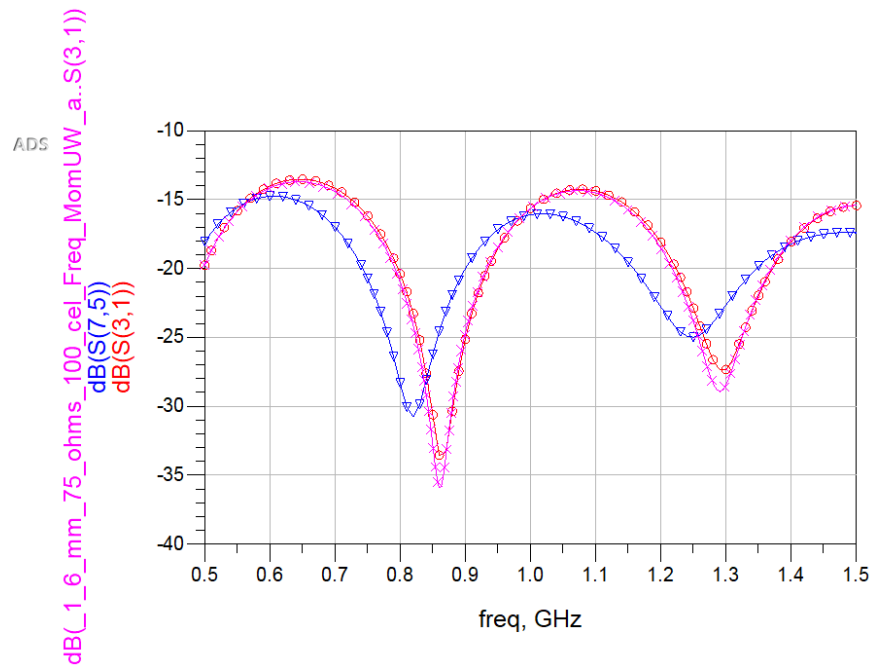


Figura 4-23: Respuesta “near end” 75Ω a 1.6mm. La respuesta del modelo ADS circuital está representada con círculos, la respuesta del modelo de elementos discretos de 100 celdas con triángulos y la respuesta de la simulación de layout sin pérdidas con cruces.

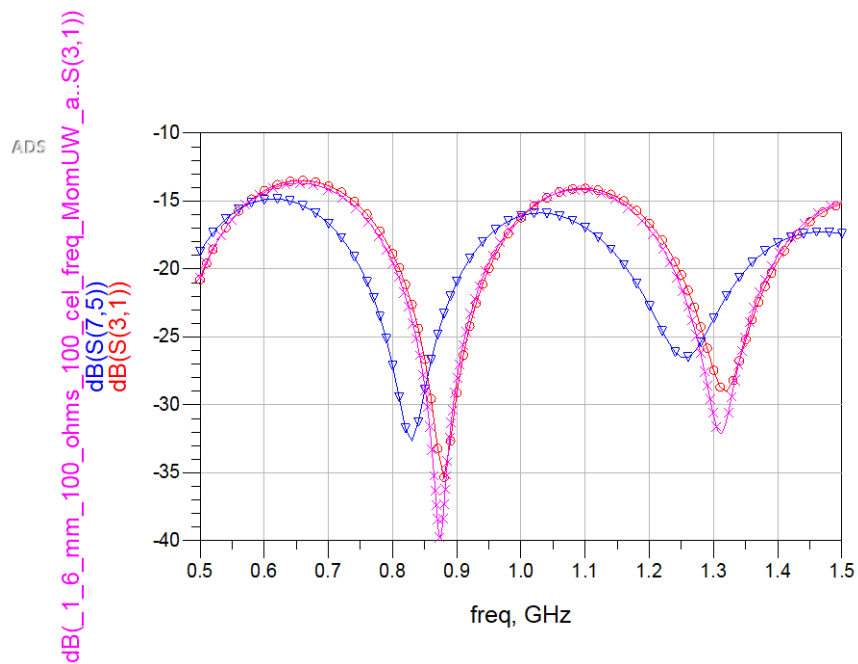


Figura 4-24: Respuesta “near end” 100Ω a 1.6mm. La respuesta del modelo ADS circuital está representada con círculos, la respuesta del modelo de elementos discretos de 100 celdas con triángulos y la respuesta de la simulación de layout sin pérdidas con cruces.

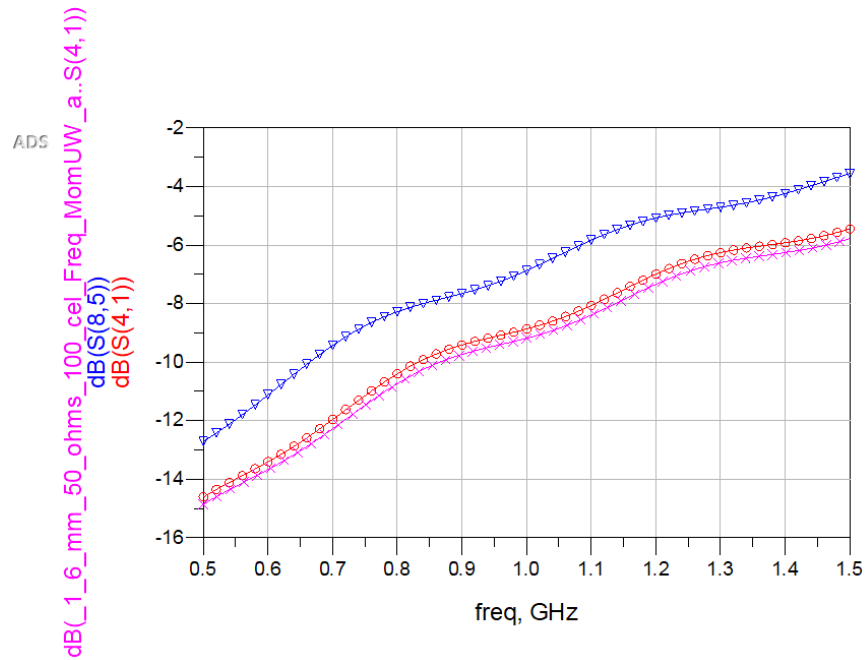


Figura 4-25: Respuesta “far end” 50Ω a 1.6mm. La respuesta del modelo ADS circuital está representada con círculos, la respuesta del modelo de elementos discretos de 100 celdas con triángulos y la respuesta de la simulación de layout sin pérdidas con cruces.

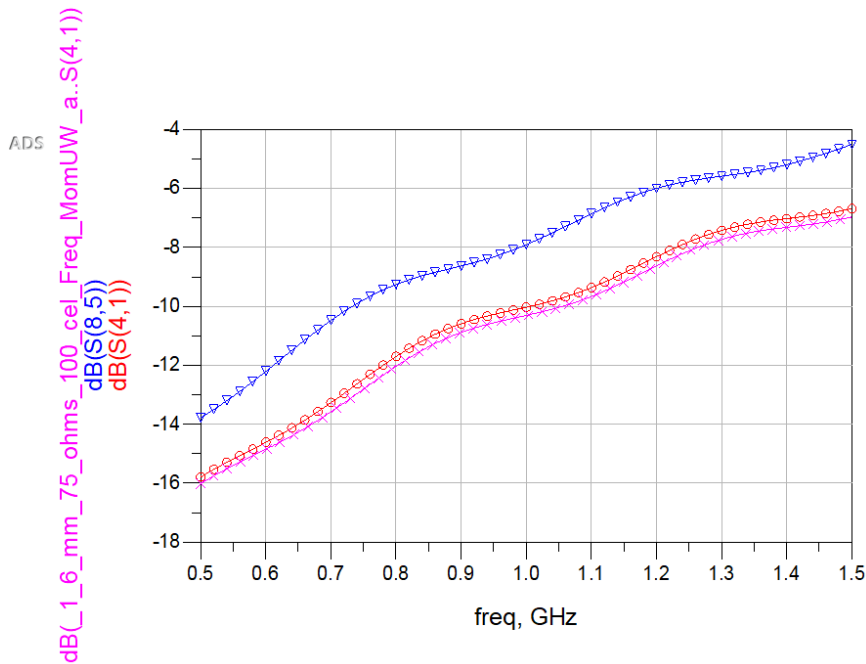


Figura 4-26: Respuesta “far end” 75Ω a 1.6mm. La respuesta del modelo ADS circuital está representada con círculos, la respuesta del modelo de elementos discretos de 100 celdas con triángulos y la respuesta de la simulación de layout sin pérdidas con cruces.

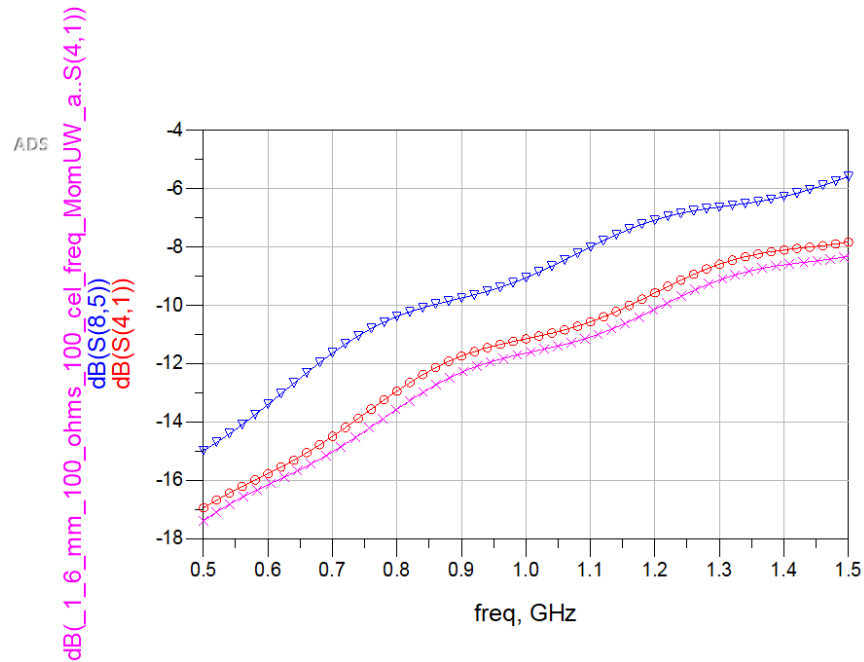


Figura 4-27: Respuesta “far end” 100Ω a 1.6mm. La respuesta del modelo ADS circuital está representada con círculos, la respuesta del modelo de elementos discretos de 100 celdas con triángulos y la respuesta de la simulación de layout sin pérdidas con cruces.

En todas las respuestas mostradas de la Figura 4-16 a la Figura 4-27 se puede observar cómo el comportamiento del modelo ADS circuital y la del layout sin pérdidas tiene una buena correlación tanto en amplitud como en frecuencia, la respuesta del modelo creado con capacitores e inductores de 100 celdas tiene una respuesta un poco corrida en frecuencia y también con algunos decibels de diferencia en amplitud, pero aun así, su respuesta modela de manera muy cercana la interacción de dos líneas de transmisión de señales contiguas, es decir, el “Crosstalk” de las señales en este sistema de líneas de transmisión de datos. La respuesta observada nos confirma que el modelo obtenido usando elementos discretos es bastante cercano al modelo de simulación ADS circuital y de layout.

5. RESULTADOS DE LAS MEDICIONES

En la Sección 4.3.2 se presentó el resultado de la simulación del modelo ADS, el modelo propuesto basado en los capacitores e inductores propios y compartidos que modelan la línea microcinta y la simulación de layout con separación entre las dos pistas y grosor de las mismas correspondiente a la requerida por la impedancia que se desea tener en la microcinta a 1 MHz y sin pérdidas. En estos resultados se obtuvo una correlación de señales aceptable en la que pudimos comprobar que el modelo propuesto tiene un comportamiento semejante al de los modelos de ADS tanto circuital como de layout.

En esta Sección se presenta el resultado de la medición de los PCB que se construyeron para corroborar la predicción de respuesta en frecuencia que hicieron los modelos consistentes en componentes discretos para representar las impedancias diferenciales de los pares de trazos incluidas como ejemplo en este trabajo.

Las mediciones tomadas fueron hechas con un VNA Rohde and Schwarz modelo ZNB 20 de cuatro puertos y una impedancia de puertos de 50 ohms, con el cual se midieron los parámetros S en un rango de frecuencia desde 500 MHz hasta los 1.5 GHz. Los resultados fueron graficados con el simulador ADS con un elemento “N port S parameter” utilizando los archivos XX.s4p obtenidos con el VNA Rohde and Schwarz. La Figura 5-1 muestra un ejemplo de esta configuración para graficar los resultados en el simulador ADS:

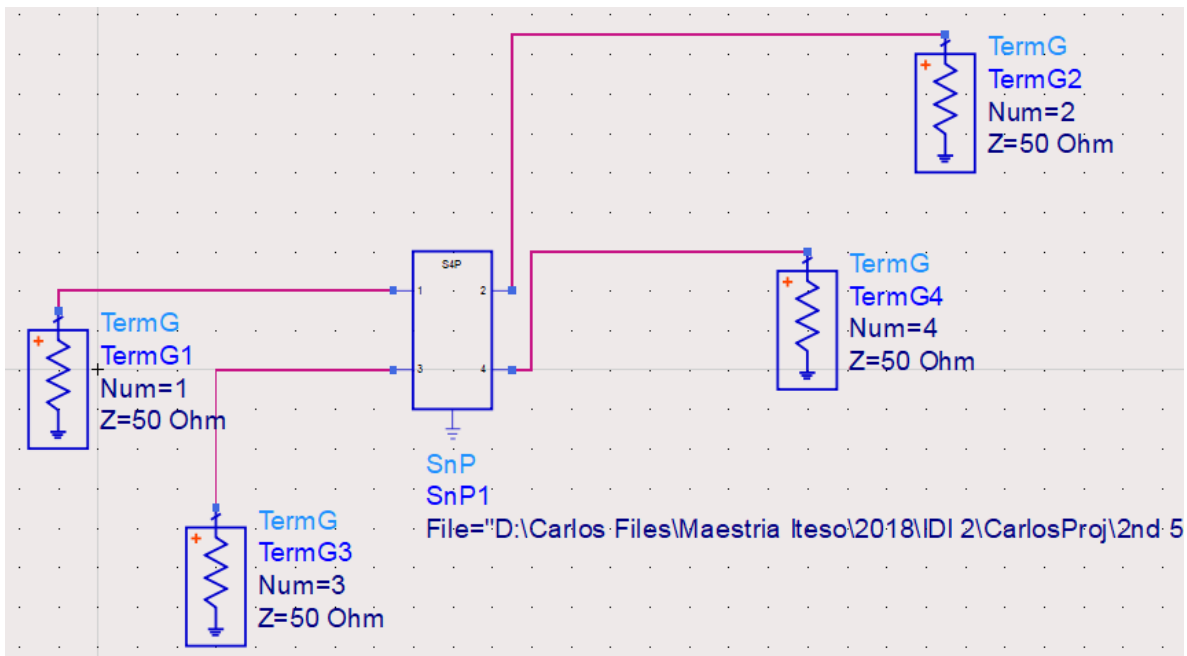


Figura 5-1: Elemento “N port S parameter” para la graficación de archivos XX.s4p

5.1. Resultados de mediciones comparado con simulación de 50 ohms.

Los primeros resultados que se muestran son los de la comparación “near end” y “far end” de las mediciones de los PCB de 50 ohms de 1.6 mm y 1.0 mm contra las respuestas de los modelos de componentes discretos. Estos resultados se pueden observar de la Figura 5-2 a la Figura 5-5:

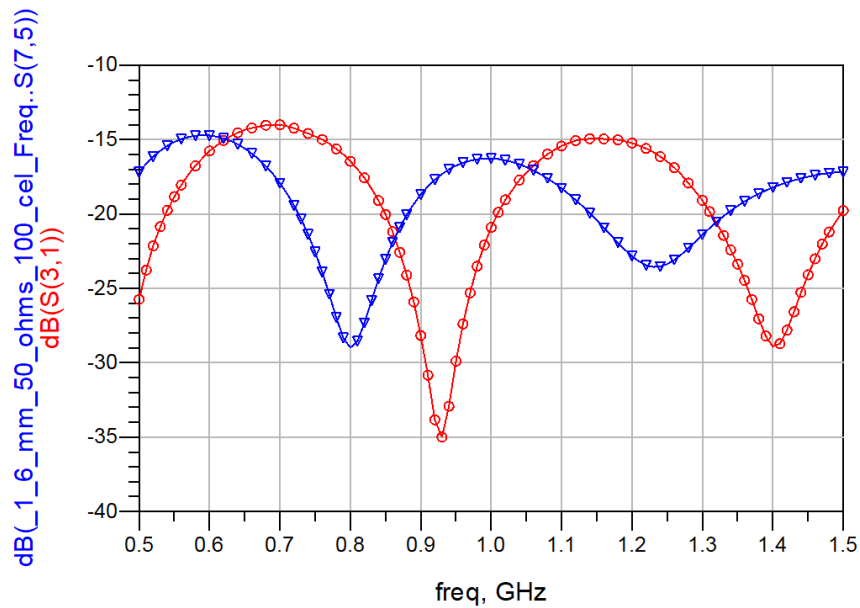


Figura 5-2: Respuesta “near end” de las mediciones y simulación de modelo 50 ohms a 1.6mm. Trazo con círculos es la medición, trazo con triángulos respuesta de elementos discretos.

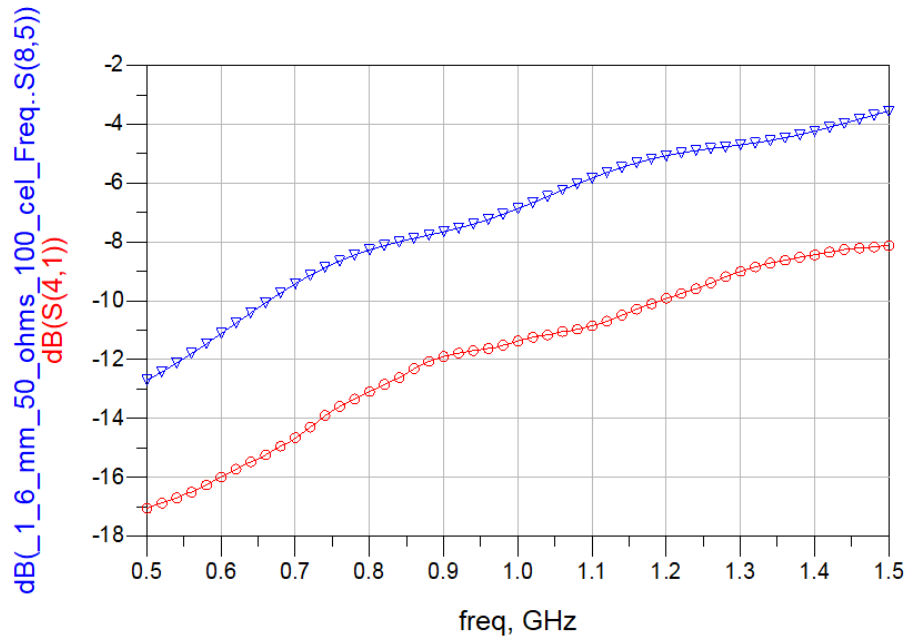


Figura 5-3: Respuesta “far end” de las mediciones y simulación de modelo 50 ohms a 1.6mm. Trazo con círculos es la medición, trazo con triángulos respuesta de elementos discretos.

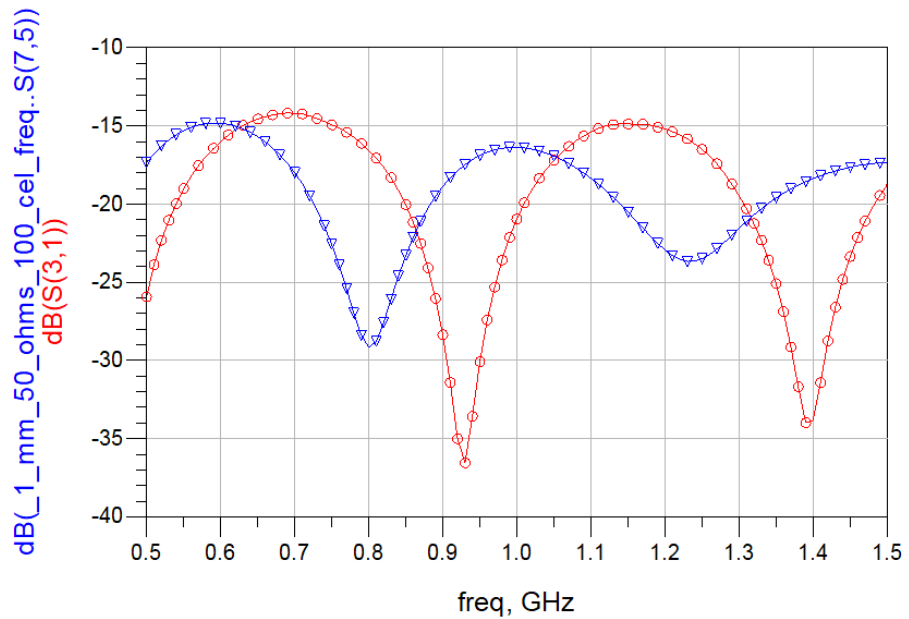


Figura 5-4: Respuesta “near end” de las mediciones y simulación de modelo 50 ohms a 1.0mm. Trazo con círculos es la medición, trazo con triángulos respuesta de elementos discretos.

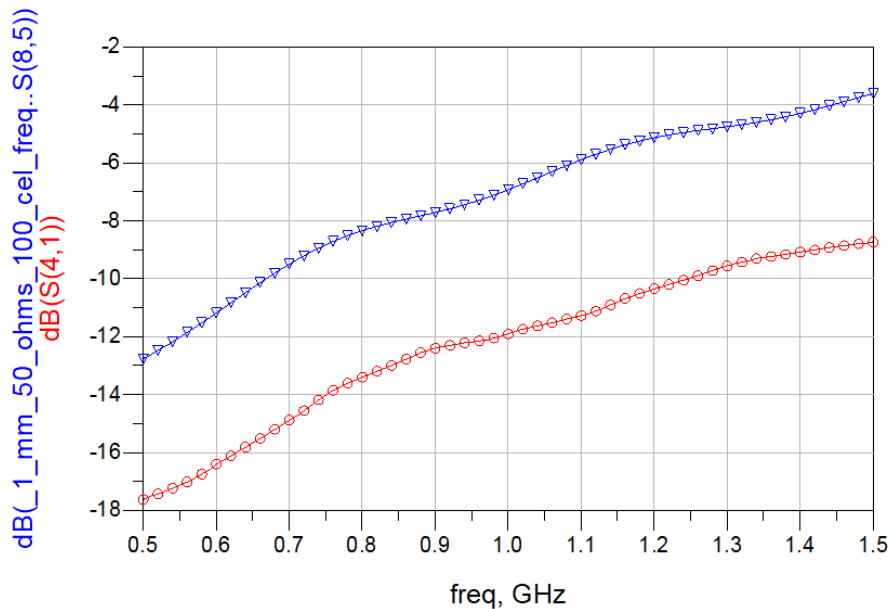


Figura 5-5: Respuesta “far end” de las mediciones y simulación de modelo 50 ohms a 1.0mm. Trazo con círculos es la medición, trazo con triángulos respuesta de elementos discretos.

Se observa en estas comparaciones que, aunque la respuesta y mediciones son bastante parecidas, tienen diferencias en frecuencia y amplitud. Esto se debe a dos factores principalmente, el primero es la forma de “Y” (refiérase a la Figura 5-6 de este Capítulo) que le dimos a las tarjetas construidas en los extremos con el fin de poderles poner conectores tipo SMA requeridos para hacer las mediciones con el equipo VNA. El modelado y simulación de esta forma de “Y” queda fuera del alcance de este trabajo. El segundo factor son las pérdidas que tienen los trazos de cobre en la medición, los cuales no fueron incluidos en el modelo con capacitores e inductores para simplificar las ecuaciones de cálculo de estas. Hay un tercer factor que no afecta tanto a las tarjetas de 50 ohms pero que, si afecta a las tarjetas de 75 y 100 ohms, y es el hecho de que los puertos del VNA están terminados a 50 ohms, el VNA no tiene la opción de cambiar las impedancias de sus puertos para optimizar el acople de impedancias con dispositivos de impedancias diferentes de 50 ohms. Este efecto se verá en la Sección 5.3 cuando analicemos los resultados de las mediciones de las tarjetas de 75 y 100 ohms. Un último factor son las limitaciones e imperfecciones que existen en la construcción de los PCB, la contribución de este factor se verá reflejado en las comparaciones de la Sección 5.2.

5.2. Resultados de mediciones comparado con simulaciones de layout fabricado.

Con el fin de verificar que las técnicas utilizadas para hacer las simulaciones son adecuadas, en esta Sección haremos la simulación de respuesta en frecuencia de parámetros S del layout utilizado en la fabricación de los PCB para hacer las mediciones. Este layout es tomado directamente de los gerbers files de los diseños de los PCBs. La simulación fue realizada considerando las pérdidas del cobre en el PCB, así como las pérdidas del dieléctrico utilizado en la construcción de estos. La Figura 5-6 muestra el diseño del PCB de 50 ohms con una altura de 1.6mm.

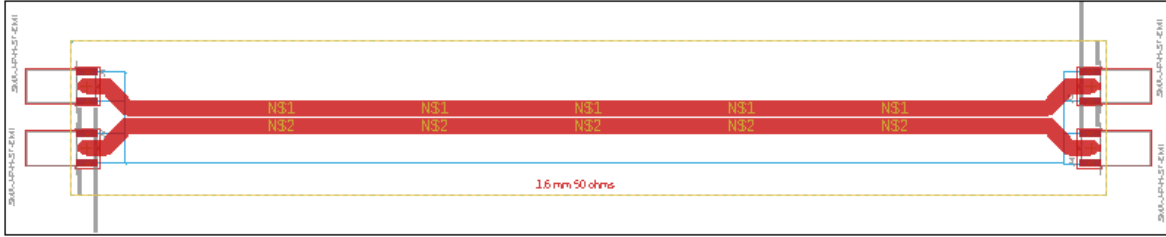


Figura 5-6: Layout utilizado para la construcción y simulación de PCB de 50 ohms a 1.6mm.

La separación de trazos que se puso en los extremos en forma de “Y” fue necesaria para instalarle a los PCB conectores tipo SMA con el fin de hacer las conexiones con el VNA y realizar las mediciones. Esta separación provoca una imperfección en la impedancia de la microcinta debido a que la separación entre pistas es uno los parámetros que influye en la impedancia característica de la misma.

Cabe mencionar que, la simulación se realizó apegándose lo más posible a la medición, y esto incluye el desacople de impedancias que existe en la medición debido a que el VNA está terminado a una impedancia de acople a 50 ohms. En el caso de los PCB de 50 ohms, el acople de impedancias es adecuado, pero en el caso de las tarjetas de 75 y 100 ohms existe un desacople de impedancias importante que hay que considerar como ya se mencionó en la Sección 5.1. Por lo tanto, para las simulaciones de las tarjetas de 75 y 100 ohms se utilizaron 50 ohms de acople de impedancias en los puertos de simulación de los parámetros S, para que fueran semejantes a las condiciones ocurridas en las mediciones con el equipo VNA.

De la Figura 5-7 a la Figura 5-18 se hace la comparación entre las mediciones tomadas con el VNA y la simulación del layout real de los PCB:

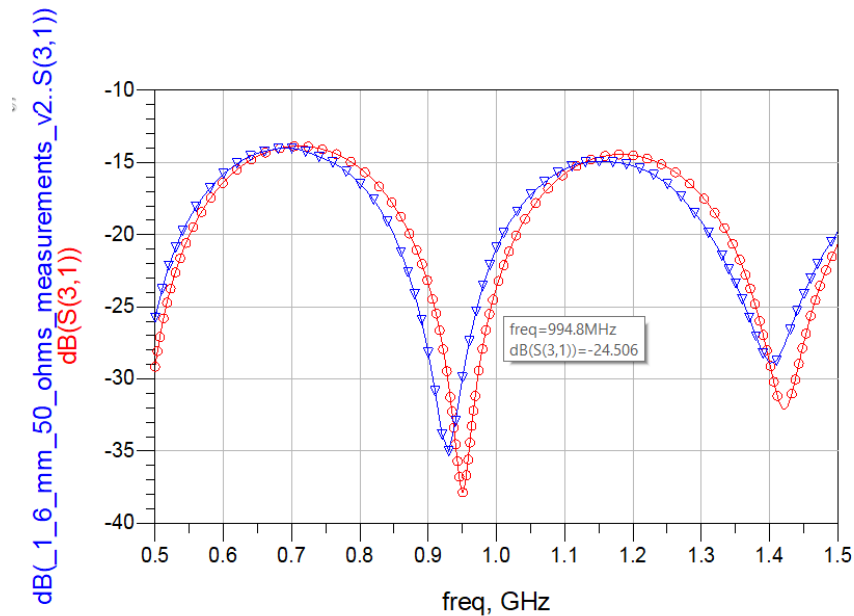


Figura 5-7: Comparación simulación de layout de modelo propuesto contra mediciones de señal “near end” de PCB de 50 Ω a 1.6mm . La simulación del layout real está representada por la curva con círculos y la medición con el VNA por la curva con triángulos.

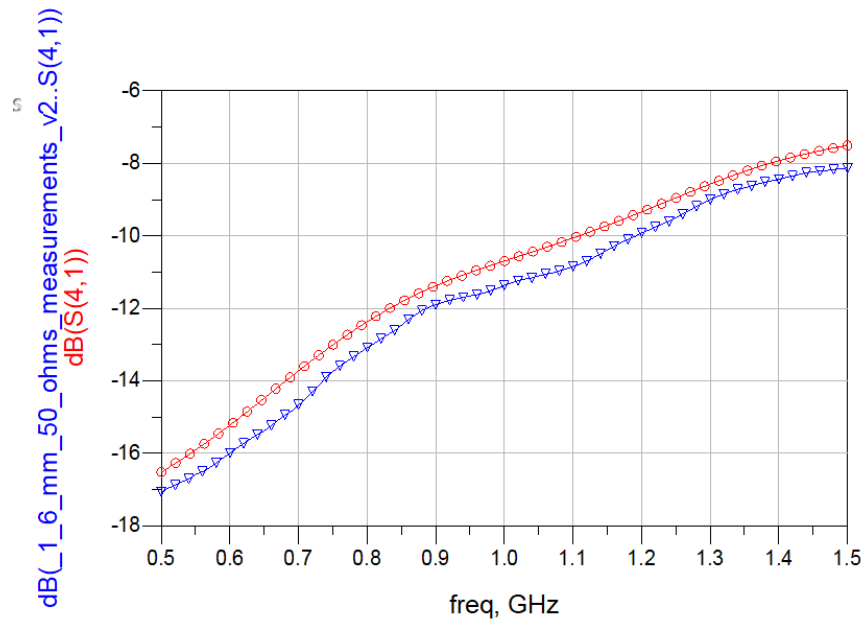


Figura 5-8: Comparación de la simulación de layout del modelo propuesto contra mediciones de señal “far end” de un PCB de 50 Ω a 1.6mm. La simulación del layout real está representada por la curva con círculos y la medición con el VNA por la curva con triángulos.

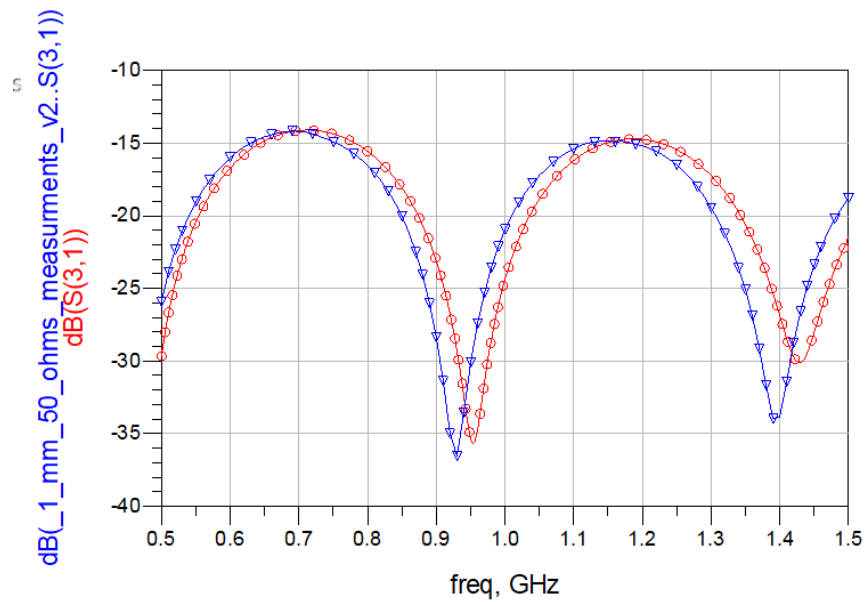


Figura 5-9: Comparación simulación de layout de modelo propuesto contra mediciones de señal “near end” de PCB de 50 Ω a 1.0mm. La simulación del layout real está representada por la curva con círculos y la medición con el VNA por la curva con triángulos.

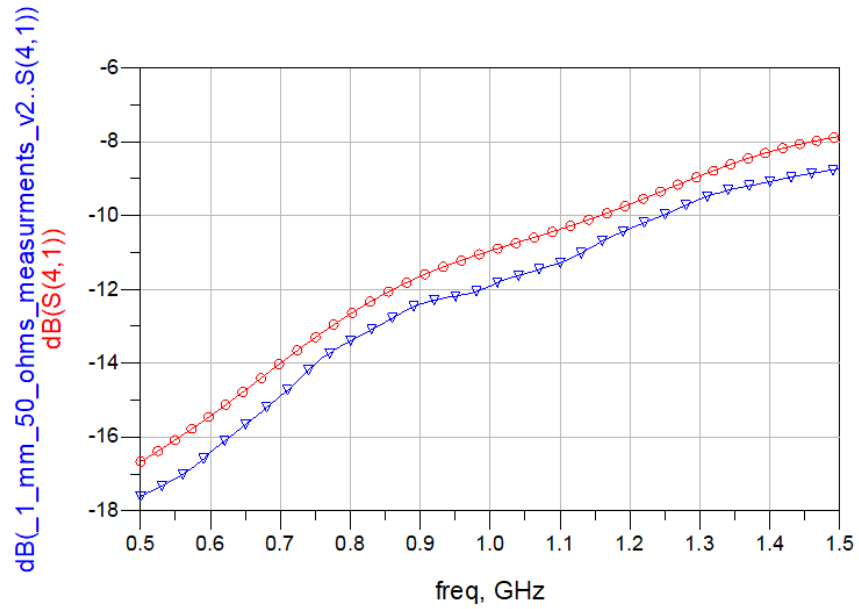


Figura 5-10: Comparación simulación de layout de modelo propuesto contra mediciones de señal “far end” de PCB de 50 Ω a 1.0mm. La simulación del layout real está representada por la curva con círculos y la medición con el VNA por la curva con triángulos.

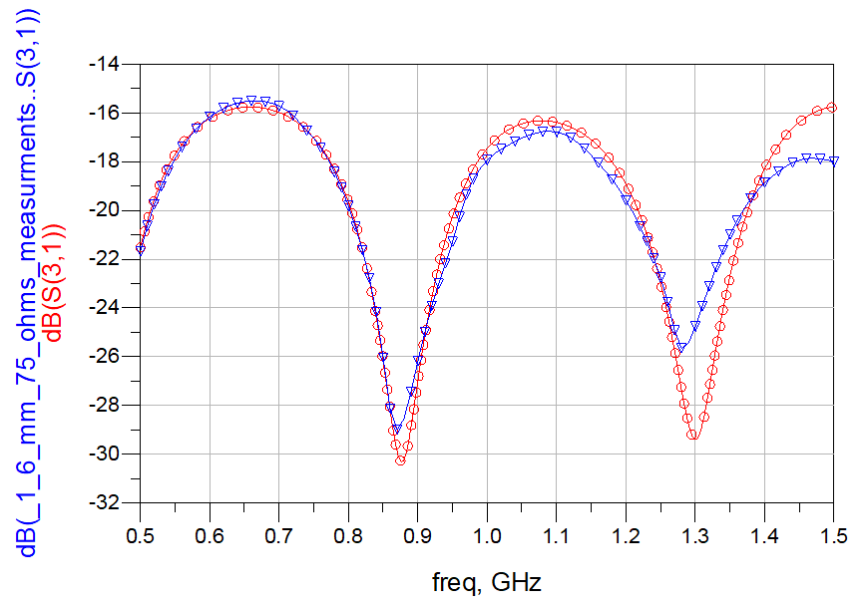


Figura 5-11: Comparación simulación de layout de modelo propuesto contra mediciones de señal “near end” de PCB de 75 Ω a 1.6mm. La simulación del layout real está representada por la curva con círculos y la medición con el VNA por la curva con triángulos.

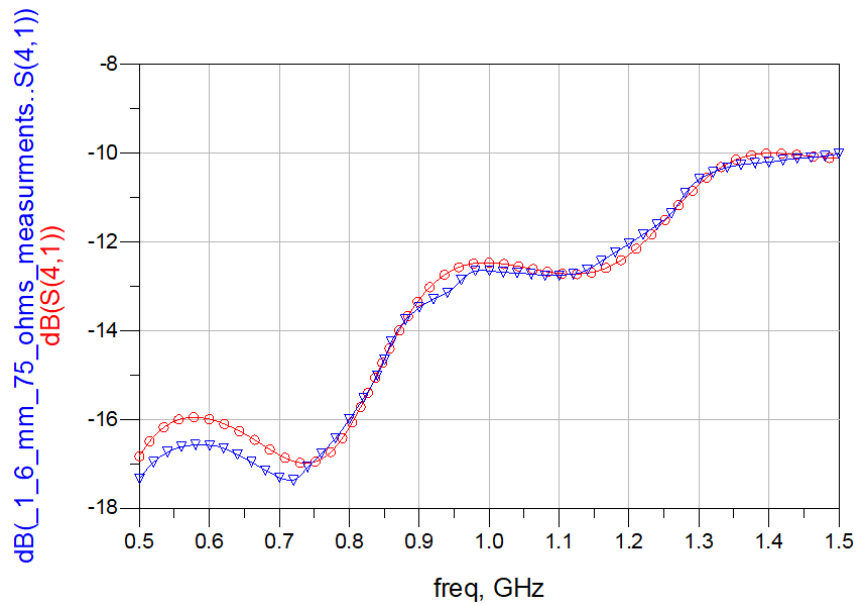


Figura 5-12: Comparación simulación de layout de modelo propuesto contra mediciones de señal “far end” de PCB de 75 Ω a 1.6mm. La simulación del layout real está representada por la curva con círculos y la medición con el VNA por la curva con triángulos.

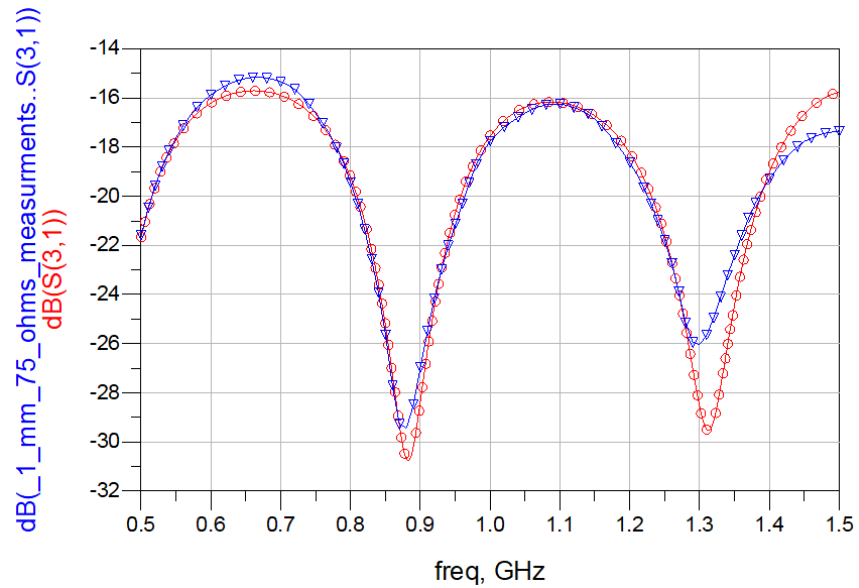


Figura 5-13: Comparación simulación de layout de modelo propuesto contra mediciones de señal “near end” de PCB de 75 Ω a 1.0mm. La simulación del layout real está representada por la curva con círculos y la medición con el VNA por la curva con triángulos.

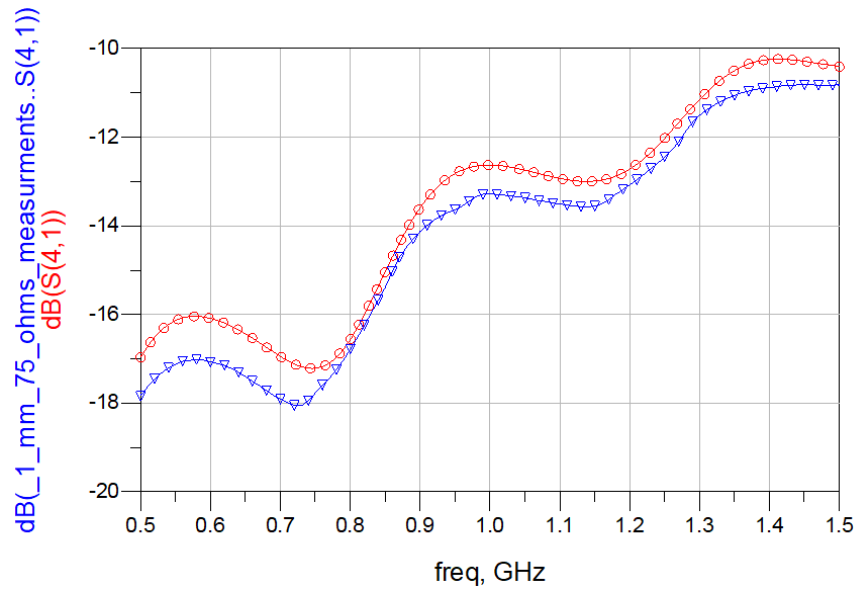


Figura 5-14: Comparación simulación de layout de modelo propuesto contra mediciones de señal “far end” de PCB de 75 Ω a 1.0mm. La simulación del layout real está representada por la curva con círculos y la medición con el VNA por la curva con triángulos.

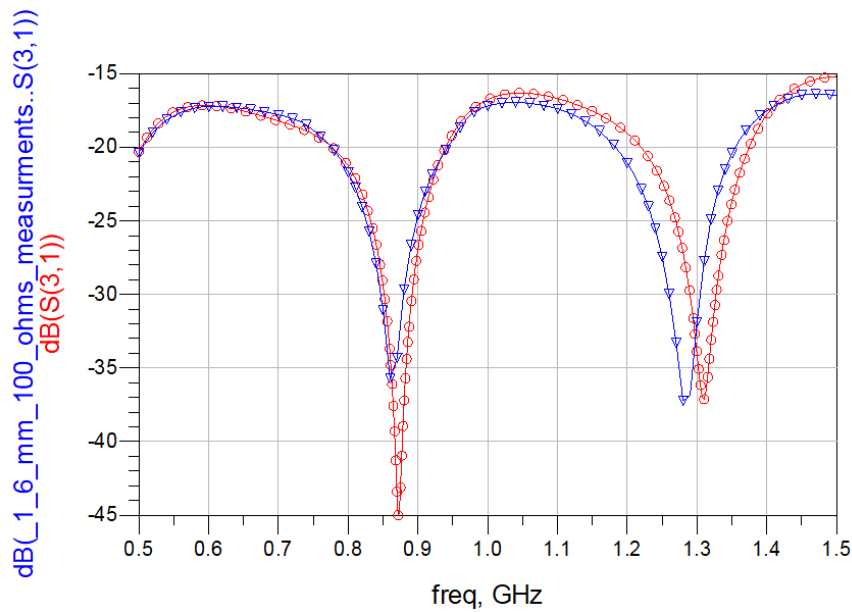


Figura 5-15: Comparación simulación de layout de modelo propuesto contra mediciones de señal “near end” de PCB de 100 Ω a 1.6mm. La simulación del layout real está representada por la curva con círculos y la medición con el VNA por la curva con triángulos.

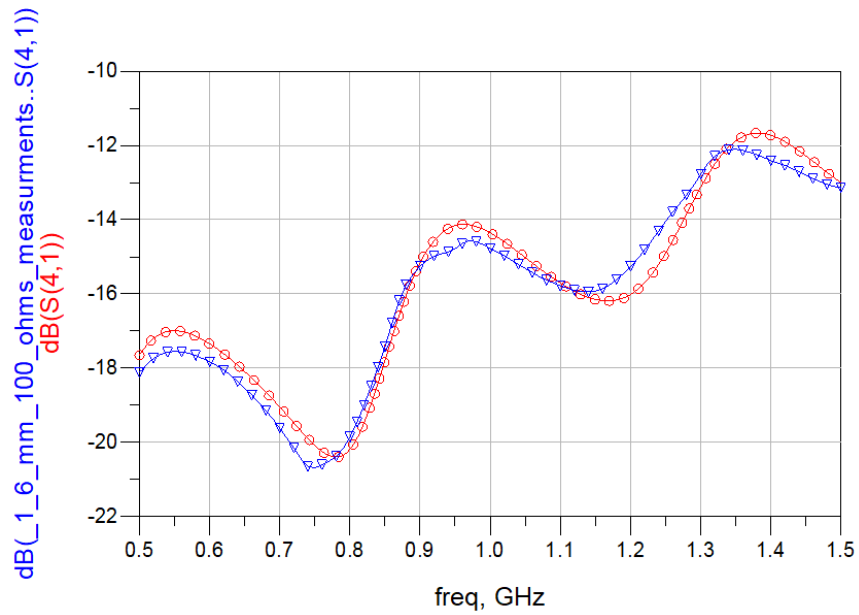


Figura 5-16: Comparación simulación de layout de modelo propuesto contra mediciones de señal “far end” de PCB de 100 Ω a 1.6mm. La simulación del layout real está representada por la curva con círculos y la medición con el VNA por la curva con triángulos.

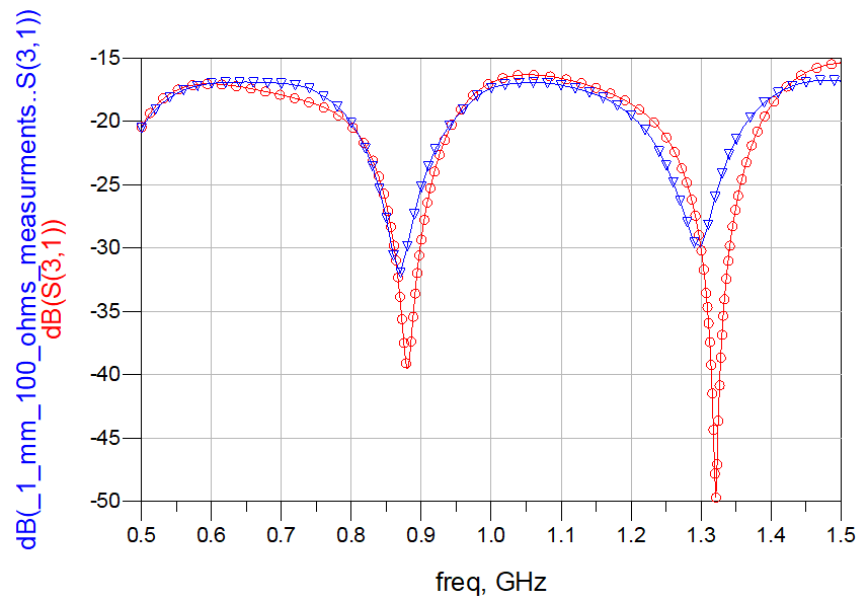


Figura 5-17: Comparación simulación de layout de modelo propuesto contra mediciones de señal “near end” de PCB de 100 Ω a 1.0mm. La simulación del layout real está representada por la curva con círculos y la medición con el VNA por la curva con triángulos.

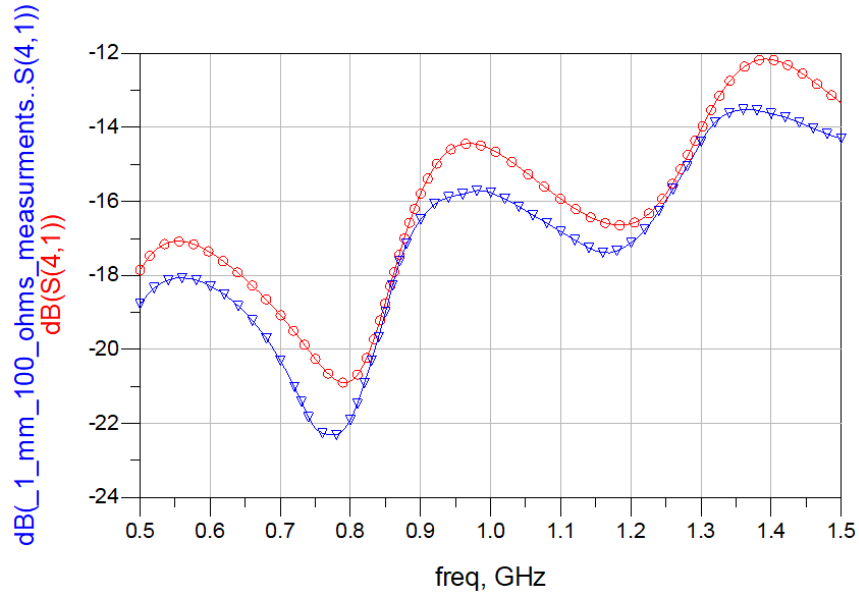


Figura 5-18: Comparación simulación de layout de modelo propuesto contra mediciones de señal “far end” de PCB de 100 Ω a 1.0mm. La simulación del layout real está representada por la curva con círculos y la medición con el VNA por la curva con triángulos.

Se observa como la coincidencia de las señales es buena, las diferencias detectadas se deben a imperfecciones y/o limitaciones en la construcción de los PCB, los cuales fueron construidos por un proveedor de China. La calidad solicitada del PCB fue estándar, no se requirió que mantuvieran una impedancia definida, esto con el fin de mantener una mejor correlación entre los PCB construidos con la microcinta teórica en la cual se basan las ecuaciones utilizadas para el cálculo de las capacitancias e inductancias propias y mutuas del modelado de microcintas con elementos discretos. De esta manera pudimos comprobar que las técnicas de simulación son adecuadas al tener una buena correlación con las mediciones tomadas.

5.3. Resultados de mediciones comparado con el modelo propuesto para impedancias de 75 y 100 ohms

De la Figura 5-19 a la Figura 5-26 se muestran la comparación de respuesta “near end” y “far end” del modelo propuesto y la medición para las tarjetas de 75 y 100 ohms a 1.6 mm y a 1.0 mm. Las mediciones fueron hechas con un VNA Rohde and Schwarz modelo ZNB 20 de cuatro canales y una impedancia de acople de 50 ohms:

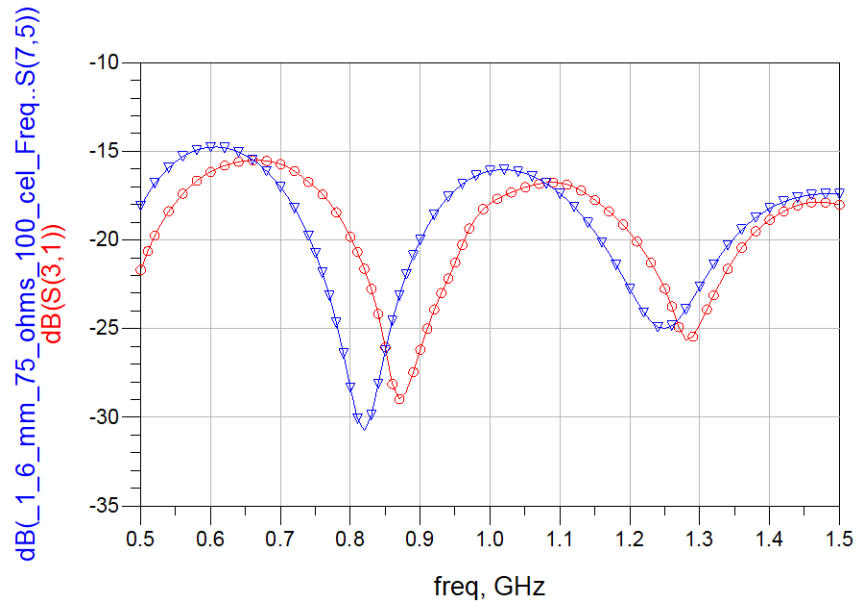


Figura 5-19: Comparación de la respuesta “near end” entre medición y modelo propuesto de 75 ohms a 1.6mm. El trazo en círculos corresponde a la medición y el trazo en triángulos corresponde a la simulación del modelo propuesto.

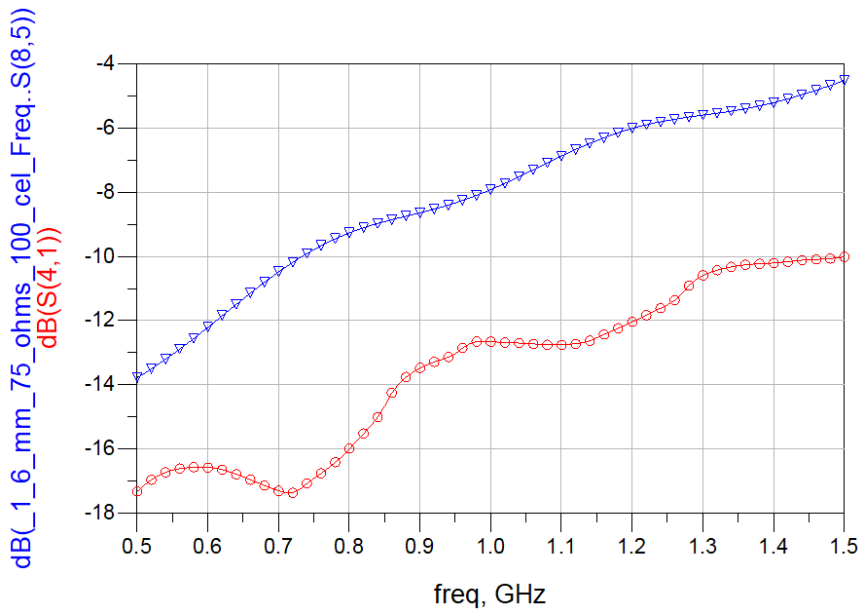


Figura 5-20: Comparación de la respuesta “far end” entre medición y modelo propuesto de 75 ohms a 1.6mm. El trazo en círculos corresponde a la medición y el trazo en triángulos corresponde a la simulación del modelo propuesto.

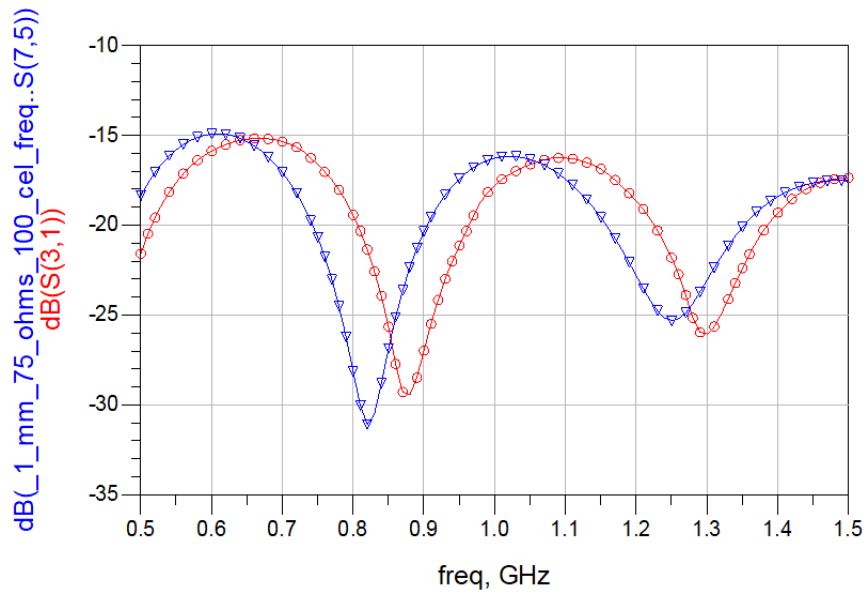


Figura 5-21: Comparación de la respuesta “near end” entre medición y modelo propuesto de 75 ohms a 1.0mm. El trazo en círculos corresponde a la medición y el trazo en triángulos corresponde a la simulación del modelo propuesto.

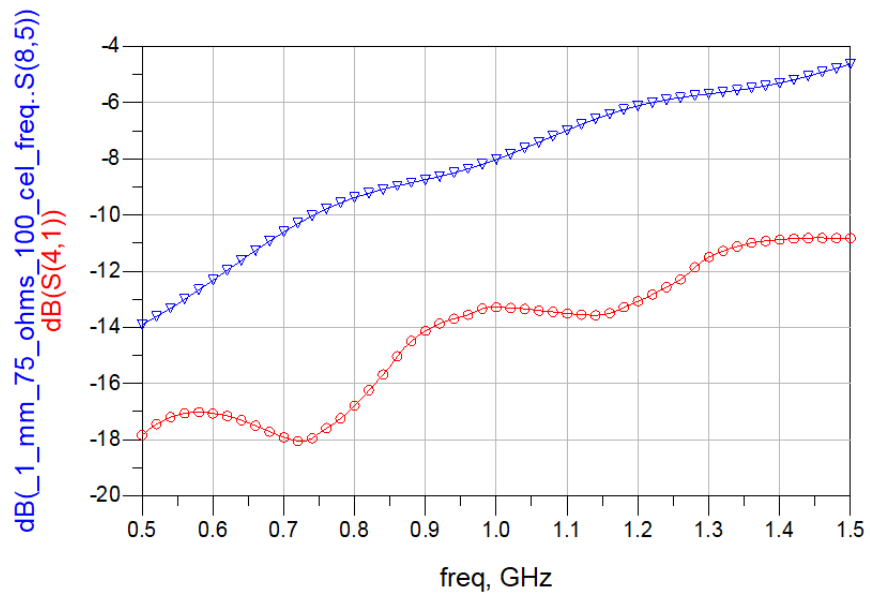


Figura 5-22: Comparación de la respuesta “far end” entre medición y modelo propuesto de 75 ohms a 1.0mm. El trazo en círculos corresponde a la medición y el trazo en triángulos corresponde a la simulación del modelo propuesto.

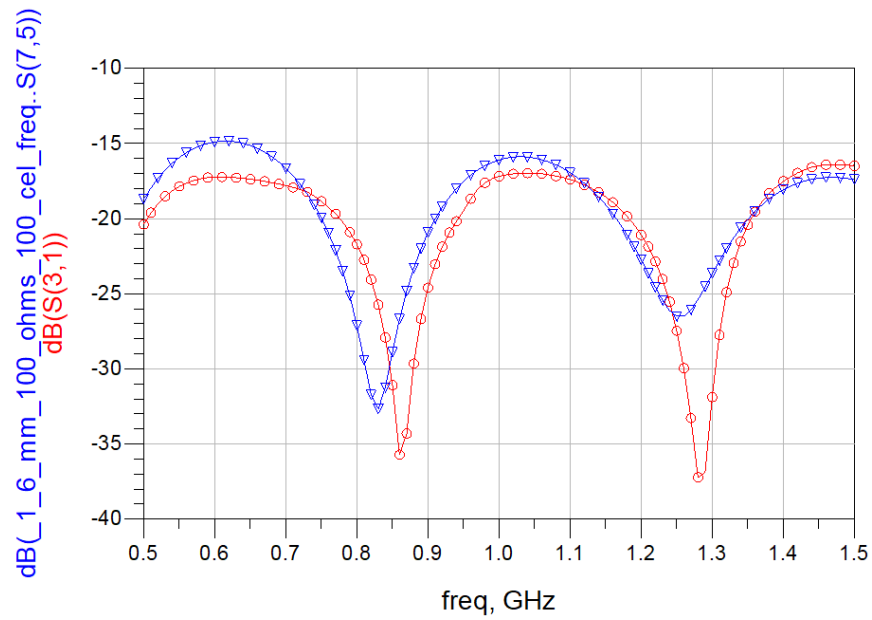


Figura 5-23: Comparación de la respuesta “near end” entre medición y modelo propuesto de 100 ohms a 1.6mm. El trazo en círculos corresponde a la medición y el trazo en triángulos corresponde a la simulación del modelo propuesto.

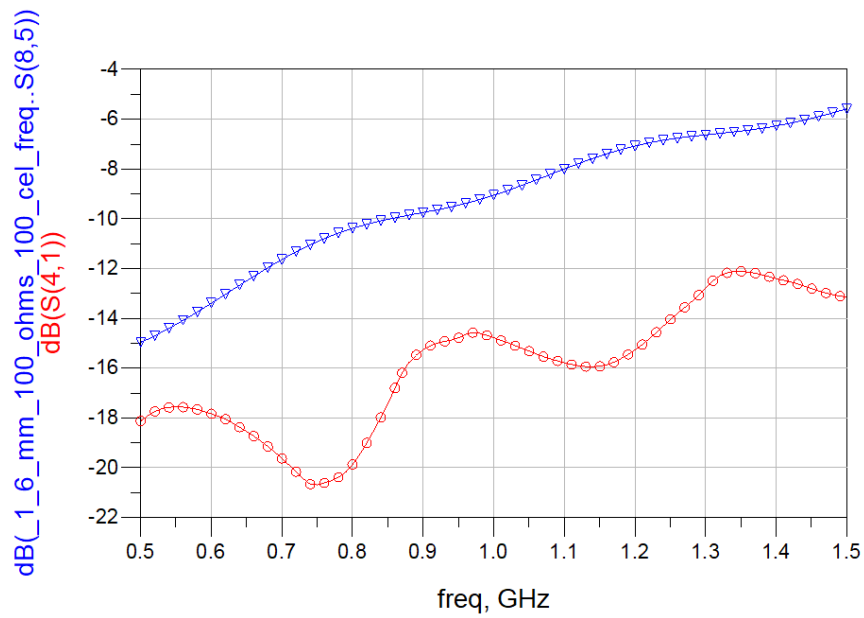


Figura 5-24: Comparación de la respuesta “far end” entre medición y modelo propuesto de 100 ohms a 1.6mm. El trazo en círculos corresponde a la medición y el trazo en triángulos corresponde a la simulación del modelo propuesto.

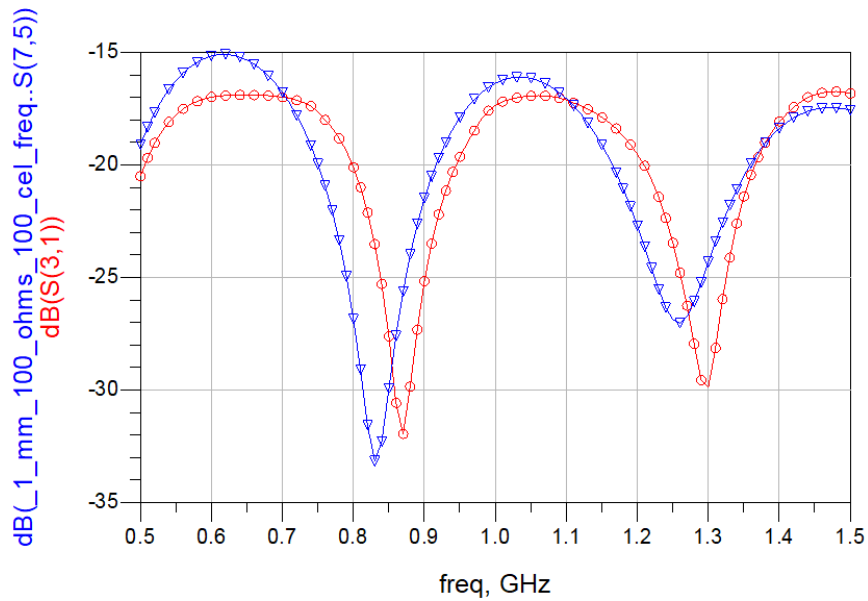


Figura 5-25: Comparación de la respuesta “near end” entre medición y modelo propuesto de 100 ohms a 1.0mm. El trazo en círculos corresponde a la medición y el trazo en triángulos corresponde a la simulación del modelo propuesto.

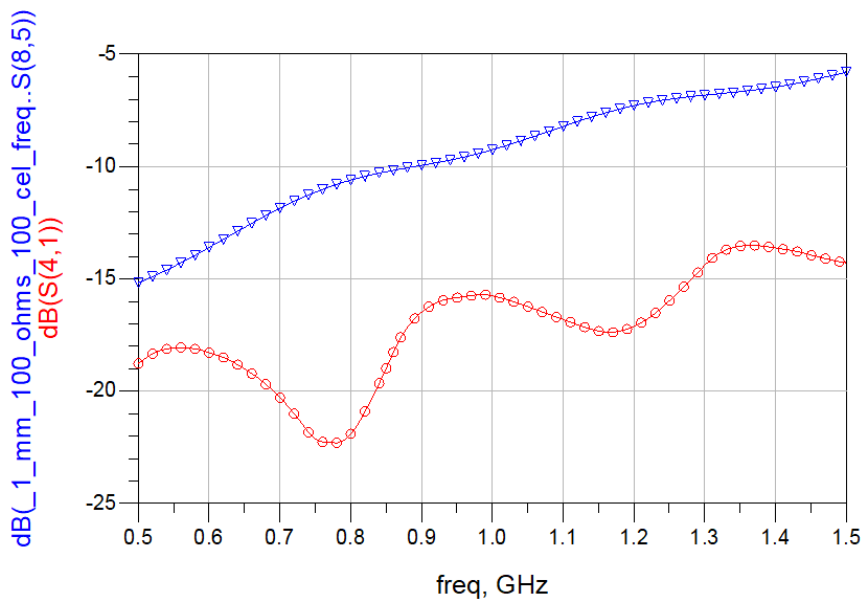


Figura 5-26: Comparación de la respuesta “far end” entre medición y modelo propuesto de 100 ohms a 1.0mm. El trazo en círculos corresponde a la medición y el trazo en triángulos corresponde a la simulación del modelo propuesto.

Se observan diferencias entre estas respuestas debido principalmente a que las mediciones fueron hechas en el VNA con un acople de impedancias en sus puertos de entada de 50 ohms y los PCB construidos tiene una impedancia de 75 y 100 ohms respectivamente. Las simulaciones del modelo con elementos discretos con las que se están comparando estas mediciones tienen un acople de 75 y 100 ohms respectivamente. Otra diferencia ya mencionada en el Capítulo 5.1, es debido a que los PCB en sus

extremos tienen una separación en “Y” entre las pistas, ya que eran necesarias para que se le montaran conectores SMA a los PCB para su conexión al equipo VNA. Esta separación induce un desacople de impedancias no incluido en la simulación del modelo con elementos discretos.

Para visualizar mejor como afecta el desacople de impedancias con el VNA, la Figura 5-27 muestra la comparación del parámetro S11 entre la medición y la simulación del modelo propuesto de 75 ohms a 1.6mm:

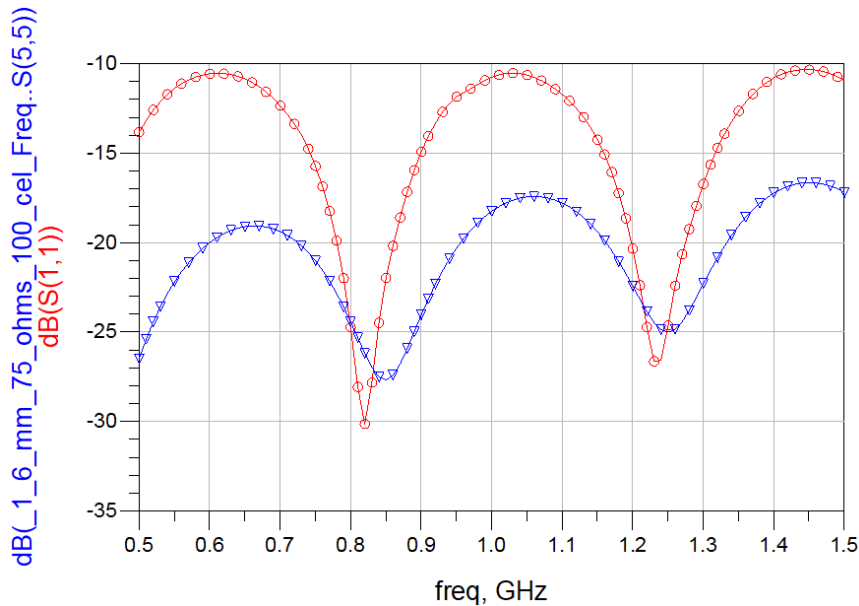


Figura 5-27: Comparación de la respuesta “S11” entre medición y simulación del modelo propuesto de 75 ohms a 1.6mm. La medición está representada por círculos y el modelo propuesto con triángulos.

Se observan diferencias significativas, sobre todo en el nivel de señal, la respuesta del modelo de elementos discretos tiene un nivel de pérdida de señal insertada bajo, de alrededor de -20 dB, la medición hecha con el VNA muestra una pérdida significativa de alrededor de los -10 dB debido al desacople de impedancias que existe en el sistema.

Con el fin de ejemplificar mejor como afecta el mal acople de impedancias en las mediciones hechas con el equipo VNA a continuación la Figura 5-28 y Figura 5-29 muestran la comparación de respuesta “near end” y “far end” de dos simulaciones en el ADS del layout real de 75 ohms a 1.6 mm en las que el acople de impedancias fue hecho a 50 y 75 ohms:

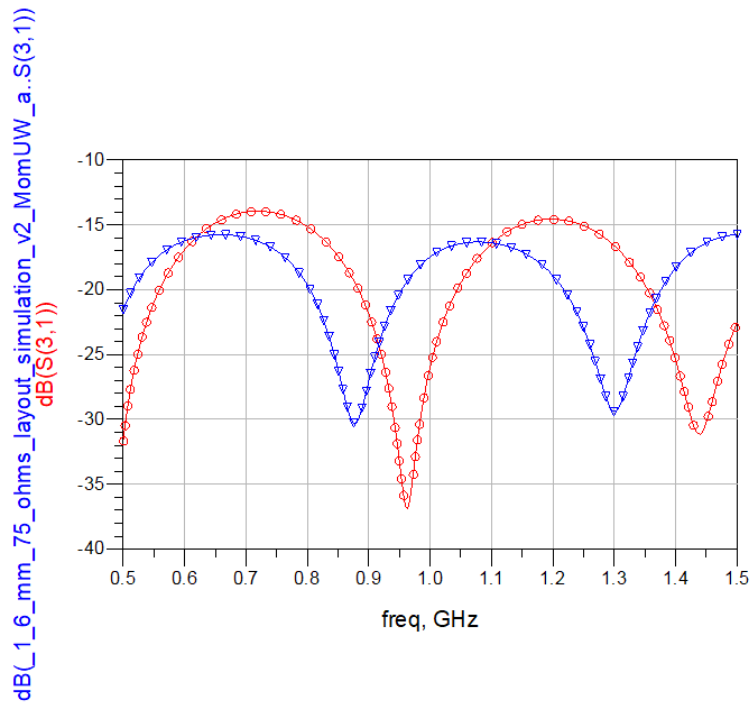


Figura 5-28: Comparación de la respuesta “near end” entre el layout real simulado y acoplado a 50 y 75 ohms del modelo de 75 ohms a 1.6mm. La gráfica con triángulos corresponde al sistema acoplado a 50 ohms y la gráfica con círculos corresponde al sistema acoplado a 75 ohms

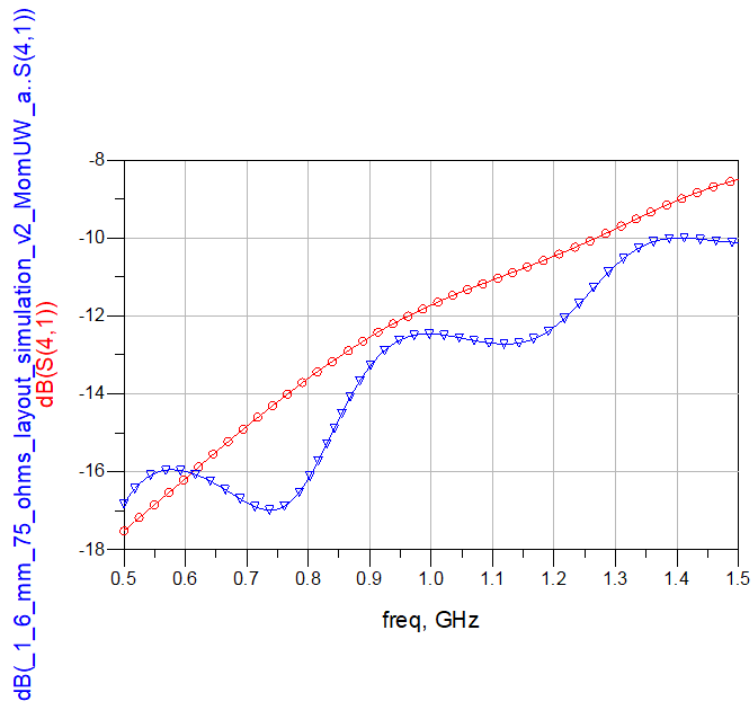


Figura 5-29: Comparación de la respuesta “far end” entre el layout real simulado y acoplado a 50 y 75 ohms del modelo de 75 ohms a 1.6mm. La gráfica con triángulos corresponde al sistema acoplado a 50 ohms y la gráfica con círculos corresponde al sistema acoplado a 75 ohms.

La Figura 5-30 muestra la comparación de la respuesta del parámetro S11:

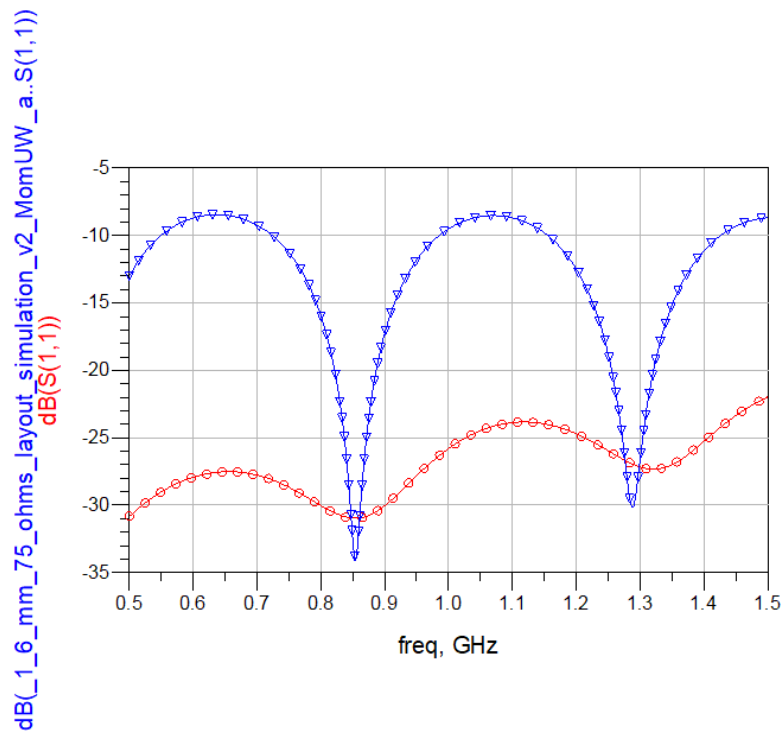


Figura 5-30: Comparación de la respuesta “S11” entre el layout real simulado y acoplado a 50 y 75 ohms del modelo de 75 ohms a 1.6mm. La gráfica con círculos corresponde al sistema acoplado a 75 ohms y la gráfica con triángulos corresponde al sistema acoplado a 50 ohms.

Es notoria la diferencia que existe entre estas dos simulaciones bajo las mismas condiciones de simulación con la excepción del acople de impedancias de 50 y de 75 ohms. Este resultado nos da una mejor visión de cómo nos afectó este desacople de impedancias en las mediciones con el equipo VNA.

Un resultado interesante que se detectó al hacer estas simulaciones y mediciones fue la respuesta que se observó más notoriamente en el modelo de 100 ohms. La Figura 5-31 y Figura 5-32 muestran la comparación de la respuesta “near end” y “far end” del modelo propuesto de 100 ohms a 1.6 mm basado en elementos discretos con un desbalance en el acople de impedancias a 50 ohms en sus terminales y las mediciones hechas para este PCB de las mismas características.

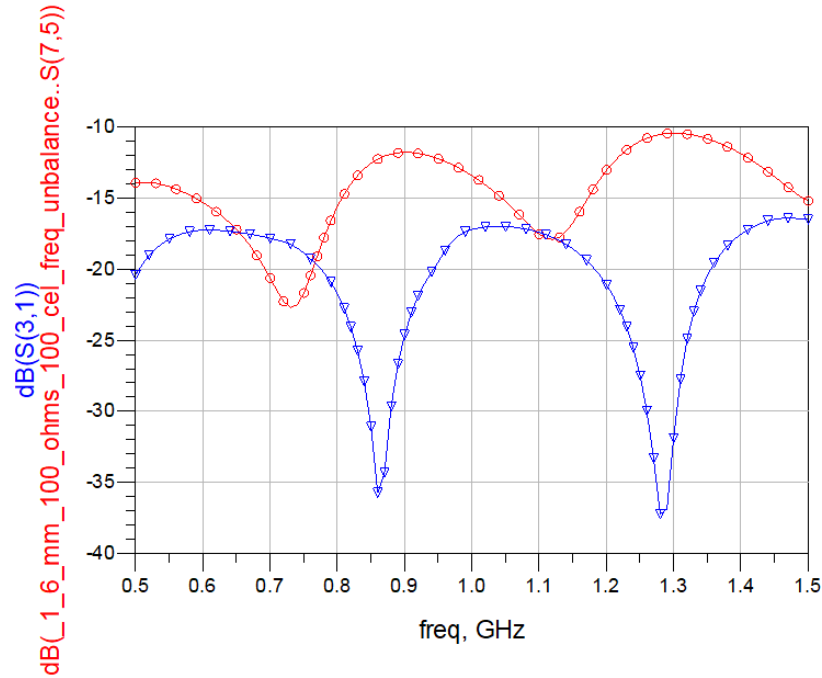


Figura 5-31: Comparación de respuestas “near end” de modelo 100 ohms a 1.6 mm y medición del PCB con las mismas características y mismo desacople de impedancias. La simulación está representada por los trazos en círculos y la medición con trazos en triángulos.

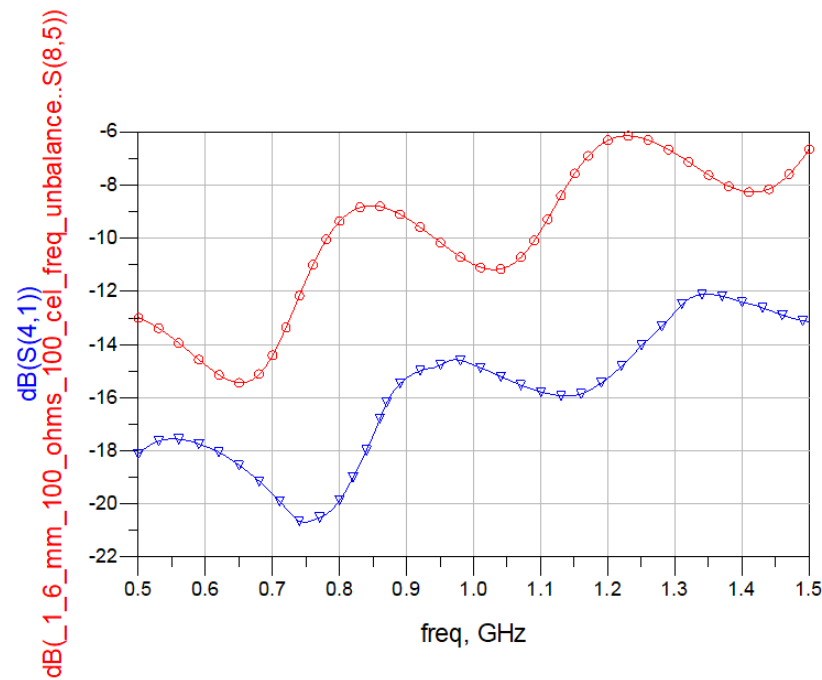


Figura 5-32: Comparación de respuestas “far end” de modelo 100 ohms a 1.6 mm y medición del PCB con las mismas características y mismo desacople de impedancias. La simulación está representada por los trazos en círculos y la medición con trazos en triángulos.

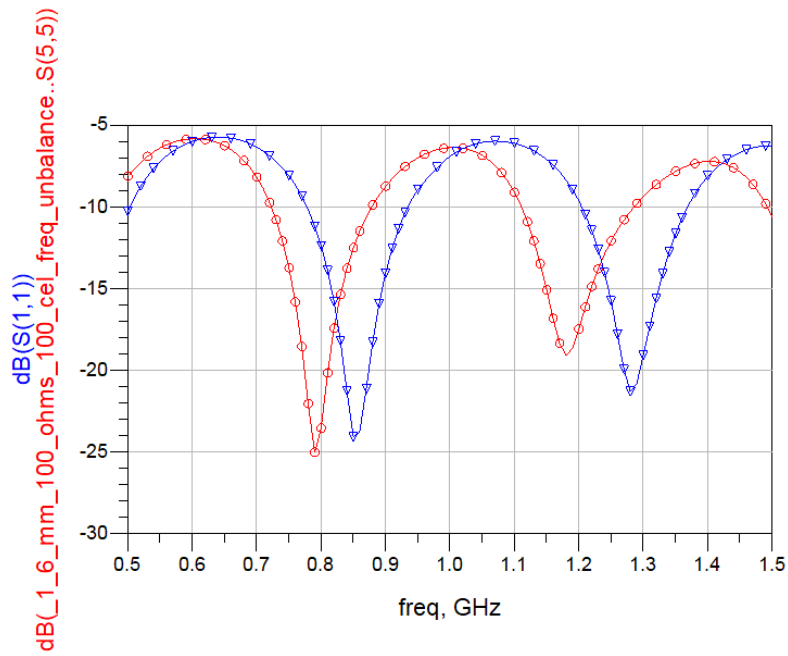


Figura 5-33: Respuestas “S11” de modelo 100 ohms a 1.6 mm y medición del PCB con las mismas características y mismo desacople de impedancias. La simulación está representada por los trazos en círculos y la medición con trazos en triángulos.

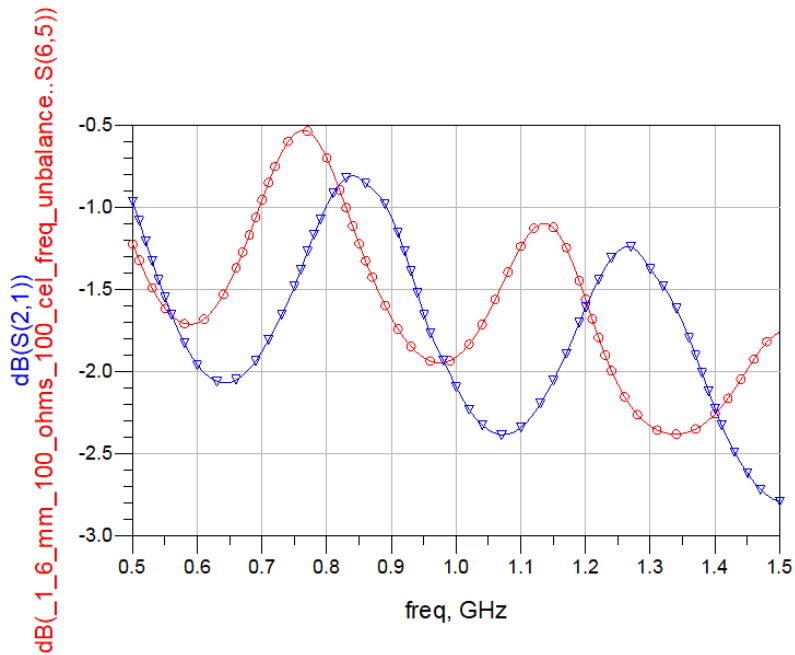


Figura 5-34: Respuestas “S21” de modelo 100 ohms a 1.6 mm y medición del PCB con las mismas características y mismo desacople de impedancias. La simulación está representada por los trazos en círculos y la medición con trazos en triángulos.

Complementariamente también se presentan la Figura 5-33 y la Figura 5-34 que corresponden al parámetro “S11” y “S12” de la línea que está induciendo el “Crosstalk” en la línea acoplada. Se puede observar una buena similitud entre estas dos respuestas en la línea que induce el “Crosstalk” debido a que ambos trazos (simulación y medición) están desacoplados a 50 ohms. El principal desacople de impedancias en esta simulación es debida a la “Y” incluida para poder instalar los conectores tipo SMA en el PCB. El desbalance debido a los 50 ohms de impedancia de entrada del VNA está incluido en la simulación. Esta forma de “Y” en los extremos de los trazos provoca cierta inmunidad al “Crosstalk” como se ven en la Figura 5-31 y Figura 5-32 al manifestarse una menor ganancia en la gráfica con triángulos (PCB con la “Y”) que la gráfica de círculos (simulación sin la “Y”). Esta forma de “Y” podría ser utilizada para minimizar el “Crosstalk” en un diseño de PCB.

Quedaría como trabajo a futuro el hacer un estudio de como este efecto podría ayudar a desarrollar técnicas para minimizar el “Crosstalk” y encontrar el balance adecuado entre atenuación de señal original debido al mal acople de impedancias y el beneficio que se obtiene al hacer la línea de transmisión de datos más inmune al “Crosstalk” al que está expuesta por los trazos de señales adyacentes.

6. CONCLUSIONES

Con el incremento en velocidades de comunicación digital entre dispositivos colocados en un mismo PCB y la portabilidad de estos, se hace necesario que las líneas de transmisión de datos estén más juntas unas de otras de manera inevitable. Esto implica que el fenómeno de “Crosstalk” se presente con más frecuencia en los nuevos desarrollos de dispositivos. Este trabajo provee las herramientas para obtener las capacitancias e inductancias que modelan las líneas de transmisión, con el propósito de que sean usados para hacer simulaciones.

La correlación que se obtuvo entre los modelos propuestos, los modelos circuitales de ADS, los modelos de layout de ADS y las mediciones tomadas a los PCB que se mandaron construir fueron adecuados y con una variación aceptable, de esta manera, se comprobó que el modelo propuesto con base en elementos discretos representa las líneas de transmisión de datos con un margen de error bajo y con buena confiabilidad para ser utilizado en simulación y cálculos para hacer mejoras o minimizar el “Crosstalk” entre líneas de transmisión. Los simuladores actuales de alta frecuencia como el ADS tienen gran versatilidad que permiten hacer simulaciones de layout de PCB diseñado utilizando directamente los gerbers files del proyecto lo cual minimiza los tiempos de preparación para simulación, además de poder graficar los resultados de las mediciones de equipos como el VNA, utilizando directamente los archivos de resultados de mediciones, como los archivos tipo XXXX.s4p por ejemplo, lo cual permite comparar las mediciones con las simulaciones en una misma gráfica. Este tipo de herramientas facilitan los desarrollos y ayudan a minimizar los errores en la toma de decisiones en el desarrollo de un proyecto.

Queda como trabajo futuro el investigar la respuesta observada de manera más notoria en los PCB de 100 ohms, en los que fue manifiesta la baja susceptibilidad de las líneas de transmisión de datos al “Crosstalk” debido a la separación entre líneas en forma de “Y” que se introdujo en los PCB construidos para colocar los conectores SMA. Esta forma de “Y” también induce un mal acople de impedancias que merma la calidad de las señales transmitidas, pero si las líneas de transmisión no son muy largas, esta merma en la calidad de la señal podría ser despreciable en comparación con el beneficio que se obtienen al hacer la línea de transmisión más inmune al “Crosstalk”. Se debe de hacer un análisis caso por caso, dependiendo de la aplicación, de qué forma es la más adecuada, para provocar un desacople tal que ayude a minimizar el “Crosstalk” y que no merme demasiado la calidad de la señal transmitida.

7. BIBLIOGRAFÍA

- [1] S. Voranantakul, J. L. Prince and P. Hsu, «Crosstalk Analysis for High-Speed Pulse Propagation in Lossy Electrical Interconections,» *Trans. on Components, Hybrids, and Manufacturing Tech.*, vol. 16, n° 1, pp. 127 - 136, February 1993.
- [2] Singularity.com, «Singularity.com,» Singularity.com, 01 01 2018. [En línea]. Available: <http://www.singularity.com/charts/page61.html>. [Último acceso: 16 02 2018].
- [3] Wikipedia, «Wikipedia,» Wikipedia, 16 01 2018. [En línea]. Available: <https://es.wikipedia.org/wiki/Microprocesador>. [Último acceso: 16 02 2018].
- [4] K. Technologies, «Advanced Design System,» Keysight Technologies, 01 01 2018. [En línea]. Available: <https://www.keysight.com/en/pc-1297113/advanced-design-system-ads?cc=MX&lc=eng>. [Último acceso: 16 02 2018].
- [5] P. Bretchko, *RF Circuit Design - Theory and Application*, New Jersey: Prentice-Hall, Inc., 2000.
- [6] K.C. Gupta, R. Garg, I. Bahl and P. Bhartia, *Microstrip Lines and Slotlines*, Norwood, MA: Artech House, 1996.
- [7] Intel Crosstalk Overview, «SlidePlayer,» Intel, 30 August 2018. [En línea]. Available: <https://slideplayer.com/slide/5041632/>. [Último acceso: 30 August 2018].
- [8] K. Deuse and P. Eßer, «DW Made for minds,» DW Academie, 08 02 2013. [En línea]. Available: <http://www.dw.com/es/empresa-alemana-triunfa-con-tarjetas-de-circuitos-resistentes/a-16993827>. [Último acceso: 31 03 2018].
- [9] Optimum Design Associates, «100 Ways to Reduce Cost,» Optimum Design Associates, USA, 2014.
- [10] O. A. Palusinski, F. Szidarovzky and Y. You, «New Matrix Algorithm for Calculating Diagonally Matched Impedance of Packaging Interconnecting Lines,» *IEEE Trans. on Microwave Theory and Tech.*, vol. 47, n° 6, pp. 798 - 801, 1999.
- [11] A. P. Agrawal, C. S. Chang and D. A. Gernhart, «Design Considerations for Digital Circuit Interactions in a Multilayer Printed Circuit Board,» *IEEE Trans. on Microwave Theory and Tech.*, vol. 3, n° 37, pp. 472 - 478, 1991.

8. APENDICE

8.1. Apéndice A

PCB de 1.0mm. Dimensiones mostradas en metros, faradios y henrios.

Dimensiones usadas			
Impedancia de 50 ohms			
W = 1738.35e-6			
h = 1.0e-3			
S = 446.971e-6			
t = 18e-6	1 oz. 2 layers		
Er = 4.35			
Parámetro	Gupta 2	Forma Cerrada Gupta	Forma Cerrada Combinada
C_own	1.19E-12	1.20E-12	1.39E-12
C_mut	1.91E-13	2.00E-13	1.11E-13
L_own	3.16E-09	3.10E-09	2.59E-09
L_mut	7.95E-10	8.02E-10	4.52E-10

Dimensiones usadas			
Impedancia de 75 ohms			
W = 838.765e-6			
h = 1.0e-3			
S = 635.07e-6			
t = 18e-6	1 oz. 2 layers		
Er = 4.35			
Parámetro	Gupta 2	Forma Cerrada Gupta	Forma Cerrada Combinada
C_own	7.90E-13	8.07E-13	8.81E-13
C_mut	1.28E-13	1.35E-13	8.26E-14
L_own	4.49E-09	4.39E-09	3.92E-09
L_mut	1.08E-09	1.09E-09	6.93E-10

Dimensiones usadas			
Impedancia de 100 ohms			
W = 374.344e-6			
h = 1.0e-3			
S = 733.995e-6			
t = 18e-6	1 oz. 2 layers		
Er = 4.35			
Parámetro	Gupta 2	Forma Cerrada Gupta	Forma Cerrada Combinada
C_ own	5.76E-13	5.82E-13	6.07E-13
C_ mut	7.81E-14	9.68E-14	6.53E-14
L_ own	6.01E-09	5.86E-09	5.51E-09
L_ mut	1.34E-09	1.37E-09	9.73E-10

PCB de 1.6mm. Dimensiones mostradas en metros, faradios y henrios.

Dimensiones Usadas			
Impedancia de 50 ohms			
W =2795.73e-6			
h = 1.6e-3			
S = 701.797e-6			
t = 18e-6	1 oz. 2 layers		
Er = 4.35			
Parámetro	Gupta 2	Forma Cerrada Gupta	Forma Cerrada Combinada
C_ own	1.19E-12	1.20E-12	1.40E-12
C_ mut	1.95E-13	2.04E-13	1.14E-13
L_ own	3.15E-09	3.10E-09	2.58E-09
L_ mut	8.02E-10	8.11E-10	4.54E-10

Dimensiones Usadas			
Impedancia de 75 ohms			
W = 1357.8e-6			
h = 1.6e-3			
S = 997.816e-6			
t = 18e-6	1 oz. 2 layers		
Er = 4.35			
Parámetro	Gupta 2	Forma Cerrada Gupta	Forma Cerrada Combinada
C_own	7.94E-13	8.06E-13	8.87E-13
C_mut	1.31E-13	1.38E-13	8.49E-14
L_own	4.47E-09	4.40E-09	3.89E-09
L_mut	1.09E-09	1.11E-09	6.96E-10

Dimensiones Usadas			
Impedancia de 100 ohms			
W = 615.734e-6			
h = 1.6e-3			
S = 1146.54e-6			
t = 18e-6	1 oz. 2 layers		
Er = 4.35			
Parámetro	Gupta 2	Forma Cerrada Gupta	Forma Cerrada Combinada
C_own	5.81E-13	5.82E-13	6.14E-13
C_mut	8.31E-14	1.01E-13	6.82E-14
L_own	5.97E-09	5.89E-09	5.45E-09
L_mut	1.36E-09	1.42E-09	9.83E-10

8.2. Apéndice B

Script de ecuaciones de capacitancia cerrada de Gupta

```
% Closed Form Gupta Formulas
```

```
clc, clear all;
```

```
% Variables in meters
```

```
Impedance = 75; % Informative variable value
```

```
Frequency = 1e9; % Informative variable value
```

```
W = 1308.39e-6;
```

```
h = 1.6e-3;
```

```
S = 1010.17e-6;
```

```
t = 18e-6;
```

```
Er = 4.29; % The parameter depends on substrate dimensions, 4.29 PCBWay data
```

```
Eo = 8.854e-12; % Absolute Permittivity (farad/meter)
```

```
Ero = 1; % Relative Permittivity in vacuum
```

```
Uo = 12.5663e-7; % Absolute Permeability (N*A^-2)
```

```
c = 299792458; % Speed of the light (m/s)
```

```
X = 20; % Microstripline Longitude in cm
```

```
N = 100; % Number of equal segments divisions
```

```
u = W/h;
```

```
g = S/h;
```

```
% Effects of thickness
```

```
C_re = ((Er-1)/4.6)*((t/h)/(sqrt(W/h)));
```

```
if u <= 1
```

```
We = ((W/h)+((1.25/pi)*(t/h))*(1+log((4*pi*W)/t)))*h; % For W/h <= 1 (1/2 pi) Page 105
```

```
F_W_h = (1+((12*h)/W))^-1/2+(0.04*(1-(W/h))^2); % For W/h <= 1
```

```
Ere_0 = (((Er+1)/2)+(((Er-1)/2)* F_W_h))-C_re;
```

```
Zo = (60/sqrt(Ere_0))*log(((8*h)/We)+(0.25*(We/h))); % For W/h <= 1
```

```
else
```

```
We = ((W/h)+((1.25/pi)*(t/h))*(1+log((2*h)/t)))*h; % For W/h > 1 (1/2 pi)
```

```
F_W_h = (1+((12*h)/W))^-1/2; % For W/h > 1
```

```
Ere_0 = (((Er+1)/2)+(((Er-1)/2)* F_W_h))-C_re;
```

```
Zo = ((120*pi)/sqrt(Ere_0)) * ((We/h)+1.393+0.667*log((We/h)+1.444))^-1; % For W/h > 1
```

```
end
```

```
% Page 494
```

```
% Even Permittivity Calculations
```

```
be = 0.564 * (((Er - 0.9)/(Er + 3))^0.053);
```

```
v = ((u * (20+g^2))/(10+g^2)) + (g * exp(-g));
```

$$ae = 1 + (1/49)*\log((v^4+(v/52)^2)/(v^4+0.432)) + (1/18.7)*\log(1+(v/18.1)^3);$$

$$Ere_even = ((Er+1)/2) + (((Er-1)/2))*((1+(10/v))^{(-ae*be)});$$

% Odd Permittivity Calculations

$$ao = 0.7287*(Ere_0-(0.5*(Er+1)))*(1-\exp(-0.179*u));$$

$$bo = (0.747*Er)/(0.15+Er);$$

$$co = bo - (bo-0.207)*\exp(-0.414*u);$$

$$do = 0.593 + (0.694*\exp(-0.562*u));$$

$$Ere_odd = Ere_0 + (((0.5*(Er+1))-Ere_0+ao)*\exp(-co*(g^do)));$$

% Even Impedance Calculations

$$Q1 = 0.8695*u^{0.194};$$

$$Q2 = 1 + (0.7519*g) + (0.189*g^{2.31});$$

$$Q3 = 0.1975 + (16.6+(8.4/g)^6)^{-0.387} + (1/241)*\log((g^{10})/(1+(g/3.4)^{10}));$$

$$Q4 = ((2*Q1)/Q2) * (1/((u^{Q3*\exp(-g)})+(2-\exp(-g))*u^{-Q3}));$$

$$Zo_even = Zo * ((\sqrt{Ere_0/Ere_even})/(1-(Q4*\sqrt{Ere_0})*(Zo/377)));$$

% Odd Impedance Calculation

$$Q5 = 1.794 + 1.14*\log(1+(0.638/(g+(0.517*g^{2.43})));$$

$$Q6 = 0.2305 + (1/281.3)*\log(g^{10}/(1+(g/5.8)^{10})) + (1/5.1)*\log(1+(0.598*g^{1.154}));$$

$$Q7 = (10+(190*g^2))/(1+(82.3*g^3));$$

$$Q8 = \exp(-1*(6.5+(0.95*\log(g))+(g/0.15)^5));$$

$$Q9 = \log(Q7)*(Q8+(1/16.5));$$

$$Q10 = Q4 - ((Q5/Q2)*\exp((Q6*\log(u))/u^{Q9}));$$

$$Zo_odd = Zo*((\sqrt{Ere_0/Ere_odd})/(1-(Q10*\sqrt{Ere_0})*(Zo/377)));$$

%Even Capacitance

$$Ce = (1/c)*(\sqrt{Ere_even}/(Zo_even));$$

% Odd Capacitance

$$Co = (1/c)*(\sqrt{Ere_odd}/(Zo_odd));$$

% Capacitances Calculation

```

C_own = ((1/2)*(Co+Ce))/100; % Results in F/cm

C_mut = ((1/2)*(Co-Ce))/100;

% Vacum Capacitance Even Calculation

Ce_vacum = (1/c)*(1/(Zo_even*sqrt(Ere_even)));

% Vacum Capacitance Odd Calculation

Co_vacum = (1/c)*(1/(Zo_odd*sqrt(Ere_odd)));

% Inductors Calculation

L_own = (((Uo*Eo)/2)*((1/Co_vacum)+(1/Ce_vacum)))/100; % Results in H/cm

L_mut = (((Uo*Eo)/2)*((1/Ce_vacum)-(1/Co_vacum)))/100; % Page 466

%XXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXX
XXXXXXXXXXXXXXXXXXXX

disp(['Para un Microstripline que requiere ' num2str(Impedance) ' ohms de impedancia @ '
num2str(Frequency*1e-9) ' GHz, estas son las dimensiones requeridas:']);
disp(' ');
disp(['Ancho de la línea W = ' num2str(W*1e6) ' micrómetros']);
disp(['Separación de las líneas S = ' num2str(S*1e6) ' micrómetros']);
disp(['Altura del dieléctrico h = ' num2str(h*1e3) ' milímetros']);
disp(['Altura de la línea t = ' num2str(t*1e6) ' micrómetros']);
disp(' ');

disp('Magnitud de las Capacitancias e Inductancias parásitas por unidad de longitud:');
disp(' ');
disp(['C_own = ' num2str(C_own*1e12) ' pF/cm']);
disp(['C_mut = ' num2str(C_mut*1e12) ' pF/cm']);

disp(' ');
disp(['L_own = ' num2str(L_own*1e9) ' nH/cm']);
disp(['L_mut = ' num2str(L_mut*1e9) ' nH/cm']);

disp(' ');
disp(['Para un Microstripline de longitud X = ' num2str(X) ' cm, y dividido en ' num2str(N) ' porciones
iguales,']);
disp('estos son los valores de Capacitancia e Inductancia parásitas por celda:');

L_own_per_cell = L_own*X/N;
L_mut_per_cell = L_mut*X/N;
C_own_per_cell = C_own*X/N;
C_mut_per_cell = C_mut*X/N;

disp(' ');
disp(['C_own per cell = ' num2str(C_own_per_cell*1e12) ' pF']);

```

```

disp(['C_mut per cell = ' num2str(C_mut_per_cell*1e12) ' pF']);

disp(' ');
disp(['L_own per cell = ' num2str(L_own_per_cell*1e9) ' nH']);
disp(['L_mut per cell = ' num2str(L_mut_per_cell*1e9) ' nH']);

% K factor calculation for mutual inductance

K = L_mut/sqrt(L_own^2); % K = L12/sqrt(L11*L22)
disp(' ');
disp(['Factor de inducción mutuo K = ' num2str(K)]);

```