INSTITUTO TECNOLÓGICO Y DE ESTUDIOS SUPERIORES DE OCCIDENTE

Departamento de Electrónica, Sistemas e Informática

Desarrollo Tecnológico y Generación de Riqueza Sustentable

PROYECTO DE APLICACIÓN PROFESIONAL (PAP)



ITESO, Universidad Jesuita de Guadalajara

PAP4N01B

PROGRAMA DE LA INDUSTRIA DE ALTA TECNOLOGÍA II

Intel GDC, Zapopan

PRESENTA

Alumna: IE, Nelida Paulina HERNÁNDEZ Moya

Profesor PAP: Juan Manuel Islas Espinoza, PMP®

Tlaquepaque, Jalisco, julio de 2023.

ÍNDICE DE CONTENIDOS

REPORTE PAP 3
Presentación Institucional de los Proyectos de Aplicación Profesional 3
Resumen 4
1. Introducción 5
1.1 Antecedentes 5
1.2 Justificación 5
1.3 Objetivos 6
1.4 Contexto 7
1.5 Entregables 7
1.6 Involucrados 8
2. Desarrollo del Proyecto PAP 9
2.1 Administración del Proyecto 9
2.2 Sustento Teórico y Metodológico 9
2.3 Descripción del Proyecto 10
2.4 Tipo de Proyecto 10
2.5 Plan de Trabajo 11
2.6 Equipo de Trabajo 12
2.7 Plan de Comunicaciones 13
2.8 Plan de Calidad 14
2.9 Seguimiento y Control 15
2.10 Cierre del Proyecto 15
3. Resultados del Trabajo Profesional 17
3.1 Productos Obtenidos 17
3.1 Estimación del Impacto 17
4. Reflexiones del alumno 19
4.1 Aprendizajes Profesionales 19
4.2 Aprendizajes Sociales 19
4.3 Aprendizajes Éticos 20
4.4 Aprendizajes Personales 20
4.5 Tareas Aprendidas 20
5. Conclusiones 22
6. Bibliografía y Anexos 23

REPORTE PAP

Presentación Institucional de los Proyectos de Aplicación Profesional

Los Proyectos de Aplicación Profesional (PAP) son una modalidad educativa del ITESO en la que el estudiante aplica sus saberes y competencias socio-profesionales para el desarrollo de un proyecto que plantea soluciones a problemas de entornos reales. Su espíritu está dirigido para que el estudiante ejerza su profesión mediante una perspectiva ética y socialmente responsable.

A través de las actividades realizadas en el PAP, se acreditan el servicio social y la opción terminal. Así, en este reporte se documentan las actividades que tuvieron lugar durante el desarrollo del proyecto, sus incidencias en el entorno, y las reflexiones y aprendizajes profesionales que el estudiante desarrolló en el transcurso de su labor.

Resumen

El siguiente documento describe el desarrollo de mi paso por el proyecto de desarrollo de una CPU x86, dentro del grupo de AADG (Advanced Architecture Development Group), específicamente en el área de diseño, haciendo parte de la verificación en el equipo de Design for x, que implica diseño para pruebas, eliminar errores, informar equivocaciones de diseño, entre otros aspectos.

La idea principal de mi incorporación a este equipo es entrenarme en diferentes tópicos, como lo son el lenguaje descriptivo de hardware SystemVerilog, el conocimiento de la metodología universal de verificación para circuitos integrados (procesadores) UVM, el entendimiento de JTAG, pues es el canal por donde principalmente se mandarán/recibirán los datos en las pruebas de los módulos de la CPU. Una vez entrenada teóricamente en dichos temas, mi trabajo consistirá en apoyar a los ingenieros en el desarrollo y depuración de las pruebas correspondientes.

Adicionalmente, el uso de una máquina virtual, en donde se realizarán todos los testbench necesarios para comprender el DUT total y de esta manera completar los features necesarios para que nuestros clientes (post-silicio) hagan sus respectivas pruebas de manera exitosa y no se presenten casos de fallo desconocidos, lo cual implicaría un retraso en la producción y por supuesto un gasto innecesario.

Una forma de trabajo basada en sprints será la metodología administrativa que mi equipo y yo estaremos utilizando para tener todas las pruebas diseñadas en tiempo y forma, evitando que nuestros códigos sean detonantes de fallas para siguientes mejoras, siendo verificados por los ingenieros más expertos en el área, siempre bajo el control de versiones (Git).

Finalmente, y aunque mi trabajo está más orientado hacia el diseño de pruebas con el RTL, es parte de mi crecimiento y desarrollo como profesional en un equipo de diseño, integrarme hacia el conocimiento del core, enfocándome en el aprendizaje de x86, sobre el ISA, la organización, la microarquitectura, entre otros elementos importantes, así como de los aspectos más claves en ambientes de verificación para procesadores.

1. Introducción

1.1 Antecedentes

Durante mi PAP I, estuve en el mismo grupo en el que me encuentro ahora, el desarrollo y verificación de un procesador x86, en donde me entrené en diversos tópicos, el objetivo y compromiso fue empezar con entrenamientos en el lenguaje y metodología necesaria para empezar a contribuir, siendo así mi tiempo invertido de 30 horas, los recursos que tuve a mi disponibilidad son licencias en diferentes plataformas para tomar cursos sobre el tema a aprender, así como documentación del área en la que me voy a enfocar, entrenamientos pregrabados que se le dieron a becarios que ahora son ingenieros, la disponibilidad de mi manager e ingenieros seniors para cualquier duda y explicación de ciertos elementos. De tal manera que así he podido colaborar con ellos una vez que estuve preparada en lo requerido, siguiendo con entrenamientos y aprendizajes. En sí, son las características que conformaron a mi PAP anterior, fue una experiencia enriquecedora que me trajo conocimientos valiosos para el trabajo que desempeño.

La organización huésped se trata de Intel GDC (Guadalajara Design Center), dicha organización se enfoca principalmente en el diseño y fabricación de microprocesadores para computadoras, así como de procesadores para servidores y GPUs para tarjetas gráficas**,** si bien las anteriores son sus principales vertientes y productos hacia el mundo, tiene además laboratorios en donde se investiga principalmente la parte de FPGAs y protocolos de comunicación, en los últimos años, Intel también se ha dedicado a la parte de software, la nube e inteligencia artificial, como campos de desarrollo, producción e investigación.

Los principales clientes que atiende Intel son OEMs y ODMs. Los ODM brindan servicios de diseño y fabricación a revendedores de marca privada con y sin marca. Además, venden sus productos a otros fabricantes, incluidos los fabricantes de una amplia gama de equipos industriales y de comunicaciones. También incluyen aquellos que compran componentes de PC y otros productos a través de canales de distribuidores, revendedores, minoristas y OEM en todo el mundo, el canal de ventas en todo el mundo consta de miles de clientes indirectos: creadores de sistemas que compran microprocesadores Intel y otros productos de sus distribuidores, por lo que el mercado es global.

Su misión/propósito es crear tecnología que modifica el mundo y mejorar la vida de todas las personas del planeta, mientras que sus valores son: primero, innovación intrépida, orientada por resultados, un Intel, inclusión, calidad e integridad, que guían su manera de tomar decisiones, de tratarse unos a otros, de servir a sus clientes para lograr sus objetivos y de moldear la tecnología como una fuerza para el bien. Están unidos por su propósito y orientados por sus valores para lograr sus ambiciones y ayudar a sus clientes a tener éxito (Intel, s/f).

1.2 Justificación

El propósito principal del procesador x86 que se está desarrollando Intel es continuar con la innovación y mejora que siempre los ha constituido como empresa líder y pionera en el área de microprocesadores, para así titularse como los número uno en el mercado.

Desde enero de 2022 estuve trabajando en Intel dentro del equipo de BIOS, mi trabajo consistía principalmente en debuggear los algoritmos-códigos para los patrones de entrenamiento de las memorias RAM de los servidores,

si bien era interesante y divertido, sentía que mi gusto iba más por el diseño de hardware que por el desarrollo de firmware.

El motivo por el cual me interesó tanto unirme al proyecto fue porque toda el área de diseño me parece fascinante, desde que empecé de manera muy básica en la descripción de hardware, sabía que esto era lo que quería hacer y sobre todo en la industria, ver la calcomanía del procesador en una computadora y saber que yo contribuí en su creación es algo muy satisfactorio, por lo que hacer verificación de hardware es el primer paso para introducirme en el diseño, puesto que para llegar a diseñar primero necesito envolverme en algo que me vaya dando más experiencia, aunque llevamos únicamente 3 materias (2 en realidad) dedicadas al diseño digital, siempre se me ha hecho algo muy importante y crucial, porque sin eso, las computadoras no podrían ser creadas, y de ahí dependemos para hacer prácticamente nuestra vida.

Ahora que conozco de mejor manera las herramientas, recursos y metodologías requeridas, decidí continuar en el mismo proyecto para mi PAP II, debido a que lo encuentro bastante interesante y apasionante, adicionalmente, el proyecto va caminando de excelente forma, cada vez avanzamos más, hay grandes impactos y también colaboraciones, la meta está más cercana y eso nos motiva a seguir desarrollando dentro del mismo, y esto se alinea bastante bien con mi objetivo de mantenerme en el diseño y verificación de hardware como área profesional, para luego entrar a la arquitectura, en donde la idea es realizar algún posgrado después.

El esfuerzo a realizar es de suma importancia, pues sigo estudiando en la universidad, actualmente en verano sólo estoy cursando el PAP II, por lo que puedo dedicarle suficiente tiempo a mis entregables comprometidos dentro de la empresa, por supuesto que aún tengo temas en los que entrenarme, así que el autoaprendizaje continua de igual forma en entrenamientos y cursos, seguiré yendo a la oficina de forma presencial dos veces por semana, no hay ningún problema, se trata de ser constante y disciplinada para cumplir en tiempo y calidad lo que tengo pendiente. Este trabajo me ha traído mucha experiencia y conocimiento valioso, durante el semestre pasado de primavera, estuve llevando una materia llamada Diseño, Verificación y Validación de Sistemas Digitales, una de las más pesadas y complejas de la carrera, la cual pasé con 10 gracias a todo el conocimiento que adquirí en Intel.

Definitivamente verificación no es lo que quiero hacer para siempre, pero sí es el primer paso irme adentrando en áreas más profundas del pre-silicio, para posteriormente hacer arquitectura o diseño formal y probablemente (después de la maestría en microelectrónica) adentrarme en el diseño en silicio.

1.3 Objetivos

Los objetivos de Intel al realizar proyectos PAP o de internships, es de atraer talento joven que está aprendiendo y se encuentra en la fase intermedia-final de su carrera, para de esta manera poder entrenarlos y que empiecen apoyando a los ingenieros en los equipos, para una vez completado su periodo evaluar su desempeño y poder contratarlos como ingenieros de tiempo completo y así incrementar la fuerza laboral, porque desafortunadamente, se requieren bastantes ingenieros y hay escasez de estos.

Mis objetivos como profesional, es adentrarme en el desarrollo de un producto como lo será el procesador en el que estamos trabajando, dicho proyecto empezó hace unos meses, por lo que entré en una muy buena etapa; aprender sobre el diseño para verificación, así como considerarme con conocimientos avanzados del desarrollo de

hardware, de la metodología de verificación, del puerto de comunicación, y en los demás componentes del diseño, que por lo regular son estándares entre empresas, así que si en algún momento decido cambiarme de lugar de trabajo, podre obtener un empleo similar a todo lo que realizaré aquí.

Las competencias principales han sido:

- SystemVerilog, UVM, CISC, RISC, x86, JTAG, Linux, Git/GitHub, Python/Perl.
- Metodología ágil, sprints, JIRA, HSD, objetivos-resultados, calidad, juntas eficientes.
- Pensamiento crítico, asertividad, trabajo en equipo, creatividad, responsabilidad, resiliencia,

1.4 Contexto

La unidad de negocio en la que estoy es AADG (Advanced Architecture Development Group) la cual tiene dos sub-áreas principales, Arquitectura y Diseño, estando yo en Diseño, en la parte de verificación y más específicamente en el equipo que diseña pruebas para verificar en post-silicio.

El tipo de proyecto es un procesador x86 en el que colaboramos varias áreas, mi trabajo consiste en diseñar diversos tests que posteriormente los equipos de post-silicio puedan replicar como parte de la validación y así corregir/informar de las fallas que este tenga, todo se maneja a través de features que se dan por sprints, los cuales se nos asignan o vamos tomando, según se vaya requiriendo.

Mi rol es de becaria (en 30 horas y modalidad mixta, en el otro equipo de 20 horas y modalidad remota), y mis funciones por el momento serán sobre aprender y entrenarme en todos los temas que requiero para empezar a colaborar, para posteriormente tomar features o apoyar a los ingenieros con algunas cosas que requieren para los suyos.

1.5 Entregables

Respecto a los entregables, por el momento sólo tengo mis objetivos de este Q2 (finaliza terminando junio) hacia con mi manager que son los siguientes:

- Terminar todos mis entrenamientos tanto técnicos de mi área, del equipo y los corporativos.
- Desarrollar la secuencia para probar un test que analiza cada uno de los registros de cierto puerto de interés.
- Terminar la ejecución de una prueba, corrigiendo cada uno de los errores que arroja en las regresiones.
- Aprender sobre el uso de las funciones programadas para las pruebas desarrolladas.
- Apoyar en el debuggeo inicial de todos los tests que fallen en las regresiones bisemanales de la salud de nuestras pruebas.

Adicionalmente, los tickets activos en JIRA por cada sprint, que van desde revisar la conexión de algunas señales, su funcionamiento, hasta automatizar una prueba, entre otras cosas.

Finalmente, los entregables de la materia, que involucran el reporte final, así como la presentación y el poster de todo mi proyecto PAP.

1.6 Involucrados

- El área interna es el equipo de diseño, que viene desde todo el equipo en conjunto con arquitectura-diseño, quienes estamos trabajando de la mano en el procesador.
- Nuestro cliente directo que es el equipo de validación post-silicio, sin embargo, de manera más práctica y real, se trata de las empresas de PCs quienes comprarán dicho procesador para integrarlo.
- El líder del proyecto que es dos personas arriba de mi manager directo, quien liderea el equipo de diseño, junto con la otra líder del equipo de arquitectura.
- Los miembros del equipo de trabajo se encuentran entre diseño, verificación de la arquitectura, del microcódigo, de la gestión de potencia, de frontend, backend, del diseño de pruebas, entre otras áreas.
- Dentro del equipo, existe un grupo de personas que se dedican a automatizar en Python diversas herramientas y métodos, para evitar hacerlo en SystemVerilog, lenguaje más complejo en todos los sentidos, es un equipo con el que todas las áreas colaboran entre sí.
- Y finalmente, mi rol será apoyar en el diseño de pruebas.

2. Desarrollo del Proyecto PAP

2.1 Administración del Proyecto

Respecto al proceso de actividades que usamos en mi equipo, se trata de una metodología ágil y por sprints, con duración de 3 semanas, en la cual se nos asignan una cierta cantidad de tickets a resolver, según la prueba que estemos desarrollando o la mejora que estemos haciendo.

Cada tres semanas tenemos junta de planeación, previa al final del sprint, en donde se definen las tareas asignadas para el siguiente periodo, así como para mover aquellas que no fueron terminadas y revisar cuales pueden pasar a estado de terminado, a través de un tablero en donde se muestran las actividades pendientes de cada miembro del equipo, entonces se da oficialmente el cierre de ese sprint y el inicio del siguiente, así como su planificación.

Dos veces por semana nos reunimos para hablar sobre cómo vamos, si hay alguna duda, algún pendiente bloqueado o dar el estatus de nuestras actividades, conforme vamos haciéndolas y terminándolas, son 5 juntas que comprenden todo el periodo de ejecución, seguimiento y control, antes de pasar a la 6° junta en donde se da el cierre del sprint y el inicio del siguiente.

2.2 Sustento Teórico y Metodológico

La metodología ágil es un conjunto de técnicas aplicadas en ciclos de trabajo cortos, con el objetivo de que el proceso de entrega de un proyecto sea más eficiente. Así, con cada etapa completada, ya se pueden entregar avances y se deja de lado la necesidad de esperar hasta el término del proyecto.

Creada en 2001 por un grupo de programadores de TI (Tecnología de la Información) a través del “Manifiesto por el Desarrollo Ágil de Software”, la metodología ágil se propone entregar valor al cliente de manera más rápida y puede proporcionar numerosos beneficios a la empresa, como:

- Optimización del flujo de trabajo.
- Aumento de la productividad de tu equipo.
- Mayor satisfacción del cliente.

Con la metodología ágil es posible controlar mejor el presupuesto, ya que permite la entrega de pequeños resultados que ayudan a alinear los costos al objetivo final del proyecto.
En la metodología tradicional hay una planificación inicial que se debe seguir hasta el final. Gracias a los sprints o ciclos de trabajo característicos de la ágil, esto se vuelve más flexible, contribuyendo a una mejor gestión de riesgos.
La colaboración con el cliente es más efectiva en la metodología ágil, ya que recibe varios resultados durante todo el proceso y puede participar de forma activa en su mejora (Zendesk, 2023).

Un sprint es un período breve de tiempo fijo en el que un equipo de scrum trabaja para completar una cantidad de trabajo establecida. Los sprints se encuentran en el corazón de las metodologías scrum y ágil, y hacer bien los sprints ayudará al equipo ágil a lanzar mejor software con menos problemas. Con scrum, un producto se basa en una serie de iteraciones llamadas sprints que dividen proyectos grandes y complejos en porciones minúsculas.

Los sprints ayudan a los equipos a seguir el principio de la metodología ágil de "entregar software de trabajo con frecuencia", así como vivir el valor ágil de "dar respuesta a un cambio por encima del seguimiento de un plan". Los valores de transparencia, inspección y adaptación de la metodología scrum son complementarios a los ágiles y centrales al concepto de sprints (Rehkopf, s/f).

2.3 Descripción del Proyecto

Mi proyecto PAP se trata de un módulo específico de todo el desarrollo de la CPU x86 que estamos desarrollando, por lo que aunque trabajamos de manera independiente a los demás equipos también nos alineamos con las fechas de los entregables, ya que sin nuestras pruebas, las siguientes etapas de verificación no podrían ni siquiera empezar.

Ya que formamos parte del equipo de diseño para verificación, dependemos de los diseñadores, en cuanto ellos liberan el diseño nosotros podemos empezar a proceder con el diseño de las pruebas, mientras tanto, nos preparamos portando los códigos y elementos necesarios para empezar con la verificación funcional que posteriormente procedemos a hacer, paralelamente los scrum master empiezan a hacer un plan de trabajo para dividir las pruebas a desarrollar, mientras que los verificadores trabajamos en los tests-plans para ejecutar las pruebas una vez que el diseño esté disponible para inyectarle los estímulos necesarios y así realizar la verificación necesaria.

En cuanto a los recursos más utilizados, son los siguientes:

- JIRA (para la metodología de sprints).
- Eclipse (en donde desarrollamos el código de las pruebas).
- Verdi (para observar las simulaciones y formas de onda de las pruebas).
- UVM y SystemVerilog (los lenguajes que como desarrolladores de software empleamos para poder programar nuestras pruebas).
- Git (para el control de versiones del código).
- Linux (el manejo de la terminal en la que revisamos todo el contenido de código, pruebas y formas de onda).

El alcance de mi proyecto educativo implica principalmente que me entrene en el conocimiento del lenguaje de verificación de sistemas digitales SystemVerilog, así como el conocimiento de la metodología universal de verificación UVM, para ser capaz de desarrollar pruebas y poder comprobar su funcionamiento a través del testbench y las formas de onda y finalmente el conocimiento de ciertos elementos del microprocesador (tecnologías propias de Intel) para que pueda contribuir en el diseño, elaboración y debuggeo de las pruebas de dichos componentes.

2.4 Tipo de Proyecto

El ciclo de vida del proyecto PAP corresponde a uno incremental, estamos portando ciertas cosas de un proyecto anterior y la idea es que una vez terminado y funcional, pueda ser escalable y aumentar su efectividad, así como características, probablemente como un proyecto diferente o simplemente como una versión posterior del proyecto original.

El proyecto completo tiene bastantes áreas diferentes de arquitectura, diseño y verificación, en mi equipo diseñamos y desarrollamos las pruebas de verificación para ciertas funcionalidades del microprocesador, así posteriormente los equipos de validación pueden reproducir estas pruebas y comprobar que el microprocesador está funcionando en su etapa de post-silicio, nosotros al diseñar en pre-silicio consideramos escenarios ideales, pero aun así esto debe ser aplicable también para los equipos de validación funcional, ya que si las pruebas no son útiles para ellos, podríamos tener gaps y eso es sumamente indeseable para nosotros.

2.5 Plan de Trabajo

Las competencias que debo adquirir se enumeran a continuación.

Inventario de Competencias						
Número	**Competencia**	**Requerido**	**Adquirido**	**GAP**	**Objetivo**	**Prioridad**
1	**Descripción de hardware en SystemVerilog.**	3	2	1	3	A
1.1	Desarrollo de test-bench en SystemVerilog para la verificación del CPU.	3	2	1	3	A
1.2	Manejo de clases y objetos en SystemVerilog.	3	2	1	3	M
2	**Conocimiento de UVM (Universal Verification Methodology).**	3	2	1	3	A
2.1	Creación de secuencias para probar los módulos del CPU.	3	2	1	3	A
2.2	Configuración del DUT (Device Under Test) para la prueba.	3	2	1	3	M
3	**Entendimiento de JTAG.**	3	2	1	3	A
3.1	Uso de JTAG para mandar los patrones hacia el test.	3	2	1	3	A
3.2	Manejo de JTAG para leer y escribir datos.	3	2	1	3	A
3.3	Resolver features de los componentes especificados para las pruebas en post-silicio.	3	2	1	3	A
4	**Manejo de la máquina virtual.**	3	2	1	3	M
4.1	Uso de comandos en Linux para el set del entorno.	3	2	1	3	M
4.2	Compilación y sintetización de los modelos.	3	2	1	3	A
5	**Conocimiento sobre procesadores x86.**	3	2	1	3	M
5.1	Entendimiento del ISA (Instruction Set Architecture) para procesadores CISC.	3	2	1	3	M
5.2	Conocimiento sobre la microaquitectura y registros del procesador x86 que estamos desarrollando.	3	2	1	3	M
6	**Uso de Git y GitHub**	3	2	1	3	M
6.1	Manejo de los comandos para jalar y enviar cambios de código.	3	2	1	3	M
6.2	Gestión de los turnings según el feature.	3	2	1	3	A
7	**Desarrollo del test-plan**	3	2	1	3	A
7.1	Comprensión de los features a desarrollar según el sprint y entender según el RTL.	3	2	1	3	A
7.2	Guiar la verificación para llegar al destino de cumplir los objetivos y la aprobación.	3	2	1	3	A
8	**Comunicación en inglés**	4	3	1	4	M
8.1	Comunicación escrita en inglés.	4	3	1	4	M
8.2	Comunicación oral en inglés.	4	3	1	4	A

Ya que no tengo acceso a las actividades de todo el equipo, además de que son confidenciales, plasmaré las mías y más trascendentes.

Plan de Trabajo										
Número de Actividad	**Nombre de la Actividad**	**Sprint**	**Fecha de inicio**	**Fecha de termino**	**Duración**	**Dependencia**	**Dueño de la actividad**	**AC**	**Stakeholder**	**Estatus**
1	**Terminar trainings requeridos**	5	11/04/2023	02/05/2023	3 semanas	1	nphernan (Yo)		USA manager y mi LT	Terminado
1.1	Training de Git	5	11/04/2023	02/05/2023	3 semanas	1	nphernan (Yo)		USA manager y mi LT	Terminado
1.2	Training de GitHub	5	11/04/2023	02/05/2023	3 semanas	1	nphernan (Yo)		USA manager y mi LT	Terminado
1.3	Training de Perl	5	11/04/2023	02/05/2023	3 semanas	1	nphernan (Yo)		USA manager y mi LT	Terminado
2	**Debuggeo inicial de las regresiones**	5	11/04/2023	02/05/2023	3 semanas	2	nphernan (Yo)		USA manager y mi LT	Terminado
2.1	Correr las regresiones paralelamente a las automáticas	5	11/04/2023	02/05/2023	3 semanas	2	nphernan (Yo)		USA manager y mi LT	Terminado
2.2	Revisar los errores y los dueños de las pruebas	5	11/04/2023	02/05/2023	3 semanas	2	nphernan (Yo)		USA manager y mi LT	Terminado
2.3	Reportar los errores iniciales a los desarrolladores	5	11/04/2023	02/05/2023	3 semanas	2	nphernan (Yo)		USA manager y mi LT	Terminado
3	**Ejecutar prueba de conexión de JTAG**	6	02/05/2023	23/05/2023	3 semanas	3	nphernan (Yo)		USA manager y mi LT	Terminado
3.1	Acceder al código de la secuencia	6	02/05/2023	23/05/2023	3 semanas	3	nphernan (Yo)		USA manager y mi LT	Terminado
3.2	Empezar a probar diferentes funciones	6	02/05/2023	23/05/2023	3 semanas	3	nphernan (Yo)		USA manager y mi LT	Terminado
3.3	Desarollar la prueba	6	02/05/2023	23/05/2023	3 semanas	3	nphernan (Yo)		USA manager y mi LT	Terminado
3.4	Ejecutar la prueba	6	02/05/2023	23/05/2023	3 semanas	3	nphernan (Yo)		USA manager y mi LT	Terminado
3.5	Reportar resultados	6	02/05/2023	23/05/2023	3 semanas	3	nphernan (Yo)		USA manager y mi LT	Terminado
3.6	Levantar bugs con diseño de las señales desconectadas	6	02/05/2023	23/05/2023	3 semanas	3	nphernan (Yo)		USA manager y mi LT	Terminado
4	**Terminar ejecución de registros de JTAG**	6	02/05/2023	23/05/2023	3 semanas	4	nphernan (Yo)		USA manager y mi LT	Terminado
4.1	Correr las formas de onda	6	02/05/2023	23/05/2023	3 semanas	4	nphernan (Yo)		USA manager y mi LT	Terminado
4.2	Revisar si las señales coinciden	6	02/05/2023	23/05/2023	3 semanas	4	nphernan (Yo)		USA manager y mi LT	Terminado
4.3	Reportar a diseño los registros/campos desconectados	6	02/05/2023	23/05/2023	3 semanas	4	nphernan (Yo)		USA manager y mi LT	Terminado
5	**Aprender sobre las tareas de JTAG**	7	23/05/2023	13/06/2023	3 semanas	5	nphernan (Yo)		USA manager y mi LT	En progreso
5.1	Revisar el código y las funciones	7	23/05/2023	13/06/2023	3 semanas	5	nphernan (Yo)		USA manager y mi LT	En progreso
5.2	Probar cada una de ellas en las formas de onda	7	23/05/2023	13/06/2023	3 semanas	5	nphernan (Yo)		USA manager y mi LT	En progreso
5.3	Ejecutarlas en una prueba real	7	23/05/2023	13/06/2023	3 semanas	5	nphernan (Yo)		USA manager y mi LT	En progreso
6	**Automatizar regresión**	8	13/06/2023	04/07/2023	3 semanas	6	nphernan (Yo)		USA manager y mi LT	Por hacer
6.1	Contactar a la ingeniera de Python y explicarle	8	13/06/2023	04/07/2023	3 semanas	6	nphernan (Yo)		USA manager y mi LT	Por hacer
6.2	Pasar el path del modelo y el estado actual	8	13/06/2023	04/07/2023	3 semanas	6	nphernan (Yo)		USA manager y mi LT	Por hacer
6.3	Lanzar el feature de la prueba categorizada	8	13/06/2023	04/07/2023	3 semanas	6	nphernan (Yo)		USA manager y mi LT	Por hacer

Finalmente, mi plan de actividades educativas, en donde se describen las diferentes competencias que debo desarrollar, ya que teóricamente las conozco, requiero seguir practicando en ellas semana a semana, ahora no

como parte de entrenamientos, sino como práctica directa, pues constantemente las pongo a prueba en lo que requiero ir desarrollando.

Plan de Actividades

Número	Actividad Educativa	Tipo Actividad	Prerrequesito	Total de horas	Fecha Inicio	Fecha Termino	1	2	3	4	5	6	7	8	Objetivo
1	**Descripción de hardware en SystemVerilog.**														
1.1	Desarrollo de test-bench en SystemVerilog para la verificación del CPU.	Desarrollo/práctica.		16	22/05/2023	15/07/2023	2	2	2	2	2	2	2	2	16
1.2	Manejo de clases y objetos en SystemVerilog.	Desarrollo/práctica.	1.1	16	22/05/2023	15/07/2023	2	2	2	2	2	2	2	2	16
2	**Conocimiento de UVM (Universal Verification Methodology).**						2	2	2	2	2	2	2	2	
2.1	Creación de secuencias para probar los módulos del CPU.	Desarrollo/práctica.	1.1/1.2	16	22/05/2023	15/07/2023	2	2	2	2	2	2	2	2	16
2.2	Configuración del DUT (Device Under Test) para la prueba.	Desarrollo/práctica.	1.1/1.2	16	22/05/2023	15/07/2023	2	2	2	2	2	2	2	2	16
3	**Entendimiento de JTAG y componentes para los features.**						2	2	2	2	2	2	2	2	
3.1	Uso de JTAG para mandar los patrones hacia el test.	Desarrollo/práctica.	1.1/2.1	16	22/05/2023	15/07/2023	2	2	2	2	2	2	2	2	16
3.2	Manejo de JTAG para leer y escribir datos.	Desarrollo/práctica.	1.1/2.1	16	22/05/2023	15/07/2023	2	2	2	2	2	2	2	2	16
3.3	Resolver features de los componentes especificados para las pruebas en post-silicio.	Desarrollo/práctica.	1.1/2.1	16	22/05/2023	15/07/2023	2	2	2	2	2	2	2	2	16
4	**Manejo de la máquina virtual.**						2	2	2	2	2	2	2	2	
4.1	Uso de comandos en Linux para el set del entorno.	Desarrollo/práctica.		16	22/05/2023	15/07/2023	2	2	2	2	2	2	2	2	16
4.2	Compilación y sintetización de los modelos.	Desarrollo/práctica.		16	22/05/2023	15/07/2023	2	2	2	2	2	2	2	2	16
5	**Conocimiento sobre procesadores x86.**						2	2	2	2	2	2	2	2	
5.1	Entendimiento del ISA (Instruction Set Architecture) para procesadores CISC.	Desarrollo/práctica.		16	22/05/2023	15/07/2023	2	2	2	2	2	2	2	2	16
5.2	Conocimiento sobre la microaquitectura y registros del procesador x86 que estamos desarrollando.	Desarrollo/práctica.		16	22/05/2023	15/07/2023	2	2	2	2	2	2	2	2	16
6	**Uso de Git y GitHub**						2	2	2	2	2	2	2	2	
6.1	Manejo de los comandos para jalar y enviar cambios de código.	Desarrollo/práctica.	4.1/4.2	16	22/05/2023	15/07/2023	2	2	2	2	2	2	2	2	16
6.2	Gestión de los turnings según el feature.	Desarrollo/práctica.	4.1/4.2	16	27/03/2023	17/04/2023	2	2	2	2	2	2	2	2	16
7	**Desarrollo del test-plan**						2	2	2	2	2	2	2	2	
7.1	Comprensión de los features a desarrollar según el sprint y entender según el RTL.	Desarrollo/práctica.	6.1/6.2	16	22/05/2023	15/07/2023	2	2	2	2	2	2	2	2	16
7.2	Guiar la verificación para llegar al destino de cumplir los objetivos y la aprobación.	Desarrollo/práctica.	6.1/6.2	16	22/05/2023	15/07/2023	2	2	2	2	2	2	2	2	16
8	**Comunicación en inglés**						2	2	2	2	2	2	2	2	
8.1	Comunicación escrita en inglés.	Desarrollo/práctica.		16	22/05/2023	15/07/2023	2	2	2	2	2	2	2	2	16
8.2	Comunicación oral en inglés.	Desarrollo/práctica.		16	22/05/2023	15/05/2023	2	2	2	2	2	2	2	2	16

2.6 Equipo de Trabajo

Lista de participantes de mi grupo de trabajo directo.

Rol	Responsabilidad	Nombre (opcional)
Manager directo Sr. CPU Verification Engineer	Establecer los objetivos de aprendizaje y apoyar con dudas de los entrenamientos, así como trabajo técnico	Carlos
Manager de alto nivel	Gestión de los integrantes del equipo y la comunicación con los dueños del proyecto	Leonel
Manager de USA	Asignar las actividades a cada integrante de acuerdo la prueba a desarrollar	Doug
Sr. CPU Verification Engineer	Desarrollar pruebas	Horacio
CPU Verification Engineer	Desarrollar pruebas	Aaron
Sr. CPU Verification Engineer	Desarrollar pruebas	César
Scrum Master de USA	Quien maneja la metodología de tiempos y actividades de cada integrante del equipo	Robert
DFx Intern	Desarrollar pruebas	Nelida
Pr. DFx Intern	Desarrollar pruebas	Supriya
Sr. DFx Engineer	Desarrollar pruebas	David
Sr. DFx Engineer	Encargada de la parte de memorias	Annapurna
Sr. DFx Engineer	Desarrollar pruebas	Karan

2.7 Plan de Comunicaciones

Así se comunica y distribuye la información del proyecto entre los integrantes de los grupos de trabajo.

Emisor	Mensaje	Receptor	Medio	Frecuencia
Manager de DFx	Actividades a realizar	Scrum master de DFx	Junta de planeación	Cada sprint (3 semanas)
Scrum master de DFx	Actividades a realizar para cada ingeniero e intern del equipo	Equipo de DFx	Tickets de JIRA	Cada sprint (3 semanas)
Manager de proyecto anterior	Colaboración entre el proyecto anterior y el que estamos desarrollando	Equipo anterior y actual de DFx	Junta de actualizaciones	Cada semana
Manager general de todo diseño	Actualización del proyecto en colaboración con arquitectos	Todo el equipo del proyecto	Juntas de seguimiento	Cada mes
Asistentes de los dueños del proyecto	Revisar cómo vamos hasta el momento	Interns	Juntas de seguimiento	Cada mes
Equipo de DFx	Reporte de actividades y control	Scrum master de DFx	Juntas de seguimiento	Dos veces por semana
Integrantes de AADG DESIGN GDC 2	Control de entrenamientos y trabajos	Manager directo	Juntas de seguimiento	Dos veces por mes
Estudiante de PAP PIAT II	Revisión de reporte de PAP	Profesor de PAP	Revisiones de control	Una vez cada dos semanas

2.8 Plan de Calidad

Así es el proceso para entregar algo, según lo que se esté desarrollando.

Emisor: ¿Quién entrega?	Entregable: ¿Qué entrega? (Subentregable)	Receptor: ¿Quién recibe o inspecciona?	Criterios: (Condiciones de aceptación)	Siguiente paso: ¿A dónde va cuando se autoriza?
Manager de DFx	Actividades a realizar para el equipo en un reporte	Scrum master de DFx	Carga balanceada de actividades	Dividir las actividades según el peso y rubro a cada integrante de DFx
Scrum master de DFx	Ticket con la información de la actividad a realizar	Equipo de DFx	Que la descripción sea clara y el tiempo adecuado, así como los recursos dados suficientes	A los diseñadores para empezar con el testplan de la prueba
Desarrolladores de DFx	Documento con el testplan	Manager de DFx y scrum master de DFx	Que el plan sea correcto, viable y funcione para el test a ejecutar	Los desarrolladores diseñan el código de la prueba y la lanzan
Desarrolladores de DFx	Reporte con los resultados de la prueba	Manager de DFx y scrum master de DFx	Que la prueba haya pasado y los resultados sean los esperados, así como que no cause daños en los demás códigos	El ticket se marca como completado
Integrantes de un equipo	Reporte con los objetivos en un periodo de tiempo	Manager al que se le reporta	Que sean alcanzables y adecuados para el tiempo	Son aprobados y ejecutados
Integrantes de un equipo	Reporte con los resultados en un periodo de tiempo	Manager al que se le reporta	Que los resultados hayan sido respecto a los objetivos	Son aprobados y se definen nuevos objetivos

Estudiante de PAP PIAT II	Capítulo de reporte PAP en un documento	Profesor de PAP	Que sea adecuado el desarrollo del capítulo según lo establecido	Se marca como entregado si todo es correcto, si no se manda una segunda versión corregida

2.9 Seguimiento y Control

Adicionalmente de las dos juntas que tenemos por semana donde se revisa cómo va el equipo con todas sus actividades junto con el scrum master, hay otras tres juntas semanales en donde revisamos junto con el manager de DFx cuando hay algunos problemas o dudas, son más del estilo de juntas de asesoría para resolver cualquier detalle que esté impidiendo el correcto avance en el diseño y desarrollo de las pruebas que tengamos asignadas.

Dentro de estas juntas se expone el progreso que vamos llevando con los features que llevamos asignados, el primer paso siempre es realizar el testplan y verificar que sea correcto con el equipo, en donde se proponen ideas de mejora, una vez que este es aprobado, la prueba puede pasar a ser diseñada, mientras tanto pueden existir algunas dudas o problemas al querer portar código de otra plataforma o agregar características a la prueba, en donde de igual manera puede intervenir el equipo para proponer cambios, siempre bajo la aprobación del manager y el scrum master, quienes son los líderes de esta área. De igual manera, en cada junta de planeación se evalúa si la prueba alcanzará a ser terminada en el periodo de tiempo que nos fue asignado, si no es posible se explica el porqué, muchas de las veces es debido a que en algún paso nos bloquearon, por no encontrar algún documento o la demora de algún permiso, finalmente si es muy necesario e imposible de terminar en esa ventana de tiempo, el ticket es movido, pero siempre bajo la premisa de que debemos darle prioridad a terminar eso sobre lo demás que se nos vaya asignando, otra de las cosas que siempre tiene mayor importancia es que si se detecta algún error en las pruebas de bloqueo de los diseñadores de RTL, los equipos de verificación deben corregirla de inmediato, ya que esto para el flujo de trabajo y puede llegar a ser muy grave.

Respecto al proyecto PAP, como tal no se impacta de manera significativa, puesto que se siguen generando entregables y aprendizaje conforme vamos trabajando, así que sólo es cuestión de ponernos al día lo más pronto que podamos y reportar las fallas que estemos obteniendo, para así que puedan ser corregidas y evitar cualquier tipo de retraso en los trabajos entregados.

2.10 Cierre del Proyecto

El proyecto en el que estoy trabajando, está lejos de terminar por el momento, sin embargo, a lo que le vamos dando cierre gradual es a sprints o a stages (3 sprints), en donde evaluamos los objetivos propuestos al principio, el desempeño y desarrollo en cada uno, el porcentaje de aceptación de los mismos, así como las mejoras en el siguiente stage, afortunadamente en el último que nos tocó cerrar (y el primero en el que participé activamente) nuestro equipo de DFx cumplió con todos sus objetivos al 100%, siendo el único equipo de AADG que lo logró, siendo felicitados y reconocidos por los líderes del proyecto.
De igual manera, al cierre de mi PAP I, la retroalimentación que tuve por parte de mis líderes, fue bastante buena, lo cual agradezco, ya que eso me mantiene en constante motivación, me consideran como una de las mejores y

más activas interns que han tenido, tanto el equipo de Guadalajara como el de USA, sin embargo, hay dos cosas que debo mejorar, y es que me involucre de manera más innovadora en la solución de los bugs de las pruebas, así como ser más rápida en ciertos entregables.

3. Resultados del Trabajo Profesional

3.1 Productos Obtenidos

Respecto a los entregables más importantes en los que estoy trabajando, son los siguientes:

- El debuggeo inicial de todas las pruebas que tienen un estado de fail en nuestras regresiones, las cuáles se lanzan tres veces por semana (siendo una de ellas de todo el coverage), apoyando así a los ingenieros con la depuración principal de la fuente del error que esté siendo lanzado, informándole a quien corresponda por donde va su problema para que le dé seguimiento y así pueda corregirlo tan pronto como sea posible.
- El desarrollo de la secuencia (impulsos) para escribir en los registros conectados de una de las pruebas y comprobar que están siendo escritos y leídos de manera adecuada, a través de un checker, con el que podemos conocer su estado de fail o pass.
- El debuggeo de los registros/fields que no se estén escribiendo correctamente, revisando la propagación de las señales en cuestión, reportando los bugs a diseño para que estos sean corregidos y regresar a la comprobación de su lectura/escritura.
- El debuggeo de las señales de una prueba, analizando su comportamiento en formas de onda, para deducir si el problema proviene de la desconexión de estas, o si se trata de un problema de la secuencia ya escrita, para de igual manera corregirla o informar a diseño de los problemas de propagación de los registros.
- La automatización, en conjunto con el equipo de software del equipo, del comando que nos entrega los resultados de las regresiones, haciendo una categorización, para que los resultados se muestren por feature y no por prueba, de tal manera que la lectura no sea engorrosa conforme más pruebas se vayan añadiendo al entorno.

3.1 Estimación del Impacto

Ahora bien, los reportes de las regresiones han sido automatizados, cosa que antes hacía yo manualmente, lo que nos falta es la automatización del comando para que categorice los errores por feature y no por prueba individual, esto tiene una trascendencia importante para todo el equipo que desarrolla pruebas sobre cierto feature, pues conocer el estado de estas cada que se incorpore un cambio es de suma importancia para revisar en que punto esté fallando alguna de las mismas y empezar a debuggear por medio de los logfiles que imprimen los resultados y errores de la ejecución de las pruebas, este debuggeo inicial es crucial para ahorrarle tiempo a los ingenieros desarrolladores de código en las pruebas, pues al saber por donde empezar a buscar o conocer el error principal, es más sencillo y rápido llegar a la raíz del problema para corregir y evitar que siga fallando en nuestras regresiones y la salud de nuestros tests sea de un mayor porcentaje cada vez.

De igual manera el automatizar el comando para que los resultados sean más sencillos de interpretar tiene una alta importancia, esta actividad está siendo hecha en conjunto con el equipo que hace scripting en Python y tiene acceso a los comandos de las pruebas, puesto que mi trabajo no es automatizar, pero sí guiar a la persona que lo hará para que desarrolle lo que necesitamos de manera adecuada.

La verificación de conexiones y funcionamientos, son actividades guiadas por mi líder técnico que me ha enseñado la manera correcta de debuggear las señales y encontrar los puntos en donde realmente no hay una conexión explicita y que se note que ciertos archivos del RTL estén consumiendo o generando ciertas señales, esta parte es como objetivo de comprobar que dichas secciones se encuentran en buen estado por la etapa de verificación en la que nos encontramos en este momento del proyecto, por lo que mi trabajo es apoyar a los ingenieros con esta

finalidad, es algo que vengo haciendo desde el PAP I, en lo que considero ya tengo más práctica y puedo encontrar errores de manera más rápida.

Finalmente, el desarrollo de código y migración de secuencias, haciendo uso de directivas de SystemVerilog, de Programación Orientada Objetos, así como de la Metodología Universal de Verificación, ya poniendo en práctica los conocimientos que obtuve en todos los trainings que aprendí de manera autodidacta, para verificar el estado de una de nuestras pruebas, abriendo bugs con diseño para que se corrijan y volvamos a una salud de pruebas de lo más alto posible, hasta ahora, mi conocimiento está siendo puesto más que nada en JTAG, para posteriormente meterme a otras pruebas de DFx.

4. Reflexiones del alumno

4.1 Aprendizajes Profesionales

Respecto a las competencias técnicas, las más importantes fue el entendimiento de SystemVerilog, de UVM, de POO, de JTAG, así como del uso de la consola y el conocimiento de la arquitectura x86.

Las competencias suaves más importantes, fueron la comunicación asertiva con mis líderes y managers, el pensamiento crítico, la creatividad, la adaptabilidad a los cambios y la colaboración en equipo.

Mientras que mis aprendizajes más relevantes sobre el contexto sociopolítico y económico que involucra una problemática observada en el campo profesional, tiene más nada que ver con las empresas líderes en el diseño, fabricación y distribución de microprocesadores para computadoras y servidores, ya que existe una alta competitividad y para Intel es prioridad recuperar las riendas del liderazgo en esta área, por lo que el chip en el que mi equipo y yo estamos trabajando es pieza clave para cumplir este objetivo.

Los saberes universitarios puestos a prueba fueron sobre todo en el lenguaje de descripción de hardware Verilog así como el desarrollo de testbenches para la verificación, en conocimientos básicos de Linux y Git, y finalmente la tan importante competencia de saber trabajar en equipo.

Ahora puedo decir que soy más consciente de las etapas que conlleva un proyecto de esta magnitud, de lo importante que es compartir el conocimiento así como las herramientas usadas con el resto de las personas involucradas en un proyecto, puesto que es mucho más sencillo que todo esté materializado y disponible para quien pudiese necesitarlo después.

4.2 Aprendizajes Sociales

En mis prácticas sociales lo que más he practicado ha sido el trabajo en equipo y la disponibilidad de atender todo aquello que requiere mi tiempo para colaborar entre todas las personas que trabajan conmigo, siempre que alguien lo requiera, así que la empatía ha sido en lo que más he podido innovar.

Considero que el grupo social al que más he podido ayuda ha sido aquel al que constituye los bienes económicos de la empresa, ya que mis servicios profesionales han ayudado a que la empresa pueda cumplir los objetivos que tienen por cada etapa del proyecto para que este pueda ser completado en el menor tiempo posible, adicionalmente el procesador en el que estamos trabajando es de suma importancia, ya que marcará un hito en el desarrollo de procesadores en Intel, así como será la base de otros que se harán más a futuro, lo que mejorará la economía e importancia de la empresa.

Involucrarme en proyectos reales, que constituyen objetivos materializables en la industria, me ha hecho tener una perspectiva diferente del mundo, puesto que ya no sólo me quedé en mi burbuja académica, sino que ahora tengo un nuevo objetivo que es aprender y generar un producto real y de calidad para la empresa, la cual al beneficiarse con mi aporte profesional me beneficia a mí con todos los bienes tangibles que me ofrece al trabajar en ella, a través de mi creatividad e iniciativa para llevar mi trabajo a otro nivel y servir adecuadamente con lo que se espera de mí.

4.3 Aprendizajes Éticos

Considero que no tuve que involucrarme en decisiones éticas de tan alta trascendencia, sin embargo, por lo que me tocó ver y experimentar, Intel tomó diversas decisiones para solucionar problemas que estaban ocurriendo, de manera sumamente ética y profesional, si bien no para todos fueron benefactoras, si se dio un impacto mayormente positivo que si no se hubiera hecho nada.

Por lo anterior, es que mis valores personales van completamente de acuerdo con el sentido social y responsable de la empresa, en este caso Intel.

Ahora que ya llevo un tiempo considerable sirviendo mis conocimientos y habilidades profesionales a la empresa, me doy cuenta de que quiero continuar preparándome en los ámbitos de arquitectura computacional así como de diseño de CIs a nivel silicio, para de esta manera también poderme adentrar más en la participación de un proyecto en la empresa en la que me encuentre que me permita crecer como profesional cada día más, lo cuál me hace darme cuenta de qué manera y para quién deseo ejercer mi profesión, en este caso para la industria.

4.4 Aprendizajes Personales

De acuerdo a los aspectos personales que han cambiado desde que trabajo, principalmente creo que ha sido en la forma de relacionarme y entender a los demás, por ejemplo, antes no comprendía lo ocupada que una persona podía estar debido al trabajo y los pendientes que tenía por resolver, y ahora que yo misma me veo entrometida en ese ambiente, me doy cuenta la importancia de poder separar las diferentes “vidas” a las que me dedico actualmente, para que mis comportamientos sean adecuados con las personas con la que convivo en ambas situaciones, tanto laboral como universitaria, de igual manera puedo ver como mis cercanos me tratan diferente, como si ahora se tomaran más en serio mi profesión, lo cual me agrada y me hace comportarme más madura ante ello.

De igual manera, estar involucrada en este PAP, dícese la industria, me ha hecho conocerme mejor en el ámbito laboral, comprender lo que me gusta, lo que no y lo que quiero para un futuro, así como identificar en lo que soy buena y en lo que más puedo desarrollar mi potencial, también me ha permitido conocer otros aspectos de la sociedad, relacionándome con personas tan expertas en su área, que me dan una perspectiva amplia de como quiero ser yo cuando me involucre en el trabajo como mi actividad de tiempo completo.

El estar en convivencia constante con tantas personas, me ha permitido conocer la diversidad de toda la gente que veo día a día y poder ampliar mi mente en todos los estilos de ser de cada quien, así mismo poder identificar la ruta que deseo seguir como parte de mi proyecto de vida personal y profesional, dándome un contexto más amplio de lo que hay allá afuera y que me da un panorama más claro que lo que quiero elegir como parte de mi vida.

4.5 Tareas Aprendidas

Las acciones que influyeron favorablemente en mi desarrollo del proyecto fueron:

1. La ayuda incondicional de mi manager y líder técnico que siempre estaban para mí cuando lo necesitaba.
2. Los recursos ilimitados de aprendizaje que la empresa nos proporciona para que podamos tener enseñanza asíncrona cuando lo requiramos.

3. Mi compromiso en cumplir mis actividades en tiempo y forma, o de lo contrario, el avisar que necesitaría más tiempo si se me atravesaba algo de la universidad que requería mi tiempo.
4. La excelente convivencia que se da en mi equipo de trabajo.
5. La modalidad mixta que me permite ver a mis compañeros de trabajo en persona y que las explicaciones sean más sencillas.
6. La convivencia multicultural con mi equipo que me ha permitido tener un mayor sentido de la diversidad y practicar mi inglés de manera más adecuada.

Respecto a lo que pudo haber salido mejor, en muchas ocasiones me cohibí de preguntar algunas cosas que consideraba eran muy obvias y me daba pena, pero eso sólo me atrasaba con mi trabajo, además de que retrasar ciertas pláticas o juntas inevitables para discutir algunos asuntos importantes pero que temía por ser reprendida de no estar haciendo mi trabajo 100% bien, además de que en algunas ocasiones sentí que me dejaban hacer las cosas a como lo entendiera, estoy consciente de que no se trata de ir a preguntarle al líder técnico y que me explique con peras y manzanas como hacer las cosas, sino que yo debía buscarle y entender por mi cuenta, pero hubo ocasiones o asignaciones en las que sentí que necesitaba un poco más de guía inicial, lo cual de igual manera me tomó mucho tiempo a mí o no entregaba las cosas completamente correctas.

5. Conclusiones

Como reflexión final, el haber participado en este PAP II y desde el I, que básicamente fue introducirme a la industria como becaria y aprendiz de los realmente expertos, me ayudó mucho a comprender como funciona el mundo real, ya que ahora me encuentro desarrollando productos tangibles y reales para el mundo exterior, como lo explicaba al principio, el ver la calcomanía del procesador que tiene mi computadora y saber que fui parte del desarrollo de dicho producto, tiene una satisfacción enorme.

Si bien, no es mi primera experiencia profesional, sino que ya tengo poco menos de año y medio trabajando para Intel, me siento muy agradecida con mi equipo anterior que me contrato en base a mis conocimientos, porque experiencia no tenía, en este nuevo equipo agradezco la experiencia pasada, porque aunque ahora hago algo muy diferente a lo que hacía antes, me ha servido mucho el que no sea la primera vez que trabajo, puesto que siempre existe un momento abrumador de enfrentarte a la vida laboral, el cual ya viví y superé la vez pasada, así que ahora ha sido más llevador y sencillo poder hacerlo.

El documentar todo lo vivido en mi PAP dentro de este documento me ha ayudado a poder materializar todo lo que tenía por hacer así como lo que he hecho, para ser más consciente de todo lo que fui aprendiendo y desarrollando a lo largo de mi semestre y en mi PAP dentro de este equipo, con el que estoy muy agradecida de permitirme participar en un proyecto tan importante como el procesador que estamos desarrollando.

A este punto, me siento muy satisfecha y con muchas ganas de seguir colaborando, así como aprendiendo sobre todo lo que hacemos en el equipo, las personas que me rodean dentro del equipo son muy talentosas y amables, lo cual me hace sentirme muy agradecida, definitivamente ha sido un gran reto aprender todo lo que requiero y el esfuerzo que le he puesto para lograr las metas propuestas, pero los resultados han sido exitosos, por lo que en retrospectiva puedo decir que ha valido la pena.

6. Bibliografía y Anexos

- Intel. (s/f de s/f de s/f). *Intel*. Obtenido de Intel delinea el futuro de la tecnología: https://www.intel.la/content/www/xl/es/homepage.html
- Rehkopf, M. (s/f de s/f de s/f). *Scrum sprints*. (ATLASSIAN) Recuperado el 15 de Febrero de 2023, de https://www.atlassian.com/es/agile/scrum/sprints#:~:text=son%20los%20sprints%3F-,Un%20sprint%20es%20un%20per%C3%ADodo%20breve%20de%20tiempo%20fijo%20en,con%20menos%20quebraderos%20de%20cabeza.
- Zendesk. (14 de Febrero de 2023). *¿Qué es la metodología ágil y cuáles son las más utilizadas?* (Zendesk) Recuperado el 15 de Febrero de 2023, de https://www.zendesk.com.mx/blog/metodologia-agil-que-es/

- Anexo de las tablas de competencias y calendarios en Excel:



Competencias y Calendarios.xlsx