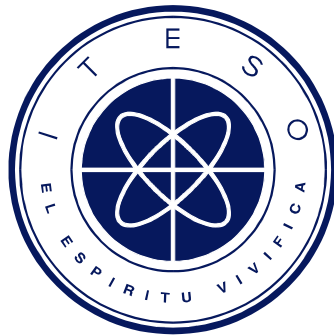


INSTITUTO TECNOLÓGICO Y DE ESTUDIOS SUPERIORES DE OCCIDENTE

Reconocimiento de validez oficial de estudios de nivel superior según acuerdo secretarial 15018, publicado en el Diario Oficial de la Federación el 29 de noviembre de 1976.

Departamento de Electrónica, Sistemas e Informática
ESPECIALIDAD EN DISEÑO DE SISTEMAS EN CHIP



DISEÑO E IMPLEMENTACIÓN DEL MÓDULO ANALÓGICO DE RECEPCIÓN PARA UN SERDES EN TECNOLOGÍA CMOS DE 130NM

Tesina para obtener el grado de:
ESPECIALISTA EN DISEÑO DE SISTEMAS EN CHIP

Presenta: Oscar Toledo Ojeda

Director: Dr. Iván Rodrigo Padilla Cantoya

San Pedro Tlaquepaque, Jalisco. 28 de noviembre de 2017.

Agradecimientos

Agradezco:

A mi mujer, Denisse Archundia Amador por toda la comprensión y paciencia necesaria que me permitió poder culminar este proyecto.

A mi madre, Fátima Ojeda Zárate, por el incondicional apoyo a pesar de la distancia.

A mi asesor, el Dr. Iván Rodrigo Padilla Cantoya por guiarme en este proceso.

A todos los catedráticos del Departamento de Diseño de Sistemas en Chip del ITESO, por todos los excelentes cursos impartidos durante esta Especialidad.

Al Consejo Nacional de Ciencia y Tecnología por el apoyo económico que me brindó, sin el cual, difícilmente este proyecto hubiera podido concretarse.

Abstract

In recent years, the high speed data serial communication has been used in many applications, such as microprocessors, memories, and off-chip communications. High Speed SerDes devices have become the dominant form of the input/outputs interfaces of most high density integrated circuits, transferring serial data between chips at rates up to 10 gigabits per second. The main blocks of a SerDes device are: analog receiver, analog transmitter, deserializer digital system, serializer digital system and test module. This work presents the design and physical implementation of the analog receiver for a SerDes chip with a data rate of 10/100/1000Mbps adequate for a SGMII protocol. The proposed analog receiver consists of three main modules: a high-speed differential amplifier, a CML to CMOS circuit and a bias circuit. Also in this work, a design methodology of each of the blocks of the analog receiver is presented. A pre-layout verification and layout implementation is performed in order to finally integrate it into a SerDes chip.

Resumen

En los últimos años, las comunicaciones seriales de datos de alta velocidad han sido utilizadas de múltiples formas en diferentes aplicaciones, tales como la comunicación entre microprocesadores y memorias. Los dispositivos SerDes (Serializador/De-Serializador) de alta velocidad se han convertido en la forma dominante de entradas/salidas de la mayoría de los circuitos integrados de alta integración, transfiriendo datos seriales entre circuitos integrados a velocidades de hasta 10 gigabits por segundo. Los principales bloques funcionales de un SerDes son: la etapa analógica de recepción, la etapa analógica de transmisión, el sistema digital de deserialización, el sistema digital de serialización y el módulo de pruebas. En ese trabajo se presenta el diseño y la implementación física de la etapa analógica de recepción para un SerDes con una velocidad de datos de 10|100|1000Mbps adecuado para el Protocolo SMGII. La etapa de recepción analógica propuesta consiste en tres bloques principales: un amplificador diferencial de alta velocidad, un circuito CML a CMOS y un circuito de polarización. En este trabajo también se presenta la metodología de diseño de cada uno de los bloques de la etapa analógica de recepción, así como su verificación pre-layout, implementación de layout e integración con el chip SerDes.

Lista de Figuras

Figura 2-1. Diagrama a Bloques Básico de un SerDes típico de alta velocidad.....	8
Figura 2-2. Diagrama a Bloques del Sistema SerDes.	10
Figura 2-3. Conectividad SGMII.	11
Figura 3-1. Diagrama a Bloques del Módulo Analógico de Recepción.	14
Figura 3-2. Arquitectura del Receptor Analógico.	14
Figura 3-3. Diagrama a Bloques del Amplificador Diferencial de Alta Velocidad.....	15
Figura 3-4. Topología del HS-OTA.....	15
Figura 3-5. Diagrama a Bloques del Circuito CML a CMOS.	20
Figura 3-6. Topologías del Circuito CML a CMOS.	20
Figura 3-7. Diagrama a Bloques del Circuito de Polarización.	24
Figura 3-8. Topologías del Circuito de Polarización.	25
Figura 3-9. Topología OTA Simple.....	27
Figura 3-10. Topología del OTA Simple con Mejora en Rout.	29
Figura 3-11. Circuito de Réplica.....	31
Figura 3-12. Red de Resistencias en el Circuito de Polarización.	33
Figura 4-1. Esquemático y Símbolo del HS-OTA.....	34
Figura 4-2. Testbench para Verificación Pre-Layout del HS-OTA.....	34
Figura 4-3. Respuesta en AC del HS-OTA.....	35
Figura 4-4. Respuesta Transitoria del HS-OTA en Terminación Simple.	36
Figura 4-5. Respuesta Transitoria del HS-OTA en Configuración Diferencial.....	36
Figura 4-6. Esquemático del Primer Inversor.	37
Figura 4-7. Esquemático del Segundo Inversor.	38
Figura 4-8. Esquemático del Tercer Inversor.	38
Figura 4-9. Símbolo del Inversor.	39
Figura 4-10. Testbench para Verificación Pre-Layout de los Inversores.	39
Figura 4-11. Respuesta Transitoria de las Etapas de Inversión.	40
Figura 4-12. Respuesta Transitoria del Path de Inversión.	40
Figura 4-13. Tiempos de Subida y Bajada del Tercer Inversor.	41
Figura 4-14. Esquemático del Circuito Diferencial a Terminación Simple.....	42
Figura 4-15. Símbolo del Circuito Diferencial a Terminación Simple.....	42
Figura 4-16. Testbench del Circuito Diferencial a Terminación Simple.....	43
Figura 4-17. Respuesta Transitoria del Circuito Diferencial a Terminación Simple (Salidas VoutSingle).....	43
Figura 4-18. Respuesta Transitoria del Circuito Diferencial a Terminación Simple (Salidas VoutB3).....	44
Figura 4-19. Respuesta en AC del Circuito Diferencial a Terminación Simple.....	44
Figura 4-20. Símbolo del OTA de Alta Ganancia.	45
Figura 4-21. Esquemático del OTA de Alta Ganancia.	46
Figura 4-22. Testbench del OTA de Alta Ganancia.	47
Figura 4-23. Respuesta en AC del OTA de Alta Ganancia.	47
Figura 4-24. Respuesta en DC del OTA de Alta Ganancia.	48
Figura 4-25. Testbench del Módulo Analógico de Recepción.	49
Figura 4-26. Respuesta en AC del Módulo Analógico de Recepción (Ganancia de Voltaje).	50

Figura 4-27. Respuesta en AC del Módulo Analógico de Recepción (Fase).	51
Figura 4-28. Respuesta Transitoria del Módulo Analógico de Recepción en las esquinas PVT..	51
Figura 4-29. Respuesta Transitoria del Módulo Analógico de Recepción en PVT Nominal.	52
Figura 4-30. Respuesta Transitoria del Módulo Analógico de Recepción en PVT (TT vs. SF). .	52
Figura 4-31. Respuesta Transitoria del Módulo Analógico de Recepción en PVT (TT vs. SSF). 53	
Figura 4-32. Análisis Monte Carlo (mismatch) en Respuesta Transitoria del Módulo Analógico de Recepción en Condiciones Nominales de PVT.	53
Figura 5-1. Esquemático del HS-OTA con Transistores y Resistencias Dummy.	54
Figura 5-2. Layout Optimizado del HS-OTA.	55
Figura 5-3. Esquemático del Circuito Diferencial a Terminación Simple con Transistores Dummy.	56
Figura 5-4. Layout Optimizado del Circuito Diferencial a Terminación Simple.	57
Figura 5-5. Esquemático del Inversor con Transistores Dummy.	58
Figura 5-6. Layout Optimizado del Primer Inversor.	59
Figura 5-7. Layout Optimizado del Segundo Inversor.	60
Figura 5-8. Layout Optimizado del Tercer Inversor.	60
Figura 5-9. Esquemático Optimizado del OTA de Alta Ganancia.	61
Figura 5-10. Layout Optimizado del OTA de Alta Ganancia.	62
Figura 5-11. Esquemático Optimizado del Circuito de Polarización.	63
Figura 5-12. Layout Optimizado del Circuito de Polarización.	64
Figura 5-13. Diagrama del Floor Plan del Módulo Analógico de Recepción.	65
Figura 5-14. Layout Optimizado del Path HSRX.	66
Figura 5-15. Esquemático del Path HSRX.	66
Figura 5-16. Esquemático del Módulo Analógico de Recepción.	67
Figura 5-17. Floor Plan en vista Layout del Módulo Analógico de Recepción.	68
Figura 5-18. Layout Optimizado del Módulo Analógico de Recepción.	69
Figura 5-19. Comparación de Dimensiones de Layout del Módulo Analógico de Recepción.	70
Figura 6-1. Boundary Agregado al Layout Final Del Módulo Analógico de Recepción.	71
Figura 6-2. Zoom a Pines en el Layout.	72
Figura 6-3. Configuración Vista “abstract”.	72
Figura 6-4. Configuración de la ventana “Export LEF”.	73

Lista de Tablas

Tabla 2-1. SGMII vs. PCIe.	12
Tabla 3-1. Requerimientos de Diseño del HS-OTA.	16
Tabla 3-2. Requerimientos de Diseño del HS-OTA en la 2ª Iteración.	19
Tabla 3-3. Parámetros de diseño Prelayout Finales del HS-OTA.	19
Tabla 3-4. Requerimientos de Diseño del Circuito CML a CMOS.	21
Tabla 3-5. Dimensiones de los Transistores del Inversor.	22
Tabla 3-6. Dimensiones de los Transistores de los Tapering Buffers.	22
Tabla 3-7. Dimensiones de los Transistores del Circuito Diferencial a Terminación Simple.	23
Tabla 3-8. Dimensión de los Transistores del Circuito DCC.	24
Tabla 3-9. Requerimientos de Diseño del OTA de Alta Ganancia.	26
Tabla 3-10. Parámetros Finales del OTA de Alta Ganancia.	30
Tabla 3-11. Parámetros Finales del Circuito de Réplica.	32
Tabla 4-1. Esquinas PVT [7].	50

Lista de Abreviaturas y Acrónimos

BIST	<i>Built In Self Test</i>	N/A
BW	<i>Bandwidht</i>	Ancho De Banda
CDR	<i>Clock And Data Recovery</i>	Recuperación De Reloj Y Datos
CML	<i>Current Mode Logic</i>	Lógica De Modo Corriente
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>	<i>Semiconductor Complementario Metal-Oxido</i>
DFT	<i>Design For Test</i>	Diseño Para Probar
GBPS	<i>Gigabits Per Second</i>	Gigabits Por Segundo
HG-OTA	<i>High-Gain Ota</i>	Ota De Alta Ganancia
HS-OTA	<i>High-Speed Ota</i>	Ota De Alta Velocidad
HSS	<i>High Speed Serdes</i>	Serializador / Deserializador De Alta Velocidad
I/O	<i>Input / Output</i>	Entrada / Salida
IC	<i>Integrated Circuit</i>	Circuito Integrado
L	<i>Lenght</i>	Longitud de transistor
MAC	<i>Media Access Control</i>	N/A
MBPS	<i>Megabits Per Second</i>	Megabits Por Segundo
NM	<i>Nanometers</i>	Nanometros
OTA	<i>Operational Transconductance Amplifier</i>	<i>Amplificador Operacional De Transconductancia</i>
PCB	<i>Printed Circuit Board</i>	Tarjeta De Circuito Impreso
PCI	<i>Peripheral Component Interconnect</i>	Interconexión De Componentes Periféricos
PHY	<i>Physical Layer</i>	Capa Física
PLL	<i>Phasse Lock Loop</i>	N/A
PVT	<i>Process, Voltage, Temperature</i>	Proceso, Voltaje Y Temperatura
SERDES	<i>Serializer / Deserializer</i>	Serializador / Deserializador
SGMII	<i>Serial Gigabit Media Independent Interface</i>	N/A
SOC	<i>System-On-Chip</i>	Sistema En Chip
TX / RX	<i>Transmission / Reception</i>	Transmisión / Recepción
V	<i>Volt</i>	Volt
VCM	<i>Common Mode Voltage</i>	Voltaje De Modo Común
W	<i>Width</i>	Ancho Del Transistor

Contenido

Abstract	v
Resumen	vi
Lista de Figuras	vii
Lista de Tablas	ix
Lista de Abreviaturas y Acrónimos	x
Contenido	xi
Introducción	1
1. Antecedentes	4
2. Marco Teórico	7
2.1. GENERALIDADES DE LOS SISTEMAS SERDES DE ALTA VELOCIDAD.....	7
2.2. ARQUITECTURA DEL SISTEMA SERDES	9
2.3. CARACTERÍSTICAS DEL PROTOCOLO SGMII	11
2.3.1 Comparativa entre SGMII y PCI Express	12
3. Diseño del Módulo Analógico de Recepción	13
3.1. ARQUITECTURA.....	13
3.2. AMPLIFICADOR DIFERENCIAL DE ALTA VELOCIDAD.....	14
3.2.1 Requerimientos de Diseño del HS-OTA.....	16
3.2.2 Procedimiento de Diseño del HS-OTA.....	16
3.3. CIRCUITO CML A CMOS	19
3.3.1 Requerimientos de Diseño del Circuito CML a CMOS.....	21
3.3.2 Procedimiento de Diseño del Circuito CML a CMOS.....	21
3.3.3 Diseño del Inversor	21
3.3.4 Diseño del Circuito Diferencial a Terminación Simple	23
3.3.5 Diseño del Inversor Corrector de Ciclo de Trabajo	24
3.4. CIRCUITO DE POLARIZACIÓN.....	24
3.4.1 Requerimientos de Diseño del OTA de Alta Ganancia.....	26
3.4.2 Procedimiento de Diseño del OTA de Alta Ganancia.....	26
3.4.3 Procedimiento de Diseño del Circuito de Réplica	31
3.4.4 Procedimiento de Diseño del Divisor de Voltaje.....	33
4. Verificación Pre-Layout del Módulo Analógico de Recepción	34
4.1. VERIFICACIÓN PRE-LAYOUT DEL HS-OTA	34
4.2. VERIFICACIÓN PRE-LAYOUT DEL CIRCUITO CML A CMOS	37
4.2.1 Verificación Pre-Layout de los Inversores.....	37
4.2.2 Verificación Pre-Layout del Circuito Diferencial a Terminación Simple.....	41
4.3. VERIFICACIÓN PRE-LAYOUT DEL CIRCUITO DE POLARIZACIÓN	45
4.3.1 Verificación Pre-Layout del OTA de Alta Ganancia	45

4.4. VERIFICACIÓN PRE- <i>LAYOUT</i> DEL MÓDULO ANALÓGICO DE RECEPCIÓN	49
5. Diseño del <i>Layout</i> del Módulo Analógico de Recepción.....	54
5.1. <i>LAYOUT</i> OPTIMIZADO DEL HS-OTA	54
5.2. <i>LAYOUT</i> DEL CIRCUITO CML A CMOS.....	56
5.2.1 <i>Layout</i> Optimizado del Circuito Diferencial a Terminación Simple	56
5.2.2 <i>Layout</i> Optimizado de los Inversores.....	58
5.3. CIRCUITO DE POLARIZACIÓN.....	61
5.3.1 <i>Layout</i> Optimizado del OTA de Alta Ganancia	61
5.3.2 <i>Layout</i> Optimizado del Circuito de Polarización	63
5.4. <i>FLOOR PLAN</i> E INTEGRACIÓN DEL <i>LAYOUT</i>	65
5.4.1 <i>Floor Plan</i> del Módulo Analógico de Recepción	65
5.4.2 <i>Layout</i> Optimizado del <i>Path</i> HSRX.....	66
5.4.3 Integración del <i>Layout</i> del Módulo Analógico de Recepción.....	67
6. Integración con Chip SerDes	71
Conclusiones	74
Apéndices	75
A. RESPUESTAS TRANSITORIAS DEL HS-OTA	76
B. VERIFICACIONES DRC Y LVS DEL MÓDULO ANALÓGICO DE RECEPCIÓN	78
Bibliografía	80

Introducción

El desarrollo continuo de la tecnología de circuitos integrados (IC) durante las últimas dos décadas ha conducido a un incremento considerable del número de dispositivos por unidad de área de chip. Por lo tanto, la complejidad resultante de los IC permite la integración de un sistema en chip (SOC, *System-On-Chip*, por sus siglas en inglés), el cual puede componerse desde cientos de millones hasta algunos billones de transistores. Existen diversos segmentos en el mercado donde se pueden distinguir diferentes aplicaciones de los IC, tales como la industria automotriz, comunicaciones móviles, instrumentación médica, consumo digital, conectividad, y aplicaciones militares, entre otros [1].

Hoy en día, la tecnología más popular para la fabricación de circuitos integrados hace uso de los transistores CMOS (*Complementary Metal-Oxide-Semiconductor*, por sus siglas en inglés) [2]. Además, el escalamiento acelerado de la tecnología CMOS ha permitido un crecimiento explosivo en la industria de los circuitos integrados, con chips más baratos y de alto desempeño. Sin embargo, estos avances han propiciado que los chips estén limitados por el ancho de banda en la comunicación de datos de chip a chip [3].

El método más simple para transferir datos de entradas o salidas en dichas comunicaciones de chip a chip, es conectando directamente la ruta de datos de un chip al siguiente chip (bus de datos en paralelo). Como los datos usualmente consisten en más de un bit de información, la ruta de datos es de más de un bit de ancho. Sin embargo, existen dos problemas inherentes en este bus de datos en paralelo que dificultan su diseño e implementación.

El primer problema es que se requieren n entradas/salidas (I/O) en cada chip para transferir los datos, lo cual incrementa su costo; por lo tanto, dedicar n pines I/O para el bus de datos en paralelo no es aceptable para la mayoría de las aplicaciones. El segundo problema involucra la dificultad de cumplir con los requerimientos de velocidad, debido a que los retrasos en la transmisión de datos pueden existir por las condiciones del proceso de fabricación del chip, temperatura y voltaje; en consecuencia, si la frecuencia de transmisión es lo suficientemente

elevada no será posible construir un sistema que transfiera con seguridad los datos a través de este bus [4].

En otro enfoque, los enlaces seriales se utilizan como mecanismo de interconexión entre chips para resolver los problemas asociados con las estructuras del bus de datos en paralelo [5]. Además en el año 2000, con la llegada de las tecnologías CMOS de $0.18\mu\text{m}$ y especialmente de $0.13\mu\text{m}$, las tecnologías que permiten el manejo masivo y procesamiento digital de señales de datos se volvieron capaces de realizar las funciones necesarias para lograr comunicaciones de datos seriales del orden de los gigabits por segundo [6]. Así, en los últimos años, las comunicaciones seriales de datos de alta velocidad han sido utilizadas de múltiples formas en diferentes aplicaciones, tales como la comunicación entre microprocesadores y memorias, así como en procesadores de video, por citar algunas.

De esta manera, los dispositivos SerDes (Serializador/De-Serializador) de alta velocidad se han convertido en la forma dominante de entradas/salidas de la mayoría de los circuitos integrados de alta integración, transfiriendo datos seriales entre circuitos integrados a velocidades de hasta 10 gigabits por segundo y más [4]. Los principales bloques funcionales de un SerDes son: la etapa analógica de recepción, la etapa analógica de transmisión, el sistema digital de deserialización, el sistema digital de serialización y el módulo de pruebas.

La etapa analógica de recepción de un SerDes tiene como objetivo el compensar la atenuación en amplitud experimentada por los datos seriales al ser transmitidos a través del canal de comunicación. El sistema debe cumplir con las especificaciones de velocidad y contar con un circuito de polarización a fin de lograr la compensación a través de las diferentes esquinas de proceso, voltaje y temperatura (PVT's).

En el presente trabajo se considera el diseño y la implementación física de la etapa analógica de recepción para un SerDes con una velocidad de datos de 10|100|1000Mbps adecuado para el Protocolo SMGII, utilizando la tecnología de proceso cmrf8sf de 130 nm de Global Foundries. El diseño de esta etapa de recepción analógica se basa en el trabajo realizado por Ernesto Conde-Almada [7]. El módulo se compone de un amplificador diferencial de alta

velocidad, un circuito replica de polarización y un convertidor CML (*Current Mode Logic*, por sus siglas en inglés) a CMOS.

El objetivo esperado del diseño consiste en la integración y simulación de todo el sistema, asegurando que cumpla con las especificaciones de diseño dadas, mediante los resultados de las verificaciones *pre-layout* y *post-layout*. Con base en estos resultados, el diseño podrá ser enviado a la compañía MOSIS para su fabricación.

1. Antecedentes

De acuerdo a Stauffer, el método más simple para transferir datos de las entradas a las salidas de un chip de silicio es conectando directamente cada uno de los bits de la ruta de datos de un chip al siguiente chip. Sin embargo, en el diseño de chips el aspecto que no ha cambiado es la Ley de Moore, la cual ha dictado incrementos considerables en el número de circuitos que pueden ser fabricados en un chip. Las densidades de los pines de las tecnologías de empaquetados no se han incrementado al mismo ritmo que la densidad en silicio, y esto, ha conducido a la prevalencia de los dispositivos SerDes de alta velocidad como una parte inherente de casi cualquier diseño de chips [4].

Por otra parte, en el artículo “*Comparative analysis of serial vs parallel links in NoC*” [8] se presenta un modelo analítico que se emplea para caracterizar y comparar las técnicas de comunicación serial y paralelo en interconexiones chip a chip. El resultado de dicho análisis comparativo revela mejoras significativas en consumos de potencia y área de chip en los enlaces seriales comparados con los enlaces paralelos. El principal factor de la mejora es el bajo número de alambres necesarios en el enlace serial. Los resultados se obtuvieron para tecnologías de 130 nm y 70 nm.

Con base en dichos trabajos, se corrobora que los dispositivos SerDes son la forma dominante de entradas/salidas de alta integración en chips en comparación con la transferencia de datos en paralelo.

Crols [9] describe el desarrollo de enlaces de comunicación de datos seriales desde el punto de vista de la complejidad del circuito y señales. También, se identifican las siguientes funciones para la mayoría de los sistemas SerDes: un PLL (*Phase Lock Loop*, por sus siglas en inglés), un serializador, un driver de línea con o sin preénfasis, un receptor analógico de línea con o sin función de ecualización, un circuito de recuperación de datos y reloj y un deserializador. Se discuten dos implementaciones como ejemplo: un enlace serial de 10 Giga bits por segundo (Gbps)

en tecnología CMOS de 130 nm y un enlace serial de 2.5 Gbps para el protocolo PCI-Express en tecnología CMOS de 90 nm.

De manera similar, Wei, Horowitz y Kim explican en el artículo “*Energy-Efficient Design of High-Speed Links*” que los enlaces seriales de alta velocidad consisten en cuatro componentes principales. El serializador que convierte los bits de datos en paralelo a una cadena de bits de datos serial de alta velocidad, que secuencialmente alimenta a un transmisor. El transmisor convierte los datos binarios en señales eléctricas que viajan a través el canal. Un receptor analógico que convierte la señal eléctrica a datos digitales. Un bloque deserializador convierte la cadena de bits seriales a datos en paralelo [3].

Los trabajos anteriores confirman que una parte inherente en el diseño de un SerDes es el bloque de recepción analógica. El cual es precisamente el alcance del presente trabajo de investigación.

Mientras se profundiza en el diseño del bloque de recepción analógica se puede apreciar que una parte primordial en su arquitectura es el circuito de polarización. Por ejemplo, Stauffer presenta el diseño de la etapa de recepción que incluye el circuito CMVbias, el cual provee opciones de polarización correspondientes a cada opción de acoplamiento (AC o DC) [4]. También, Núñez-Corona (2015) en la tesina “Diseño de circuito analógico de polarización para sistema SerDes” presenta el diseño y desarrollo de la etapa de polarización del receptor analógico para un sistema SerDes. Dicha etapa consiste en un OTA y un circuito de corriente de polarización. El diseño del circuito se basa en la tecnología CMOS IBM de 180 nm [10].

Conde-Almada (2016) en la tesina “*Design and Physical Implementation of an Analog Receiver for a SerDes System on Chip in 130nm CMOS Technology*” presenta el diseño y la implementación física de un módulo de recepción analógica para un SerDes con una velocidad de datos de 2.5 Gbps adecuado para el protocolo PCI Express Gen 1. El receptor analógico propuesto consiste en tres bloques principales: un amplificador diferencial de alta velocidad, un circuito CML a CMOS y un circuito de polarización, el cual fue diseñado en la tecnología de proceso CMOS de

130nm (GLOBALFOUNDRIES cmrf8sf Process Design Kit) con un voltaje de alimentación de 1.2V utilizando la herramienta Cadence Virtuoso EDA [7].

La metodología de diseño de la tesina de Conde-Almada permitió cumplir las especificaciones requeridas para trabajar a una velocidad de 2.5 Gbps con el protocolo PCI Express Gen1. Se realizaron validaciones extensivas en las etapas de *pre-layout* y *post-layout* cubriendo análisis PVT y de *mismatch* (Monte Carlo) con resultados favorables. De esta manera, la tesina anterior brinda las bases de la metodología de diseño y validación para el receptor analógico del presente trabajo de investigación.

2. Marco Teórico

2.1. Generalidades de los Sistemas SerDes de alta velocidad

Los dispositivos Serializadores/Deserializadores de alta velocidad HSS (*High-Speed Serializer/Deserializer*, por sus siglas en inglés) son la implementación dominante de las interfaces de entradas/salidas que trabajan a velocidades de 2.5 Gbps y mayores. Dichos dispositivos distinguen de las interfaces de fuentes síncronas en que el dispositivo receptor contiene un circuito de recuperación de reloj y datos (CDR, *Clock and Data Recovery*, por sus siglas en inglés), el cual determina de manera dinámica el punto óptimo de muestreo de la señal de datos con base en los bordes de transición de la señal. En otras palabras, la información del reloj se extrae directamente de los datos en lugar de depender de un reloj independiente.

La *Figura 2-1* ilustra el diagrama a bloques básico de los canales de transmisión y recepción de un dispositivo HSS. El transmisor serializa datos paralelos, los ecualiza y entonces conduce los datos seriales por cables de interconexión en par diferencial. El receptor consiste en una etapa de recepción diferencial y un circuito CDR, el cual puede también incluir un ecualizador. Además, el receptor deserealiza los datos con base en el punto de muestreo establecido por el CDR. Amplificadores de picos y/o ecualizadores del tipo DFE (*Decision Feedback Equalizer*, por sus siglas en inglés) se utilizan comúnmente para la ecualización en los receptores de los SerDes de alta velocidad.

2. Marco Teórico

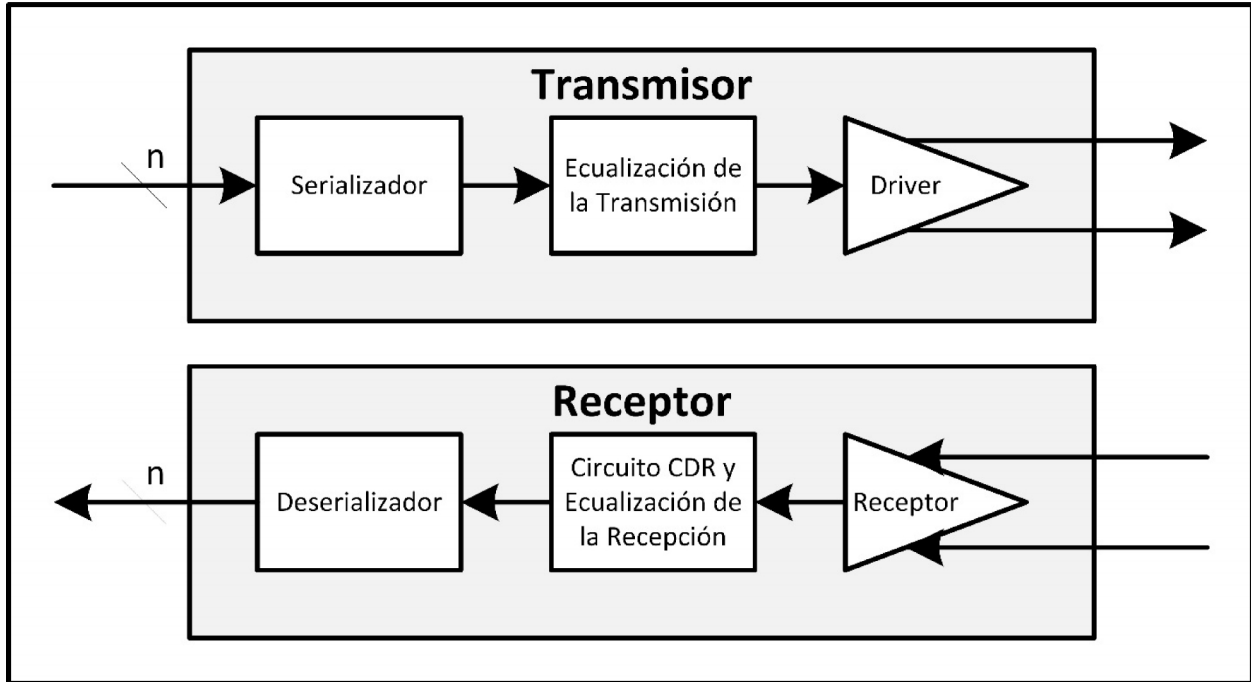


Figura 2-1. Diagrama a Bloques Básico de un SerDes típico de alta velocidad.

Se debe puntualizar que los núcleos SerDes son diseñados frecuentemente para incluir múltiples canales de transmisión y/o recepción en un sólo dispositivo. Los canales individuales generalmente operan de manera independiente. El agrupamiento de canales permite que algunos circuitos sean compartidos a través de los canales (por ejemplo, el PLL, del inglés *Phase Locked Loop*), por lo tanto, el bloque resultante es más eficiente en términos de área de chip, costo y potencia [4].

Inicialmente, los SerDes de alta velocidad se confinaron en la industria de las telecomunicaciones y en algunos nichos de mercado tales como el broadcast de video. Hoy en día, las aplicaciones HSS aparecen en cada una de las secciones de la industria electrónica -milicia, médica, redes, video, comunicaciones, etc. También se utilizan en ensamblajes de tarjetas de circuito integrado (PCB) a través de *backplanes* y entre-chasis. Los HSS son críticos para el futuro de la electrónica.

A continuación, se muestran algunos de los estándares en la industria que utilizan SerDes de alta velocidad [11]:

- Fibra óptica (FC)
- *PCI Express*
- *RapidIO Serial*
- *Advanced Swithing Interface*
- *Serial ATA*
- *1-Gb Ethernet*
- *10-Gb Ethernet (XAUI)*
- *Infiniband 1X, 4X, 12X*

2.2. Arquitectura del Sistema SerDes

El presente proyecto consiste en diseñar y caracterizar los bloques funcionales de un sistema SERDES para comunicaciones de alta velocidad. Como se menciona anteriormente, en términos generales, un sistema SERDES (Serializer/Deserializer) tiene como función principal la conversión de datos seriales a paralelos y paralelos a seriales.

El sistema estará dividido en:

1. Sistema digital de deserialización (De-serializer)
2. Sistema digital de serialización (Serializer)
3. Etapa analógica de recepción
4. Etapa analógica de transmisión
5. Módulo de prueba (BIST).

La etapa de deserialización tiene como objetivo el convertir datos seriales a paralelos y alinear los datos recibidos con un reloj del sistema. El sistema deberá cumplir con las especificaciones de velocidad y proponer un esquema de recuperación de reloj y datos basado en el muestreo de los datos.

2. Marco Teórico

La etapa de serialización tiene como objetivo convertir un bus de datos paralelos en datos al formato serie. El sistema debe cumplir con las especificaciones de velocidad y proveer una señal de reloj de transmisión para sincronizar la transmisión de datos paralelos.

La etapa analógica de recepción tiene como objetivo el compensar la atenuación en amplitud experimentada por los datos seriales al ser transmitidos a través del canal de comunicación. El sistema debe cumplir con las especificaciones de velocidad y contar con un circuito de polarización a fin de lograr la compensación a través de las diferentes esquinas de proceso, voltaje y temperatura (PVT's).

Finalmente, la etapa de integración del sistema tiene como objetivo crear la lógica y estructuras que permitan la comunicación de las diferentes etapas. El sistema completo debe contar con la capacidad para poder probar los bloques digitales de manera individual y en conjunto fuera del sistema, utilizando diferentes técnicas de prueba conocidas como diseño para pruebas DFT (*Design for Test*, por sus siglas en inglés) por ejemplo, modos BIST, *loopback*, *bypass*, entre otros.

La *Figura 2-2* muestra el diagrama a bloques del sistema SerDes propuesto en este trabajo de investigación.

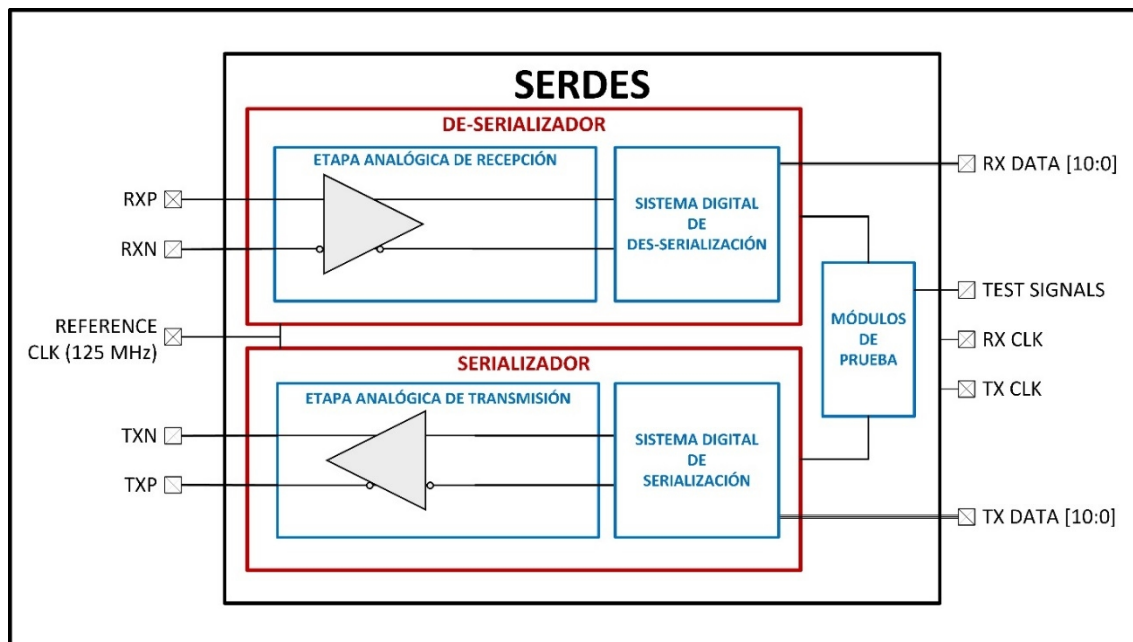


Figura 2-2. Diagrama a Bloques del Sistema SerDes.

2.3. Características del Protocolo SGMII

El protocolo SGMII (*Serial Gigabit Media Independent Interface*, por sus siglas en inglés) utiliza dos señales de datos para transmitir la trama de datos y la información de la velocidad del enlace entre un dispositivo 10/100/1000 PHY y un Ethernet MAC. Las señales de datos operan a 1.25 Gbaud y los relojes operan a 625 MHz (interfaz DDR). Debido a la velocidad de la operación, cada una de estas señales se implementa como un par diferencial para proveer integridad de señal mientras se minimiza el ruido del sistema.

La Figura 2-3 ilustra las conexiones sencillas en un sistema que utiliza SGMII.

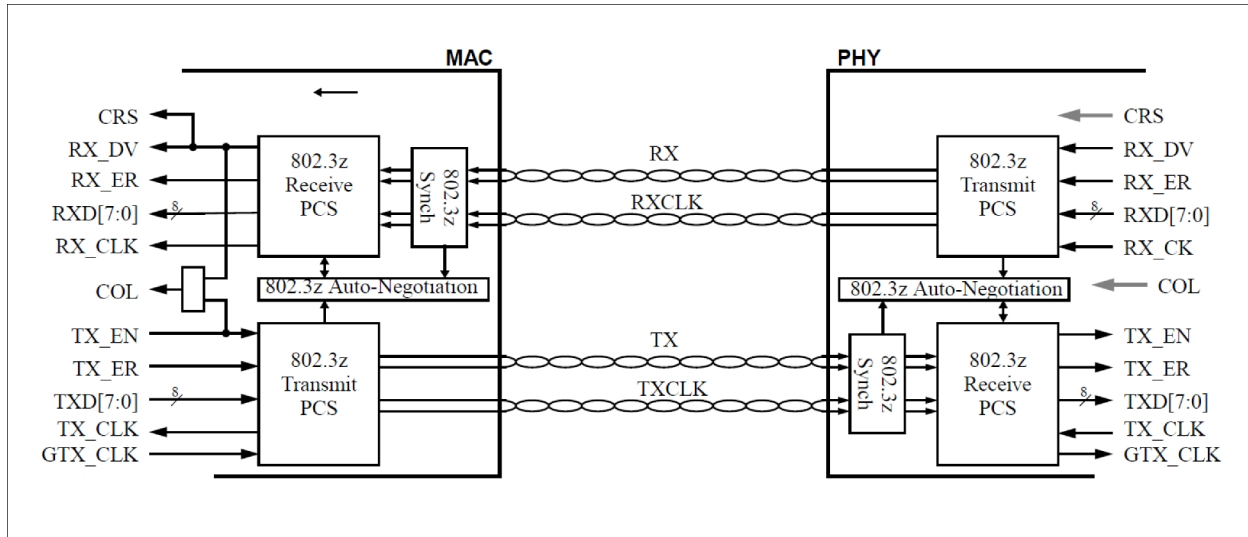


Figura 2-3. Conectividad SGMII.

Las rutas de transmisión y recepción de datos utilizan el protocolo 1000BASE-SX PCS definido en la especificación de la IEEE 802.3z (cláusula 36). Las señales de datos tradicionales del GMII (TXD/RXD), señales de datos válidas (TX_EN/RX_DV), y las señales de error (TX_ER/RX_ER) se codifican, serializan y salen con la frecuencia de reloj adecuada para DDR. Por lo tanto, se trata de una interfaz de 1.25 Gbaud con un reloj de 625 MHz. El CRS (*Carrier Sense*, por sus siglas en inglés) se deriva/infiere de la señal RX_DV, y la señal de colisión (COL) se deriva lógicamente en el MAC cuando la señal RX_DV y TX_EN se habilitan simultáneamente [12].

2. Marco Teórico

2.3.1 Comparativa entre SGMII y PCI Express

Una de las aportaciones del presente trabajo de investigación, es la aplicación del diseño del SerDes para el protocolo SGMII. Los trabajos previos en el ITESO utilizan el protocolo PCI Express. Por tal motivo, se presenta a continuación una comparación entre ambos protocolos.

En términos generales, las interconexiones de los protocolos PCI Express y SGMII son muy similares. SGMII es menos estricto en casi todos los parámetros de especificación. Sin embargo, no se han publicado guías de interconexión para el protocolo SGMII, por lo tanto, se recomienda utilizar las guías de PCI Express para el ruteo y la interconexión. La *Tabla 2-1* resume la comparativa de los parámetros de diseño de ambos protocolos [13]:

Tabla 2-1. SGMII vs. PCIe.

	PCIe (Gen1)	SGMII
Data rate	2.5 GT/s	1.25 GT/s
Unit Interval	400 ps \pm 300ppm	800 ps \pm 100ppm
TX min voltage	800 mV p-p	300 mV p-p
RX min voltage	175 mV p-p	200 mV p-p
Jitter: Tj @ Receiver	0.6 UI (240 ps)	0.375 UI (300 ps)
REFCLK jitter	150 ps (cyc-cyc)	100 ps (cyc-cyc)

3. Diseño del Módulo Analógico de Recepción

3.1. Arquitectura

El módulo analógico de recepción recibe una señal digital diferencial (RXP, RXN) y debe proveer una señal CMOS con el menor ruido y *jitter*¹ posible para ser utilizada por las etapas digitales.

La arquitectura del módulo receptor analógico consiste en tres bloques principales: un amplificador diferencial de alta velocidad, un circuito de polarización y un circuito CML (*Current Mode Logic*, por sus siglas en inglés) a CMOS.

El amplificador diferencial de alta velocidad recibe una señal diferencial del exterior y la amplifica de tal manera que las otras etapas puedan procesarla. Este bloque necesita tener el suficiente ancho de banda para poder procesar señales de 10|100|1000Mbps (Protocolo SMGII).

El circuito de polarización debe asegurar que el amplificador de alta velocidad esté polarizado apropiadamente, a pesar de las variaciones de proceso, voltaje y temperatura.

Finalmente, el circuito CML a CMOS es el encargado de transformar la señal del dominio analógico al dominio digital. Este bloque también contiene un circuito DCC, *Duty Cycle Corrector* por sus siglas en inglés, que favorece o permite que ciclo de trabajo permanezca tan cerca como sea posible (al 50%), a pesar de las variaciones de proceso, voltaje y temperatura.

La *Figura 3-1* muestra el diagrama a bloques de la etapa analógica de recepción y la *Figura 3-2* la arquitectura del circuito.

¹ Jitter, del término inglés fluctuación, es la variabilidad temporal durante el envío de señales digitales.

3. Diseño del Módulo Analógico de Recepción

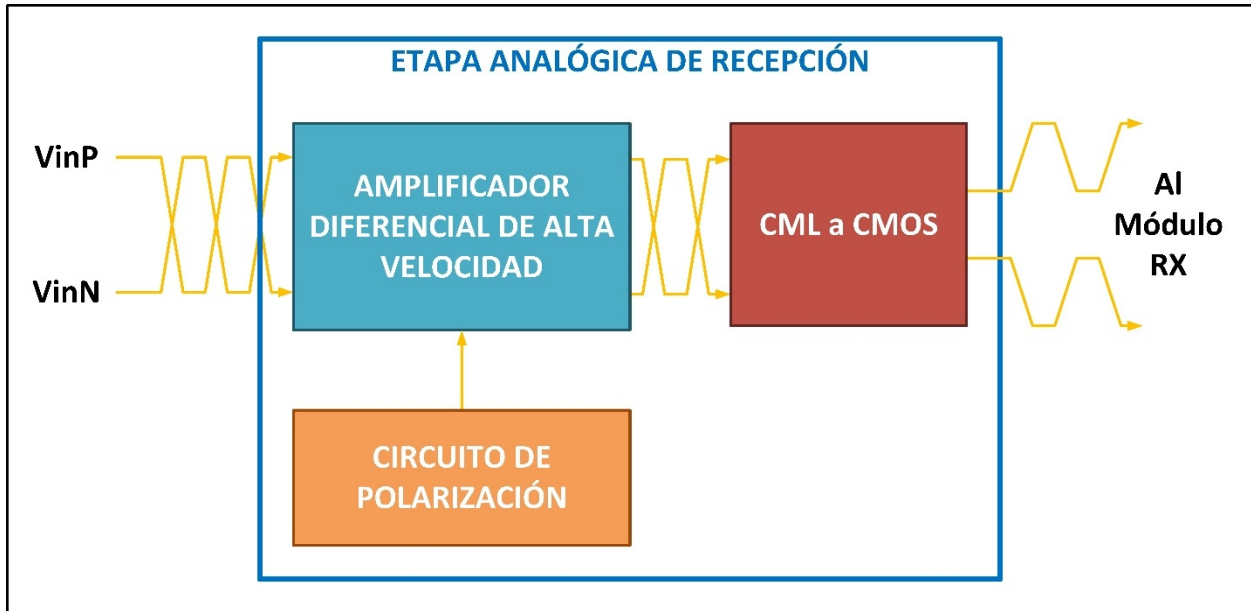


Figura 3-1. Diagrama a Bloques del Módulo Analógico de Recepción.

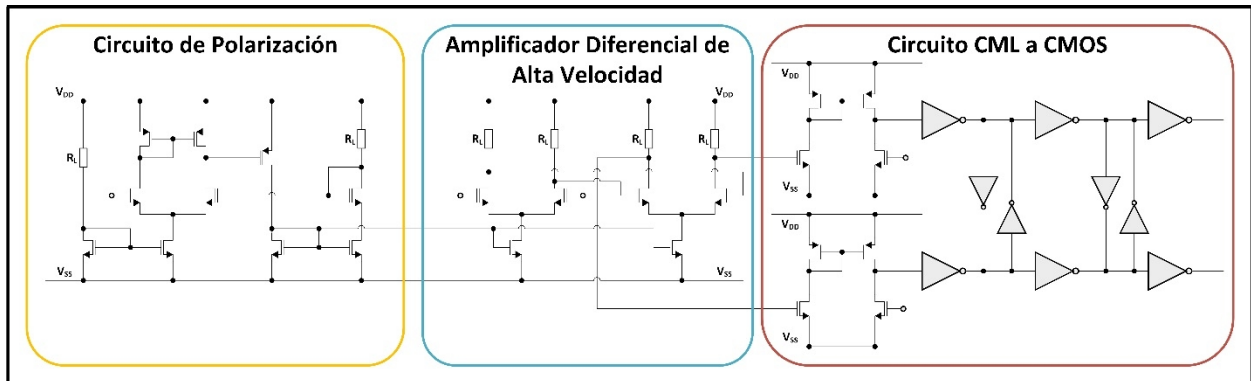


Figura 3-2. Arquitectura del Receptor Analógico.

3.2. Amplificador Diferencial de Alta Velocidad

El Amplificador Diferencial de Alta Velocidad consiste en dos HS-OTA's (*High-Speed Operational Transconductance Amplifiers*, por sus siglas en inglés) con cargas resistivas en cascada, ver Figura 3-3. La topología que se muestra en la *Figura 3-4* se eligió debido a que puede manejar anchos de banda mayores y no requiere retroalimentación, comparada con los OTA's con cargas activas. Por lo tanto, puede utilizarse en cascada para lograr mayores ganancias de voltaje sin tener problemas de inestabilidad.

3. Diseño del Módulo Analógico de Recepción

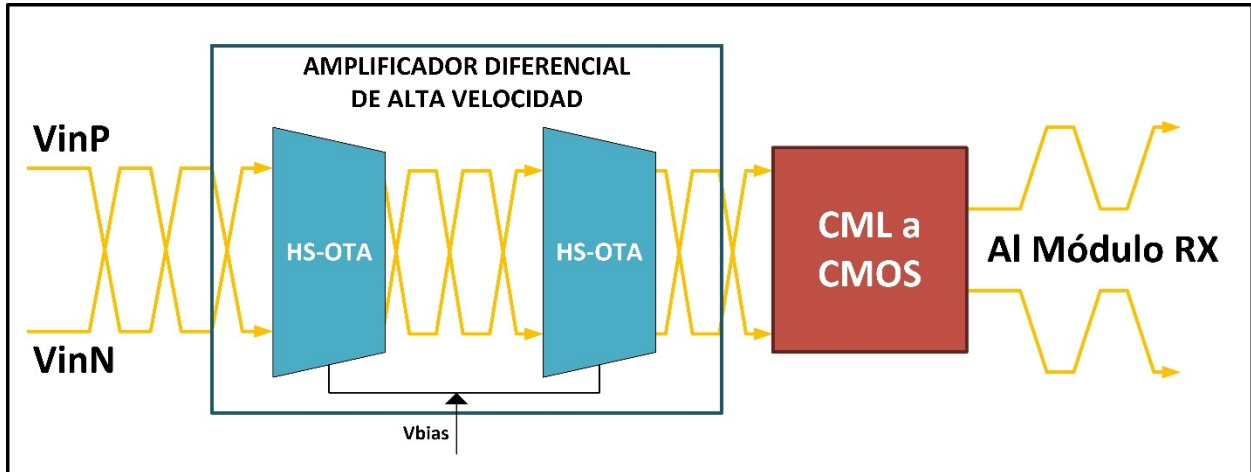


Figura 3-3. Diagrama a Bloques del Amplificador Diferencial de Alta Velocidad.

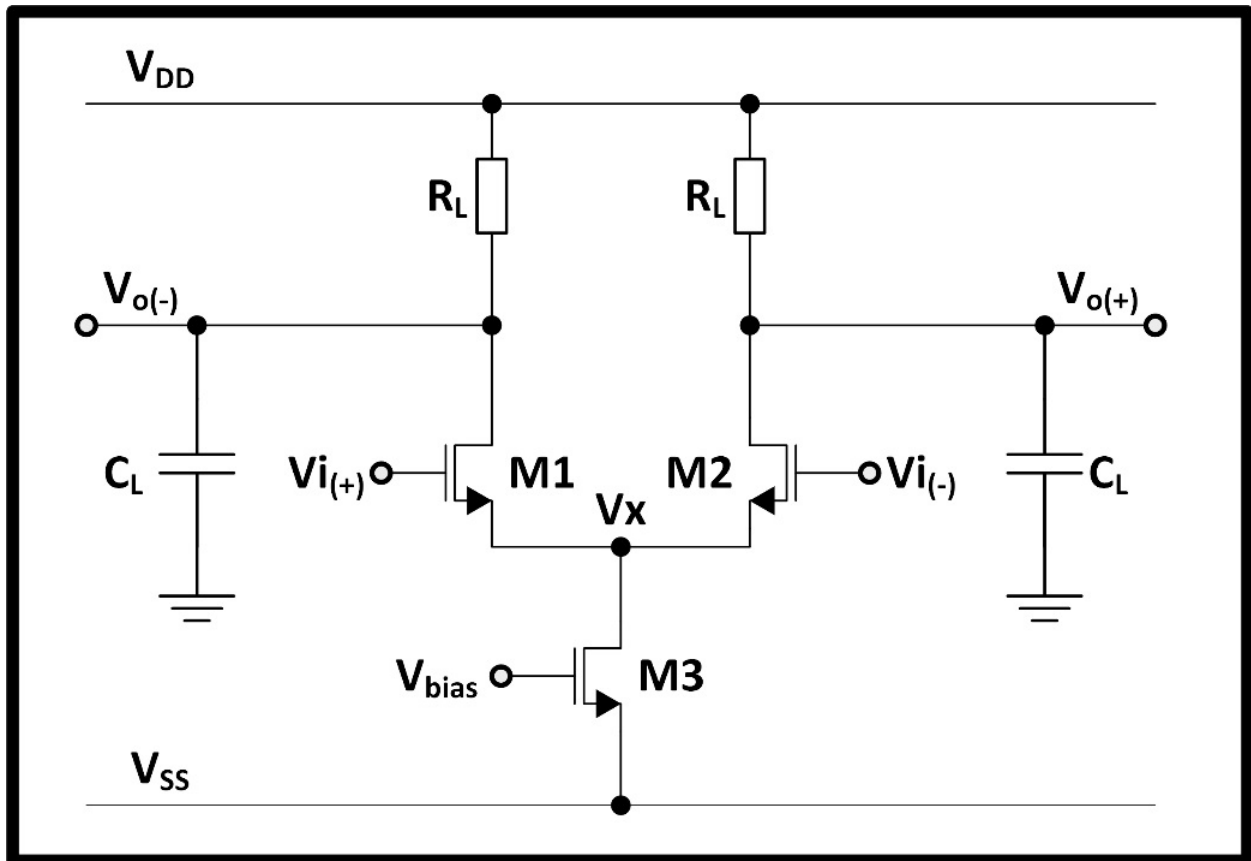


Figura 3-4. Topología del HS-OTA.

3. Diseño del Módulo Analógico de Recepción

3.2.1 Requerimientos de Diseño del HS-OTA

La *Tabla 3-1* muestra las necesidades de diseño del bloque HS-OTA. Con base en las especificaciones del protocolo PCIe Gen1, se define una ganancia de 20 dB (o 10 V/V).

Tabla 3-1. Requerimientos de Diseño del HS-OTA.

Parámetro	Especificación de Diseño
Ganancia	$20 d$
3 dB BW	$2.5 G$
VDD	$1.2 V$
VCM IN	$840 \times 10^{-3} V$
VCM OUT	$840 \times 10^{-3} V$
Carga	$20 \times 10^{-1} F$

Cabe mencionar que los requerimientos de diseño anteriores son lo suficientemente robustos para cumplir las especificaciones del protocolo SGMII.

3.2.2 Procedimiento de Diseño del HS-OTA

Como se muestra en la Figura 3-3, el amplificador diferencial de alta velocidad consiste en dos etapas HS-OTA conectadas en cascada, con el requerimiento de ganancia de 10 dB por etapa. Se considera que la capacitancia vista por el primer OTA (correspondiente a la capacitancia de entrada del segundo OTA) es de 20 fF. Además, las dimensiones de los transistores, la corriente de polarización y la resistencia de carga se obtienen mediante el modelo de primer orden del MOSFET.

Se debe mencionar que este enfoque brindará solamente una estimación de las dimensiones de los transistores requeridas, así como el valor de resistencia necesario para ajustar el voltaje de

3. Diseño del Módulo Analógico de Recepción

modo común y la corriente de polarización. Para compensar dicha aproximación, se considera una sobre especificación de diseño para el ancho de banda (3 dB BW) con un valor de 3 GHz. Los componentes se obtienen de la siguiente manera [14]:

$$\begin{aligned}
 f_{3d} &= 3 \times 10^9 \text{ H} \\
 \omega_{3d} &= 2\pi f_{3d} = 2\pi(3 \times 10^9) = 18.85 \times 10^9 \\
 C_L &= 20 \times 10^{-1} \text{ F} \\
 A_a &= 10 \\
 A &= 10^{\frac{A_a}{2}} = 3.162
 \end{aligned} \tag{3-1}$$

$$R_o = \frac{1}{\omega_{3d} C_L} = \frac{1}{(18.85 \times 10^9)(20 \times 10^{-1})} = 2.653 \times 10^3 \Omega \tag{3-2}$$

$$g = \frac{A}{R_o} = \frac{3.162}{2.653 \times 10^3} = 1.192 \times 10^{-3} \text{ S} \tag{3-3}$$

$$I_B = \frac{2(V_D - V_{O_1})}{R_o} = \frac{2(1.2 - 0.840)}{2.653 \times 10^3} = 271.434 \times 10^{-6} \text{ A} \tag{3-4}$$

Si se asume el valor de $K_n = 305.6 \times 10^{-6}$, el cual corresponde al resultado de la caracterización de la tecnología 130 nm, se tiene el siguiente resultado para las dimensiones de los transistores:

$$\frac{W}{L} = \frac{g^2}{I_B K_n} = \frac{1.192 \times 10^{-3}}{(271.434 \times 10^{-6})(305.6 \times 10^{-6})} = 17.133 \tag{3-5}$$

$$L = 270 \times 10^{-9} \text{ m} \quad W = 4.626 \times 10^{-6} \text{ m} \tag{3-6}$$

El ancho de los transistores del par diferencial se tiene que ajustar para lograr el valor necesario de g y en consecuencia el ancho de banda ω_{3d} . Esto se debe a que los cálculos anteriores utilizan modelos básicos los cuales resultan en valores aproximados a los reales, mientras que el simulador de Spectre usa modelos más complejos y sus valores calculados son más precisos. En esta primera iteración se consigue cumplir con los requerimientos de diseño de la etapa HS-OTA.

3. Diseño del Módulo Analógico de Recepción

$$\omega_{3d} = 3.11 \text{ G} \quad (3-7)$$

$$A = 10.01 \text{ d} \quad (3-8)$$

Para conseguir la ganancia necesaria de 20 dB, este HS-OTA se conecta en cascada. Los resultados de la simulación de este arreglo en cascada muestran que el ancho de banda ω_{3d} se redujo a 1.16 GHz, mientras que la ganancia de voltaje permanece en 20 dB. Con base en esta información, se procede a calcular la capacitancia real vista por el primer HS-OTA [7]:

$$C_{p1} = \frac{1}{B (R_L || r_{i1})} = \frac{1}{B \left(\frac{1}{\frac{1}{R_L} + g} \right)} \approx 38 \times 10^{-1} \text{ F} \quad (3-9)$$

A continuación, se calcula la degradación del ancho de banda BW:

$$D \% = \frac{B_{ci} - d}{B_{si}} = 37.29\% \quad (3-10)$$

Entonces, se recalcula el ancho de banda requerido en la topología en cascada de la siguiente manera:

$$B_{ni} = B_o (100\% + D_{ic} \%) \approx 4 \text{ G} \quad (3-11)$$

Con este nuevo BW, se rediseña el HS-OTA con los siguientes requerimientos de diseño modificados.

3. Diseño del Módulo Analógico de Recepción

Tabla 3-2. Requerimientos de Diseño del HS-OTA en la 2ª Iteración.

Parámetro	Especificación de Diseño
Ganancia	$10 d$
3 dB BW	$5 G$
Carga	$40 \times 10^{-1} F$

Nótese que se sobre diseña el ancho de banda BW a 5 GHz, en lugar de los 4 GHz calculados, para brindar un margen al resultado del producto ganancia-ancho de banda GBW. Se repite el procedimiento anterior con las ecuaciones de diseño descritas para obtener los resultados que muestra la *Tabla 3-3*.

Tabla 3-3. Parámetros de diseño *Prelayout* Finales del HS-OTA.

Parámetro	Valor
W	$19 \times 10^{-6} m$
L	$180 \times 10^{-9} m$
I _B	$904.8 \times 10^{-6} A$
R _L	795.8Ω

3.3. Circuito CML a CMOS

La función del circuito CML a CMOS consiste en convertir el voltaje de modo común de 840 mV de las señales diferenciales a un nivel CMOS de terminación simple con un voltaje de modo común de 600 mV y un *swing* de 1.2V, de tal forma que la lógica digital pueda procesarla.

El bloque consiste en dos convertidores de señales diferenciales a terminación simple que reciben la señal conducida por el amplificador diferencial de alta velocidad y convierten su voltaje de modo común de $0.7 \cdot V_{DD}$ a $0.5 \cdot V_{DD}$. El motivo de utilizar dos convertidores es para poder

3. Diseño del Módulo Analógico de Recepción

producir una señal de terminación simple complementaria que podrá ser utilizada por el circuito DCC para la corrección del *mismatch* del ciclo de trabajo. Una vez que la señal se convierte a terminación simple, se alimenta a tres inversores para incrementar la fuerza de la señal y conseguir el *swing* de *rail a rail*.

El circuito DCC consiste en dos inversores conectados en topología *back-to-back*. Este arreglo se comporta como un *latch*, lo cual obliga que ambas salidas sean complementarias. Con este circuito el ciclo de trabajo será lo más cercano posible al 50%. La *Figura 3-5* muestra los bloques del circuito CML a CMOS y la *Figura 3-6* las topologías correspondientes a sus bloques [7].

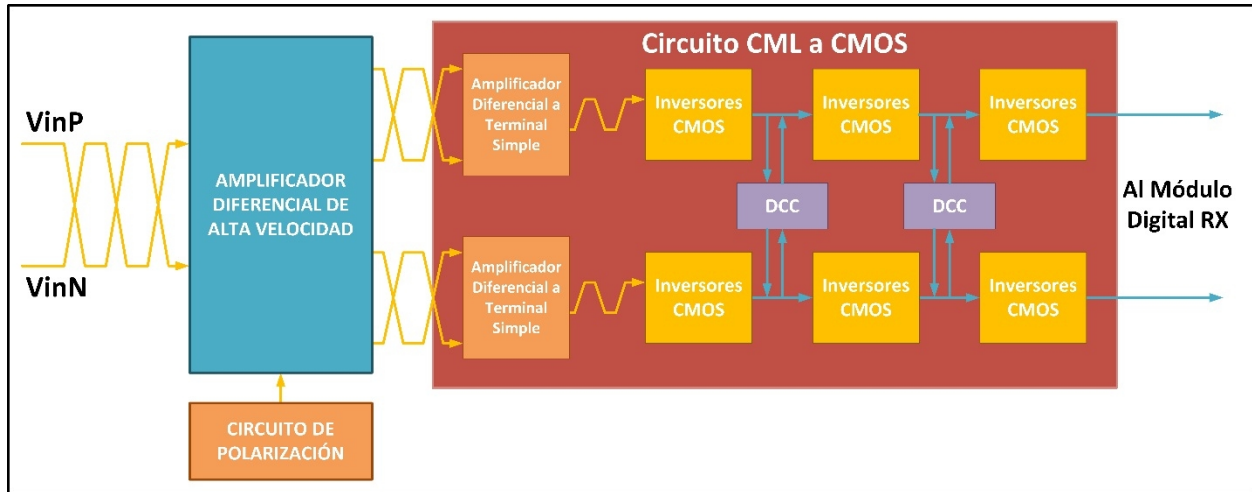


Figura 3-5. Diagrama a Bloques del Circuito CML a CMOS.

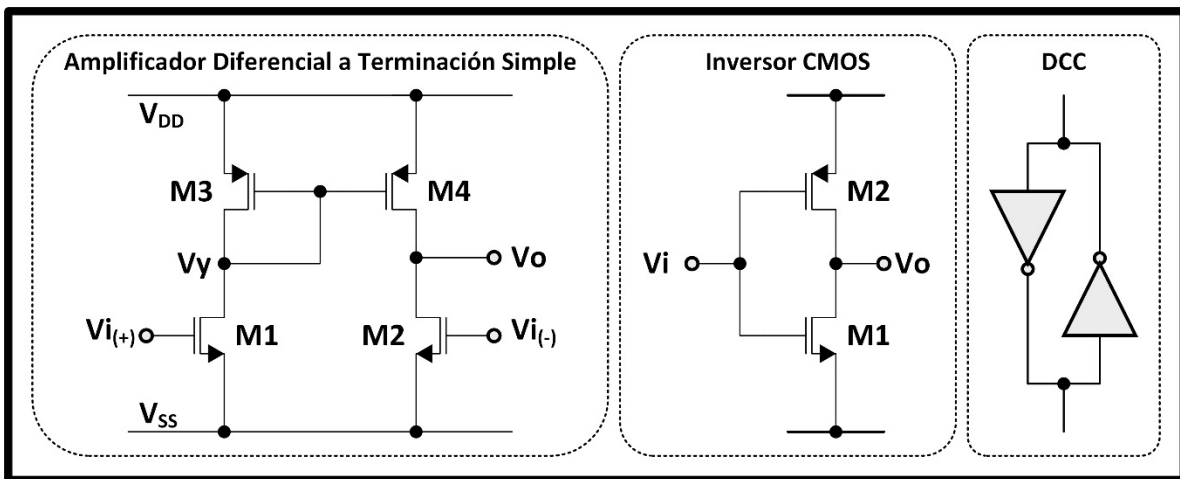


Figura 3-6. Topologías del Circuito CML a CMOS.

3. Diseño del Módulo Analógico de Recepción

3.3.1 Requerimientos de Diseño del Circuito CML a CMOS

Los requerimientos para este circuito se resumen en la Tabla 3-4.

Tabla 3-4. Requerimientos de Diseño del Circuito CML a CMOS.

Parámetro	Especificación de Diseño
VOCM	$600 \times 10^{-3} V$
Ciclo de Trabajo	$\sim 50\%$
Cin Máxima	$20 \times 10^{-1} F$

La restricción de la capacitancia de entrada Cin es para mantener el ancho de banda $\omega_{3d} = 2.5 G$ obtenido del diseño del HS-OTA.

3.3.2 Procedimiento de Diseño del Circuito CML a CMOS

Para el diseño de este circuito, es importante considerar que éste trabajará en la región no lineal del transistor, lo que significa que los parámetros de salida se analizan mediante simulaciones de transitorios en lugar de un análisis de AC.

3.3.3 Diseño del Inversor

El diseño del inversor se realiza de tal manera que los tiempos de subida y bajada (medidos al 20% y 80% del swing de la señal) fueran lo más parecido posible y con la suficiente fuerza para manejar una carga capacitiva de $20 \times 10^{-15} F$. Se consideran inicialmente la dimensión mínima de los transistores $W = 160 \text{ nm}$, además, se ajusta $L = 180 \text{ nm}$ para coincidir con la longitud de los transistores del HS-OTA.

3. Diseño del Módulo Analógico de Recepción

Se considera inicialmente el ancho del transistor tipo-P (W_p), 2.5 veces mayor al ancho del transistor tipo-N (W_n), para incluir la diferencia en movilidad entre los NMOS y PMOS. Después de algunas iteraciones se obtienen las dimensiones finales para W_n y W_p que cumplen con los requerimientos de tiempo, ver la *Tabla 3-5*.

Tabla 3-5. Dimensiones de los Transistores del Inversor.

Parámetro	Valor
W_p	$3.4 \times 10^{-6} m$
W_n	$1.2 \times 10^{-6} m$
$L_p = L_n$	$180 \times 10^{-9} m$

Una vez diseñado el primer inversor, se agregan dos inversores en cascada incrementando los anchos W por un factor de 3 en cada etapa, con base en la metodología de diseño del *tapering buffer* para obtener el mejor consumo de potencia, retardo y compensación de *jitter*. Con base en esto, la *Tabla 3-6* resume los valores finales de las tres etapas.

Tabla 3-6. Dimensiones de los Transistores de los *Tapering Buffers*.

Parámetro	Inversor 1	Inversor 2	Inversor 3
W_p	$3.4 \times 10^{-6} m$	$10.2 \times 10^{-6} m$	$30.6 \times 10^{-6} m$
W_n	$1.2 \times 10^{-6} m$	$3.6 \times 10^{-6} m$	$10.8 \times 10^{-6} m$
$L_p = L_n$	$180 \times 10^{-9} m$	$180 \times 10^{-9} m$	$180 \times 10^{-9} m$

3. Diseño del Módulo Analógico de Recepción

3.3.4 Diseño del Circuito Diferencial a Terminación Simple

Para el circuito conversor diferencial a terminación simple, se consideran los siguientes requerimientos: el circuito debe proveer la mayor cantidad posible de corriente para lograr el mayor *swing*; debe brindar el voltaje de salida en modo común de $0.7 \cdot V_{DD}$ a $0.5 \cdot V_{DD}$ sin sacrificar el ancho de banda de 2.5 GHz. Este circuito tiene una carga capacitiva dada por la capacitancia de entrada del primer inversor del *tapering buffer*.

En el diseño de este circuito, se consideran inicialmente los valores siguientes: $L_p = L_n = 180 \text{ nm}$ y $W_p = 2.5 \cdot W_n$, entonces los transistores PMOS se dimensionan para obtener el VO_{CM} mediante la siguiente ecuación:

$$V_{O_{CM}} = V_D + |V_T| - \sqrt{\frac{I_B}{K_P \left(\frac{W}{L}\right)}} \quad (3-12)$$

El diseño se iteró incrementando el ancho de los transistores tipo-N (W_n) y fijando VO_{CM} en consecuencia, hasta que la etapa previa alcanzara por lo menos $\sim 2.5 \text{ GHz}$. Las dimensiones finales de los transistores que cumplen con los requerimientos se resumen en la *Tabla 3-7* [7].

Tabla 3-7. Dimensiones de los Transistores del Circuito Diferencial a Terminación Simple.

Parámetro	Valor
W_p	$3.4 \times 10^{-6} \text{ m}$
W_n	$1.2 \times 10^{-6} \text{ m}$
L_p = L_n	$180 \times 10^{-9} \text{ m}$

3. Diseño del Módulo Analógico de Recepción

3.3.5 Diseño del Inversor Corrector de Ciclo de Trabajo

Para el diseño de los inversores DCC se hace la siguiente consideración $W_{DCC} = \frac{1}{2}W_{inversor}$, para evitar que la señal se encuentre en el *path* o trayecto directo de los *latches*. Dicha consideración brindará la suficiente fuerza a los inversores DCC para lograr que el ciclo de trabajo alcance el 50%. La dimensión de los transistores finales se muestran en la *Tabla 3-8*.

Tabla 3-8. Dimensión de los Transistores del Circuito DCC.

Parámetro	Inversor DCC 1	Inversor DCC 2
Wp	$1.7 \times 10^{-6} m$	$5.1 \times 10^{-6} m$
Wn	$0.6 \times 10^{-6} m$	$1.8 \times 10^{-6} m$
Lp = Ln	$180 \times 10^{-9} m$	$180 \times 10^{-9} m$

3.4. Circuito de Polarización

El circuito de polarización consiste en tres bloques que se muestran en la *Figura 3-7*: un OTA de alta ganancia, un circuito de réplica del HS-OTA y un divisor de voltaje.

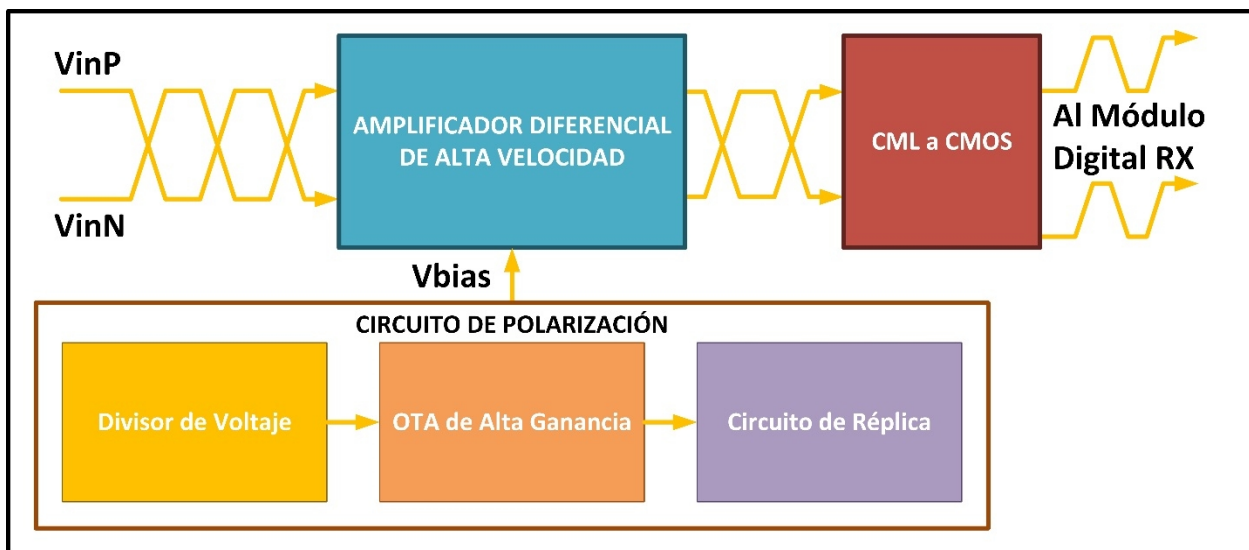


Figura 3-7. Diagrama a Bloques del Circuito de Polarización.

3. Diseño del Módulo Analógico de Recepción

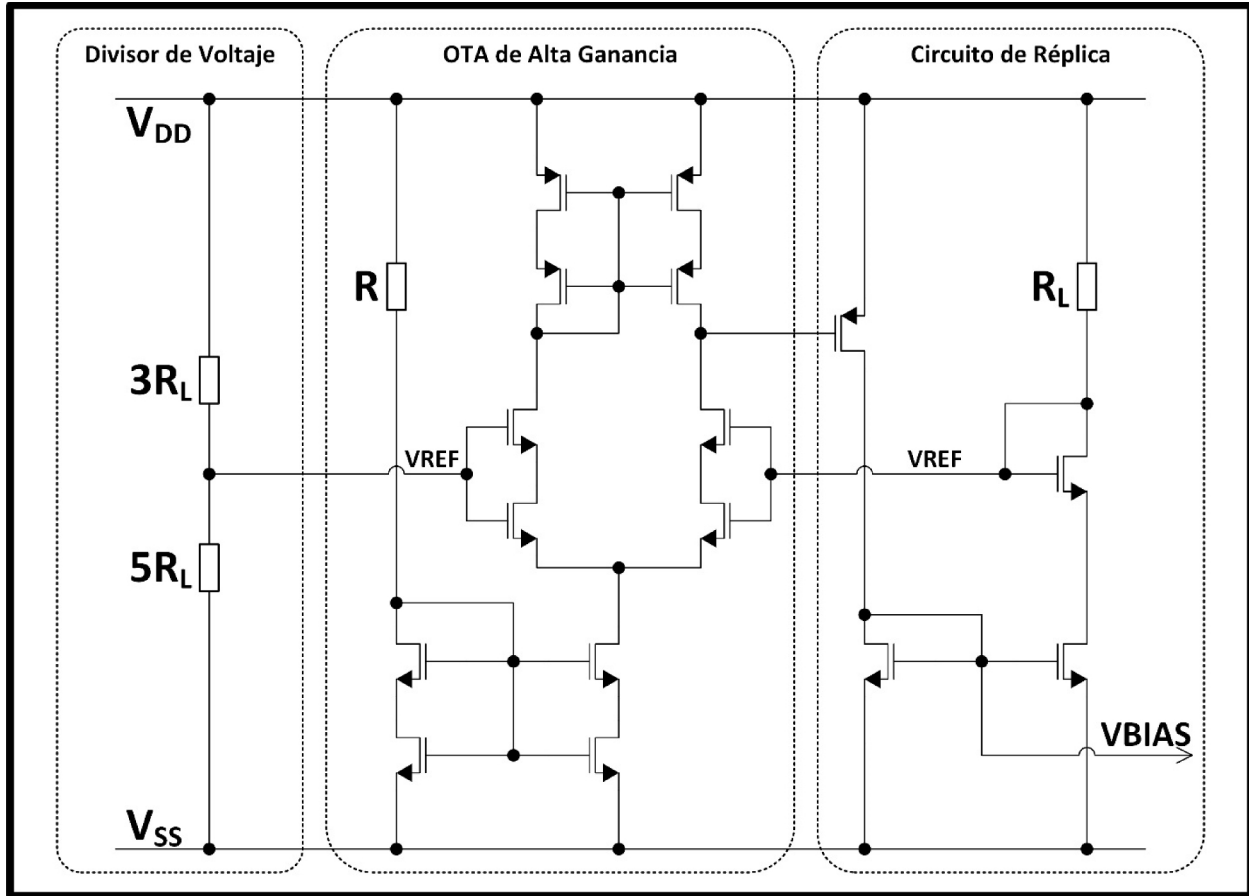


Figura 3-8. Topologías del Circuito de Polarización.

El circuito de réplica, como su nombre lo indica, es una copia de una de las ramas del HS-OTA, la cual se utiliza para monitorear las variaciones PVT (Proceso, Voltaje y Temperatura) del HS-OTA, entonces dicha señal se alimenta a una de las entradas del OTA de alta ganancia. La señal que genera el circuito de réplica, representa un voltaje de control que obliga a la entrada del OTA de alta ganancia (el voltaje que ajusta el divisor de voltaje en la *Figura 3-8*) que debe ser igual al voltaje de referencia. Este voltaje de control se retroalimenta a un transistor PMOS que convierte este voltaje a una corriente de control y la refleja a la rama que se pretende controlar.

3. Diseño del Módulo Analógico de Recepción

3.4.1 Requerimientos de Diseño del OTA de Alta Ganancia

La *Tabla 3-9* muestra las necesidades de diseño del OTA de alta ganancia; se asume que una ganancia de 40 dB es suficiente para controlar al circuito de réplica y el producto ancho de banda-ganancia de 10 MHz debería ser aceptable, debido a que el nodo que será monitoreado no se moverá a velocidades altas [7].

Tabla 3-9. Requerimientos de Diseño del OTA de Alta Ganancia.

Parámetro	Especificación de Diseño
Ganancia	40 <i>d</i>
GBW	10 <i>M</i>
VDD	1.2 <i>V</i>
VCM IN	$840 \times 10^{-3} V$
VCM OUT	$840 \times 10^{-3} V$
C_{LOAD}	$1 \times 10^{-1} F$

3.4.2 Procedimiento de Diseño del OTA de Alta Ganancia

La primera topología elegida para este circuito se muestra en la *Figura 3-9*; esta configuración es la más simple y usualmente ofrece una ganancia de voltaje aceptable asegurando estabilidad debido que el segundo polo siempre se ubica al doble de la frecuencia del polo dominante.

3. Diseño del Módulo Analógico de Recepción

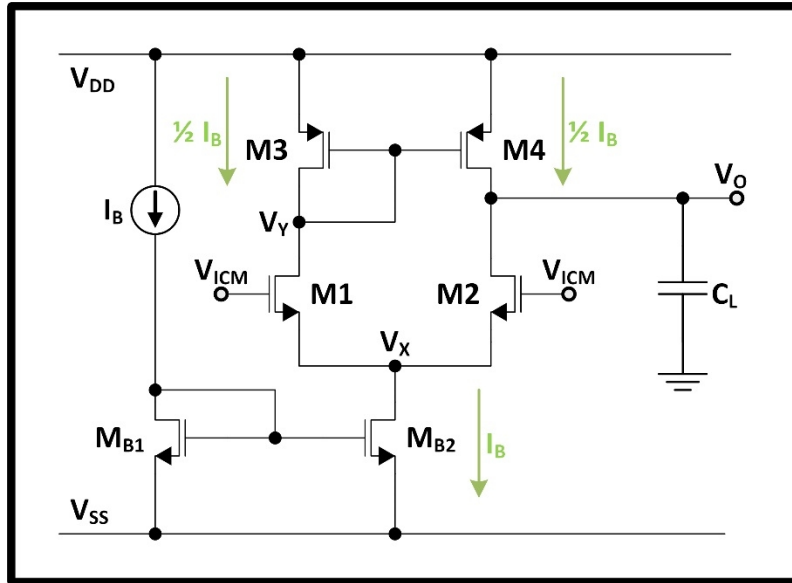


Figura 3-9. Topología OTA Simple.

Las ecuaciones de diseño y el procedimiento para obtener la resistencia de salida, la corriente de polarización y las dimensiones de los transistores se describen a continuación [10].

$$\begin{aligned}
 G l_H &= 10 \times 10^6 \text{ H} \\
 G l_H &= 2\pi \cdot G l_H = 2\pi(10 \times 10^6) = 6.28 \times 10^7 \\
 C_L &= 1 \times 10^{-1} \text{ F} \\
 A_d &= 40 \\
 A &= 10^{\frac{A_d}{2}} = 1
 \end{aligned} \tag{3-13}$$

Con base en la especificación de diseño GBW, se calcula gm,

$$G l_H = \frac{g}{C_L} \tag{3-14}$$

$$g = G l_H \cdot C_L = (62.832 \times 10^6)(1 \times 10^{-1}) = 62.832 \times 10^6 \tag{3-15}$$

Con base en la especificación de diseño de la ganancia Av, se calcula la resistencia de salida Rout,

$$A = g \cdot R \tag{3-16}$$

3. Diseño del Módulo Analógico de Recepción

$$R = \frac{A}{g} = \frac{100}{62.832 \times 10^{-6}} = 1.5 \times 10^3 \quad (3-17)$$

Con los resultados anteriores es posible calcular la corriente de polarización I_B ,

$$I_B = g \cdot V_D, \text{ se asume } V_D = 200 \times 10^{-3} \text{ V} \quad (3-18)$$

$$I_B = (62.832 \times 10^{-6})(200 \times 10^{-3}) = 1.2566 \times 10^{-6} \quad (3-19)$$

Con base en el modelo de primer orden del MOSFET, se calculan las dimensiones de los transistores,

$$V_{O_1} = V_D - |V_T| - \sqrt{\frac{I_B}{K_P \left(\frac{W}{L}\right)_P}}, \quad (3-20)$$

se asumen $V_T = 251.7 \times 10^{-3} \text{ V}$ y $K_P = 69 \times 10^{-6}$

$$\left(\frac{W}{L}\right)_P = \frac{I_B}{K_P \cdot (V_D - V_{O_1} - |V_T|)^2} = \frac{1.2566 \times 10^{-6}}{(69 \times 10^{-6}) \cdot (1.2 - 0.840 - 251.7 \times 10^{-3})^2} = 1.5 \quad (3-21)$$

$$\left(\frac{W}{L}\right)_N = \frac{g^2}{I_B \cdot K_N} = \frac{(62.832 \times 10^{-6})^2}{(1.2566 \times 10^{-6}) \cdot (305.6 \times 10^{-6})} = 1.0 \quad (3-22)$$

Como primer enfoque se define la longitud de los transistores como $L = 2 \cdot L_m = 240 \text{ nm}$, esto resulta en $W_P = 3.727 \mu\text{m}$ y $W_N = 246.722 \text{ nm}$. Con estas dimensiones se obtiene una ganancia de voltaje de solamente 21 dB, lo cual queda bastante alejado de lo que se requiere en el diseño.

Después de varias iteraciones sin éxito, se procede a elegir la topología mostrada en la *Figura 3-10*.

3. Diseño del Módulo Analógico de Recepción

Con respecto a lo transistores de cola, se dimensionan dos veces más grandes a los transistores de abajo de la topología *cascade* y se apilan también para asegurar que puedan manejar la corriente requerida.

El espejo de corriente también se apila para permitir una mejor resistencia de salida y en consecuencia, un error menor en la copia de la corriente de polarización. El resistor para fijar la corriente de polarización se diseña mediante la siguiente ecuación.

$$R = \frac{V_D - V_G}{I_B} = \frac{1.2 - 0.359}{12.6 \times 10^{-6}} = 66.74 \times 10^3 \quad (3-25)$$

Estos valores teóricos se iteran en el simulador y se modifican ligeramente para obtener los valores deseados; los parámetros finales se muestran en la *Tabla 3-10*.

Tabla 3-10. Parámetros Finales del OTA de Alta Ganancia.

Parámetro	Valor
IB	$12.6 \times 10^{-6} A$
Lp = Ln = Lmirror	$2 \times 10^{-6} m$
Wncas	$128 \times 10^{-6} m$
Wn	$4 \times 10^{-6} m$
Wpcas	$42.1 \times 10^{-6} m$
Wp	$25 \times 10^{-6} m$
Wnmirror	$8 \times 10^{-6} m$
Rmirror	67.74×10^3
Cload	$1 \times 10^{-1} F$

3. Diseño del Módulo Analógico de Recepción

3.4.3 Procedimiento de Diseño del Circuito de Réplica

El circuito de réplica que se muestra en la *Figura 3-11*, se trata de una copia de una de las ramas del HS-OTA diseñado previamente. Las principales consideraciones que se tiene son: $M1 = M4$, $R_L = R_{L_{HS-OTA}}$, y $M5 = \frac{1}{2} * M3$, esta última consideración se debe a que en el circuito de réplica, la corriente tiene un valor de solamente $\frac{1}{2} * I_B$ y se desea clonar I_B , de tal forma que la magnitud sea 1:2.

Otra consideración importante de diseño, es la conexión en diodo del transistor M4. Esto se realiza debido a la restricción de diseño en el HS-OTA que $V_{OCM} = V_{ICM}$. Esto permite que V_G en el transistor M1 sea igual a V_D para imitar la misma característica eléctrica en el circuito de réplica.

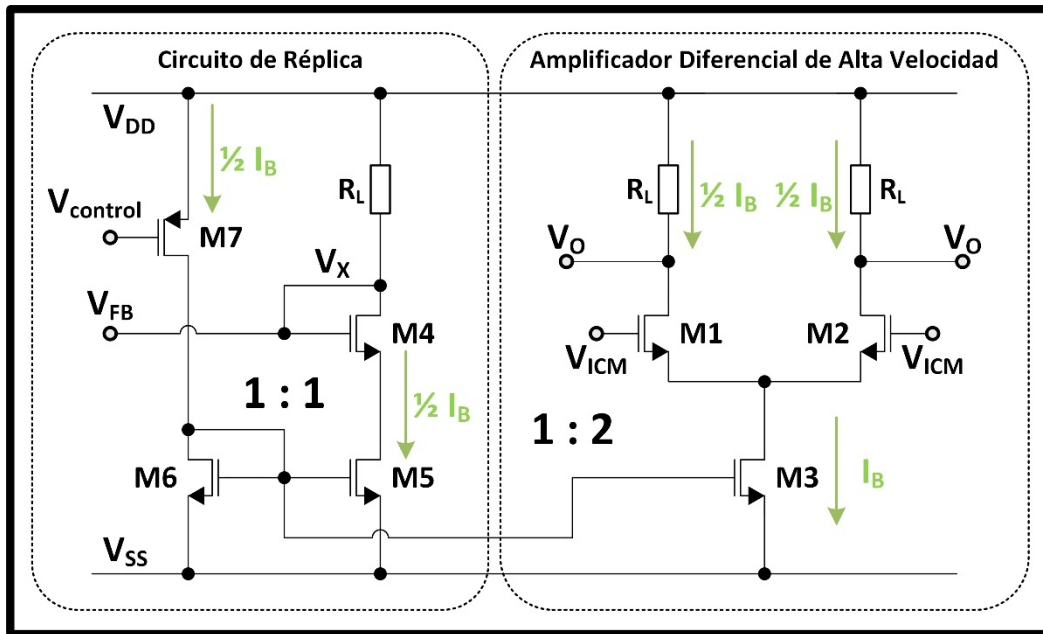


Figura 3-11. Circuito de Réplica.

El propósito del circuito de réplica es controlar el voltaje en los nodos de salida V_o del HS-OTA, de tal forma que siempre sea del mismo valor. Para lograr lo anterior, se debe medir el voltaje V_x en el HS-OTA y mediante un voltaje de referencia que es el que se desea ajustar al V_o , se genera un voltaje proporcional $V_{control}$.

3. Diseño del Módulo Analógico de Recepción

V_{control} se convierte en corriente con la rama que contiene a los transistores M7 y M6, entonces el tamaño del transistor M6 tiene que ser igual a M5, de tal manera que la corriente de control se espejea 1:1.

Por otra parte, las dimensiones del transistor M7 se obtienen mediante las siguientes ecuaciones:

$$I_D = \frac{1}{2} \cdot K_P \cdot \frac{W}{L} \cdot (V_G - V_T)^2 \quad (3-26)$$

$$\frac{W}{L} = \sqrt{\frac{I_B \cdot K_P}{(V_G - V_T)^2}} \quad (3-27)$$

Con base en estos valores teóricos, se itera el diseño para ajustar el mismatch en la salida del OTA de alta ganancia, de tal manera que W/L se ajusta hasta que la salida del OTA de alta ganancia tenga un valor de $0.7 \cdot V_{DD}$. Los tamaños de los transistores del circuito de réplica se resumen en la *Tabla 3-11*.

Tabla 3-11. Parámetros Finales del Circuito de Réplica.

Parámetro	Valor
W_{M4}	$19.2 \times 10^{-6} m$
W_{M5}	$19.2 \times 10^{-6} m$
W_{M6}	$19.2 \times 10^{-6} m$
W_{M7}	$428 \times 10^{-6} m$
$L_{M4,M5,M6}$	$180 \times 10^{-9} m$
L_{M7}	$720 \times 10^{-9} m$
R_L	795.8

3. Diseño del Módulo Analógico de Recepción

3.4.4 Procedimiento de Diseño del Divisor de Voltaje

El divisor de voltaje brinda el voltaje de referencia que se desea fijar en el nodo V_x del circuito de réplica. También ajusta el voltaje V_o del HS-OTA, i.e., el voltaje necesario en ese nodo es $0.7 * V_{DD}$. Para obtener el voltaje de referencia, se usan diez resistores con el mismo valor utilizado en el HS-OTA y se conecta la entrada de referencia del OTA de alta ganancia al tercer resistor.

La conexión anterior asegura que se tendrá un voltaje de $0.7 * V_{DD}$ en ese nodo. Se utiliza el mismo tipo de resistor en el HS-OTA para que cualquier variación en el proceso se refleje de la misma forma en esta red de referencia. La red resistiva se muestra en la *Figura 3-12*.

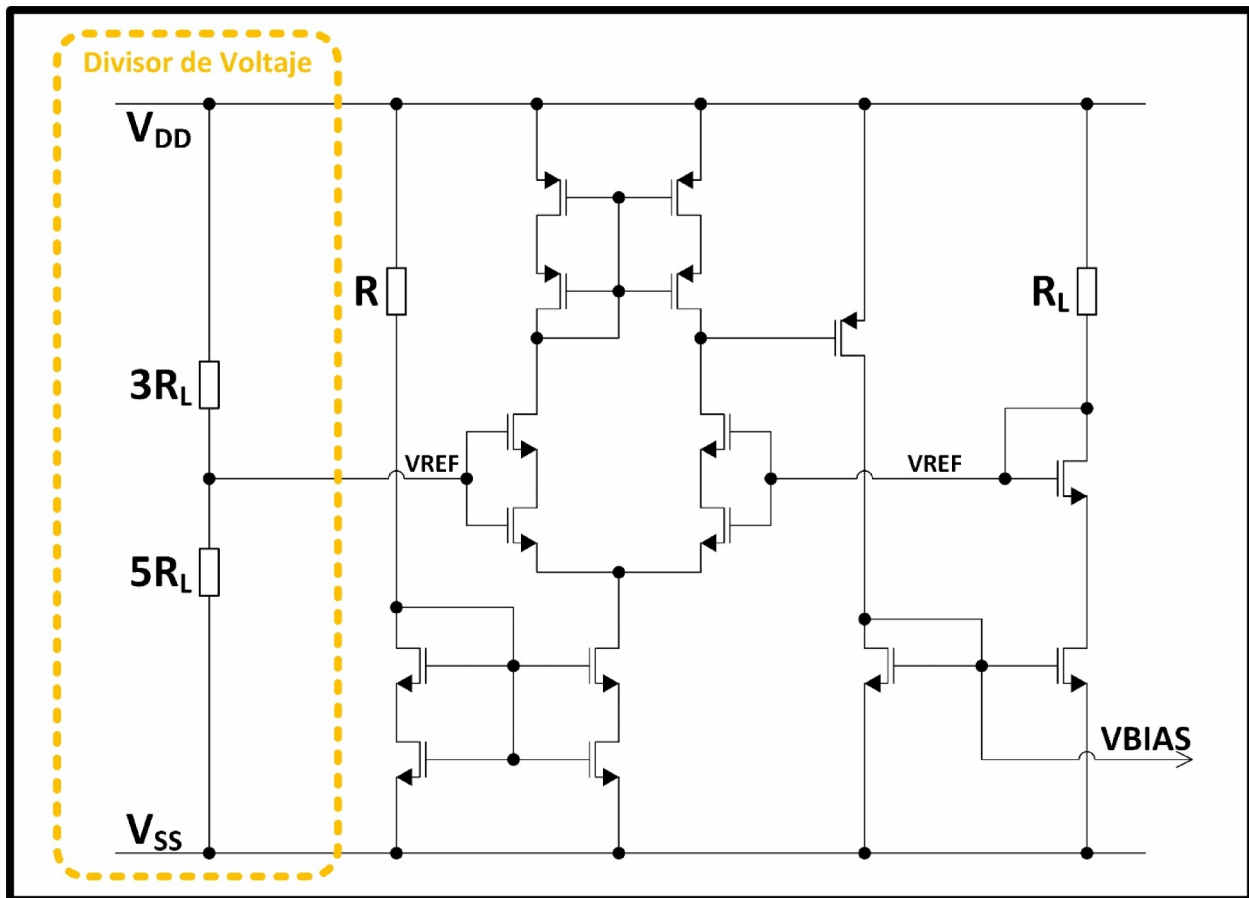


Figura 3-12. Red de Resistencias en el Circuito de Polarización.

4. Verificación Pre-Layout del Módulo Analógico de Recepción

4.1. Verificación Pre-Layout del HS-OTA

La Figura 4-1 y la Figura 4-2 muestran el esquemático del HS-OTA y el testbench utilizados para la verificación pre-layout, respectivamente. Esta primera validación se realiza con los parámetros típicos de proceso, voltaje nominal y temperatura ambiente.

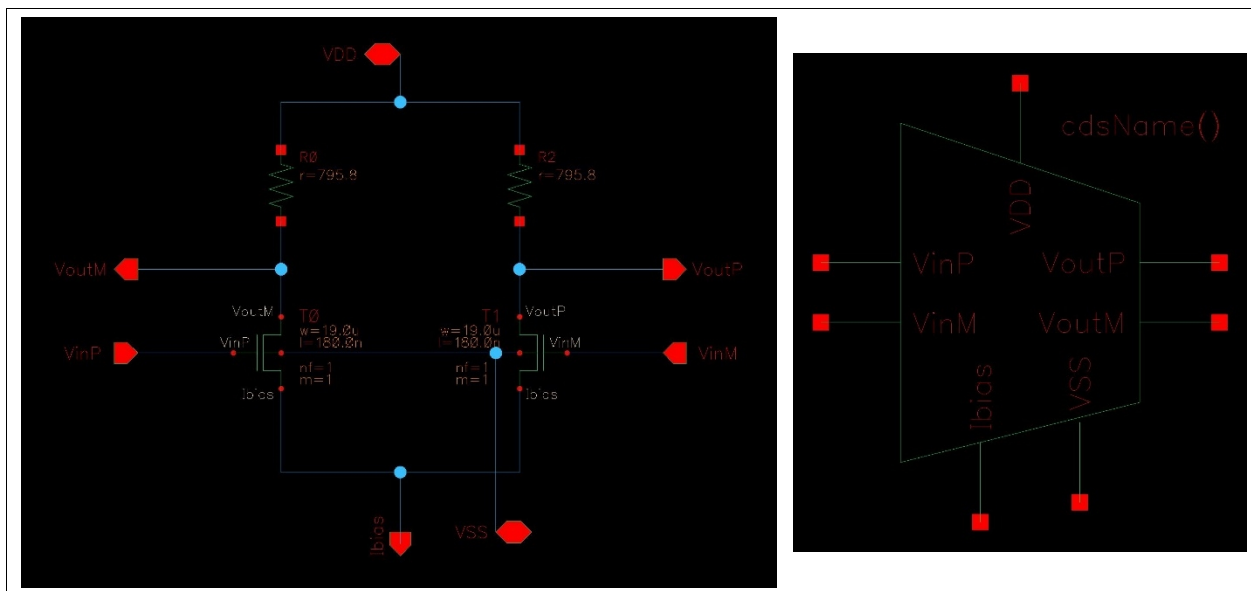


Figura 4-1. Esquemático y Símbolo del HS-OTA.

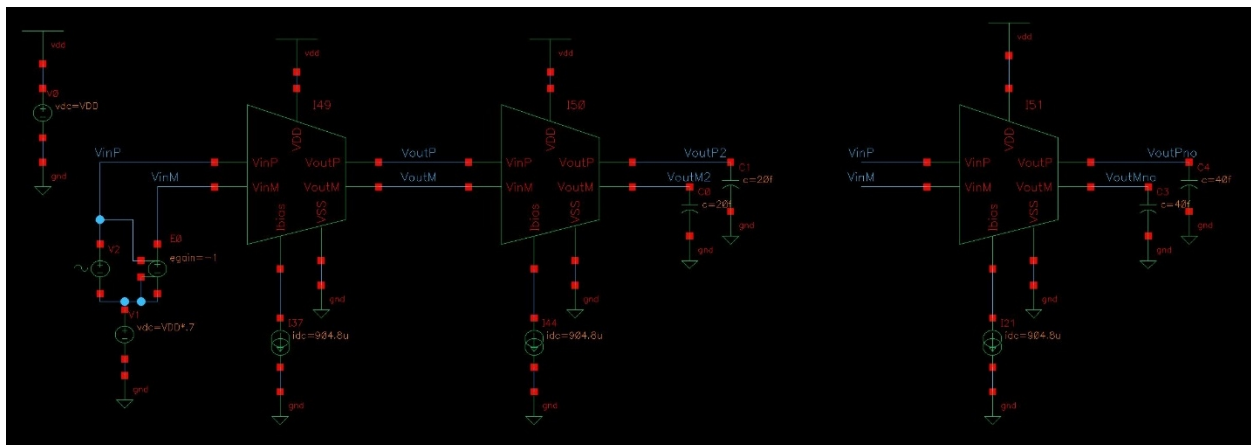


Figura 4-2. Testbench para Verificación Pre-Layout del HS-OTA.

4. Verificación Pre-Layout del Módulo Analógico de Recepción

Es importante señalar que, tal y como lo muestra el testbench anterior, esta validación solamente incluye al HS-OTA, después en el presente documento se verificará la integración con el módulo analógico de recepción. De esta manera, se evalúan las respuestas entre el amplificador en cascada y un amplificador sencillo.

Los resultados del análisis de AC se muestran en la *Figura 4-3*. Se puede observar que el HS-OTA cumple con los requerimientos de diseño de ganancia en DC y ancho de banda. Dado que para la respuesta en amarillo *cascade_out2* (2 HS-OTA en cascada) se tiene:

- Ganancia en DC SI se cumple. $A_v = 20.1069 \text{ dB}$
- Ancho de Banda SI se cumple. $BW = 2.50944 \text{ GHz}$

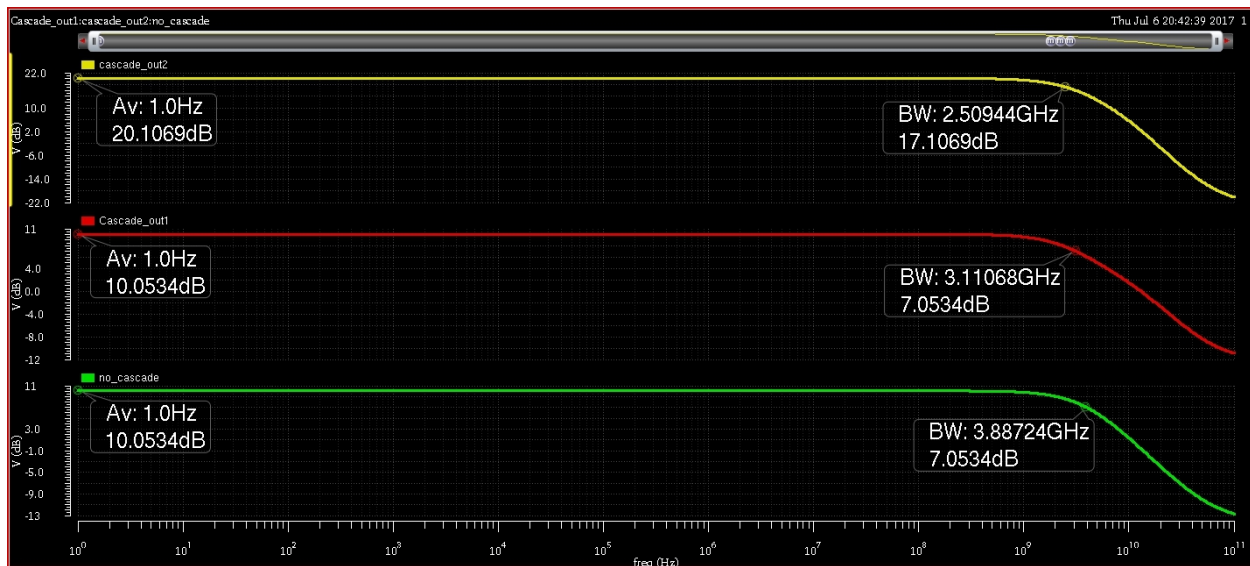


Figura 4-3. Respuesta en AC del HS-OTA.

La *Figura 4-4* muestra la respuesta transitoria en configuración de terminación simple, mientras que la *Figura 4-5* en configuración diferencial. Como se puede apreciar en ambas figuras, la oscilación de las señales de salida alcanzan hasta 379.54mV, con la entrada diferencial de 40mV de amplitud y con una frecuencia de 1.25 Hz. De esta manera, la ganancia de voltaje es de 19.54dB.

4. Verificación Pre-Layout del Módulo Analógico de Recepción

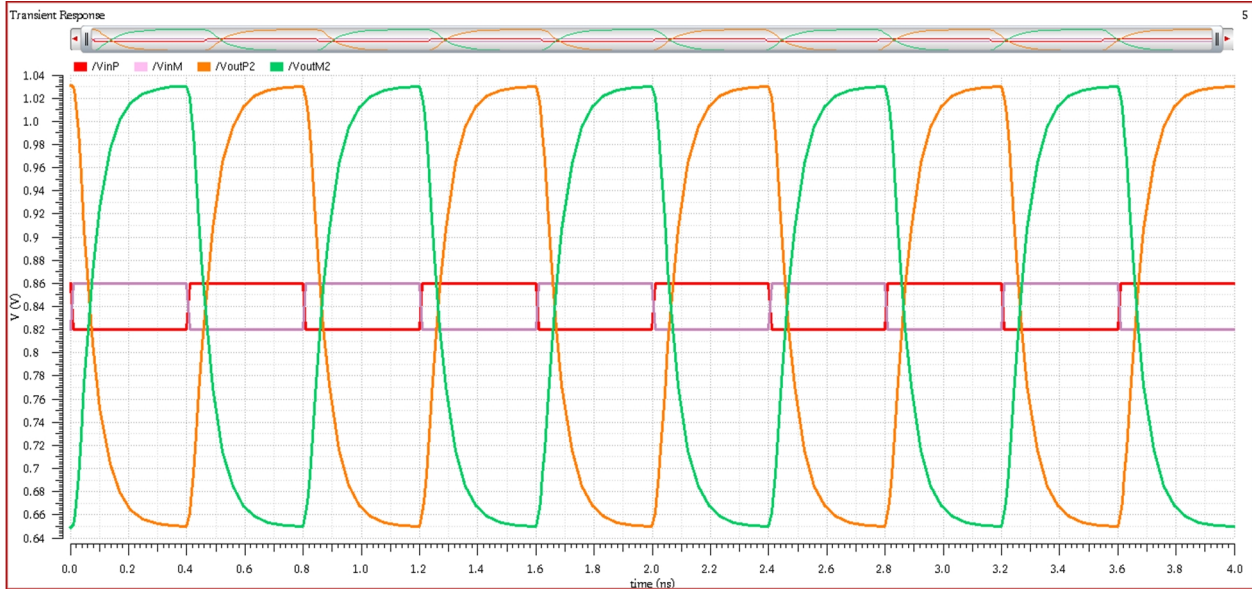


Figura 4-4. Respuesta Transitoria del HS-OTA en Terminación Simple.

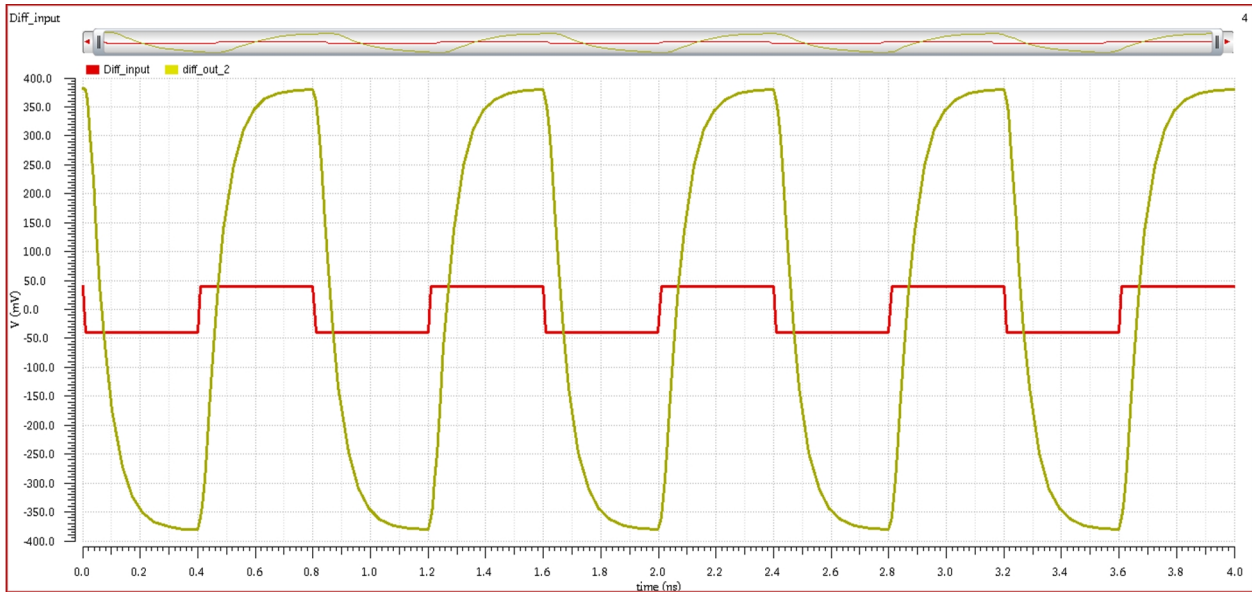


Figura 4-5. Respuesta Transitoria del HS-OTA en Configuración Diferencial.

Para observar las respuestas del circuito a más frecuencias, referirse al Apéndice A.

4. Verificación Pre-Layout del Módulo Analógico de Recepción

4.2. Verificación Pre-Layout del Circuito CML a CMOS

4.2.1 Verificación Pre-Layout de los Inversores

La Figura 4-6, Figura 4-7 y Figura 4-8 muestran los esquemáticos de los 1°, 2° y 3° inversores respectivamente, se puede apreciar que los anchos de los transistores W se escalan tres veces en cada etapa.

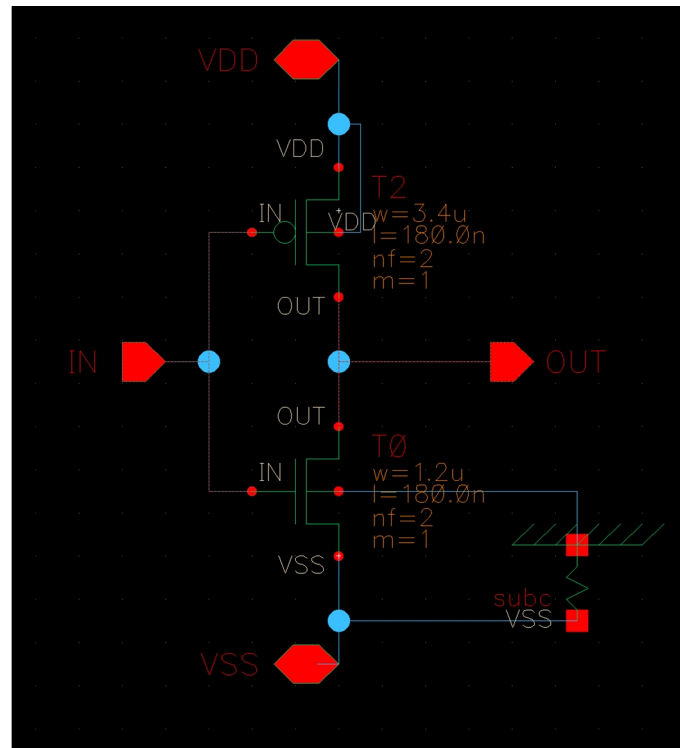


Figura 4-6. Esquemático del Primer Inversor.

4. Verificación Pre-Layout del Módulo Analógico de Recepción

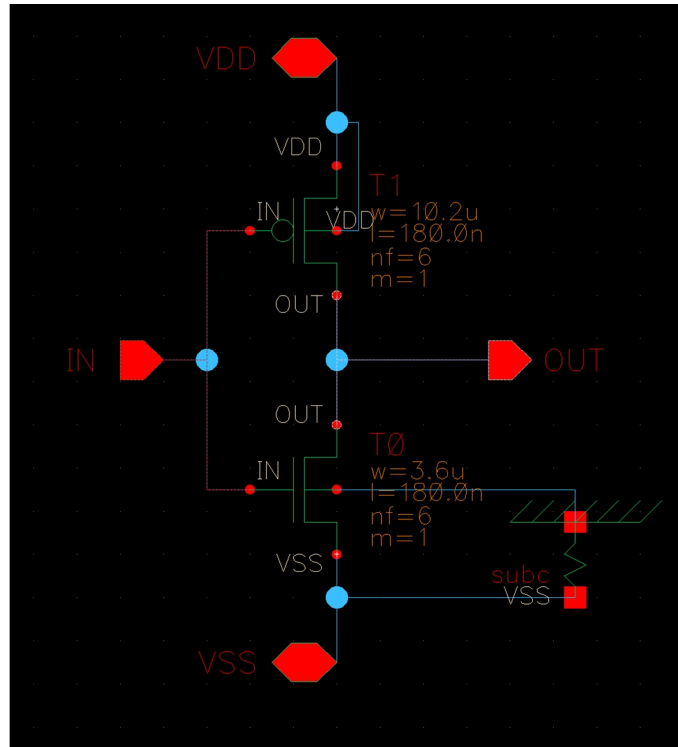


Figura 4-7. Esquemático del Segundo Inversor.

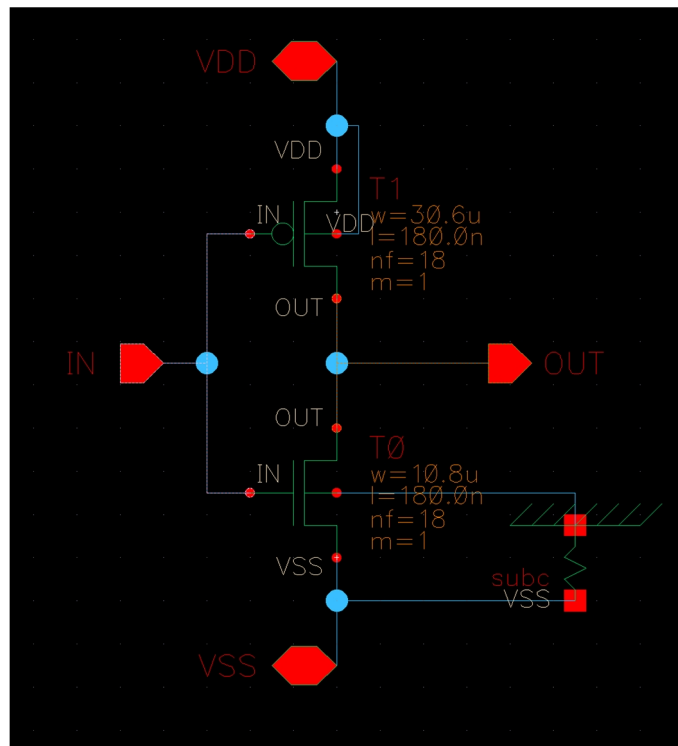


Figura 4-8. Esquemático del Tercer Inversor.

4. Verificación Pre-Layout del Módulo Analógico de Recepción

El símbolo correspondiente para los tres inversores se presenta en la *Figura 4-9*.

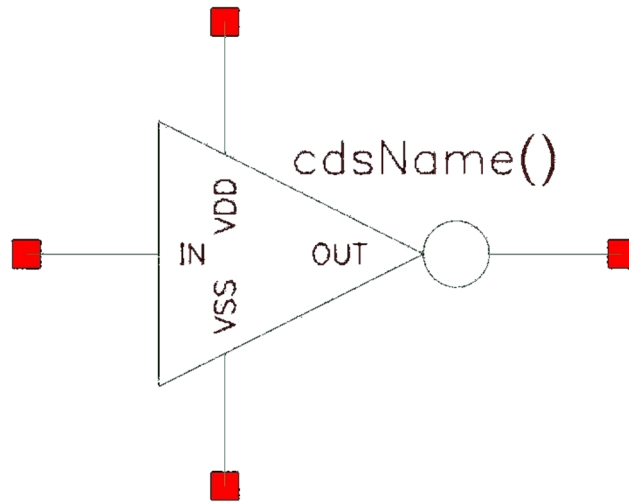


Figura 4-9. Símbolo del Inversor.

Por otra parte, la *Figura 4-10* muestra el testbench que se usa para esta validación.

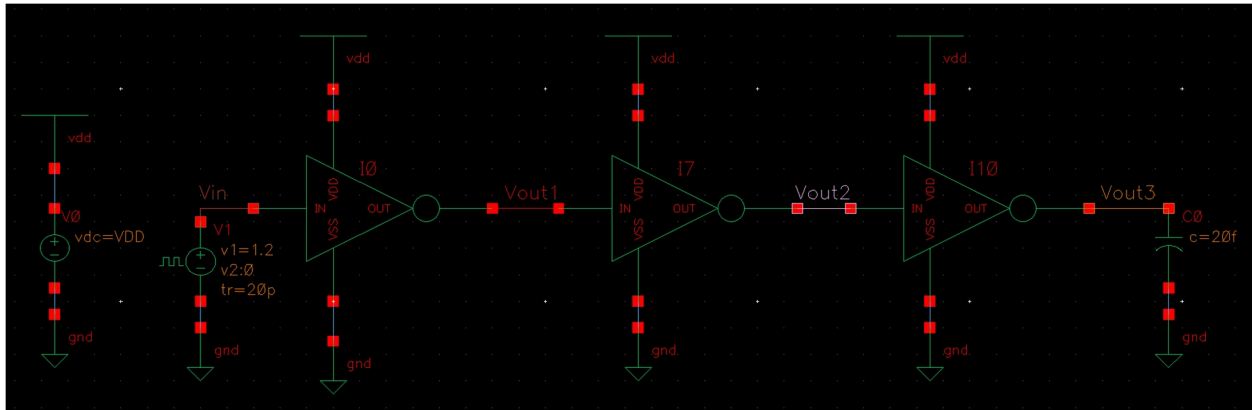


Figura 4-10. Testbench para Verificación Pre-Layout de los Inversores.

A continuación, se presentan las respuestas transitorias del testbench anterior: la *Figura 4-11* muestra todas las respuestas de cada una de las etapas de inversión.

4. Verificación Pre-Layout del Módulo Analógico de Recepción

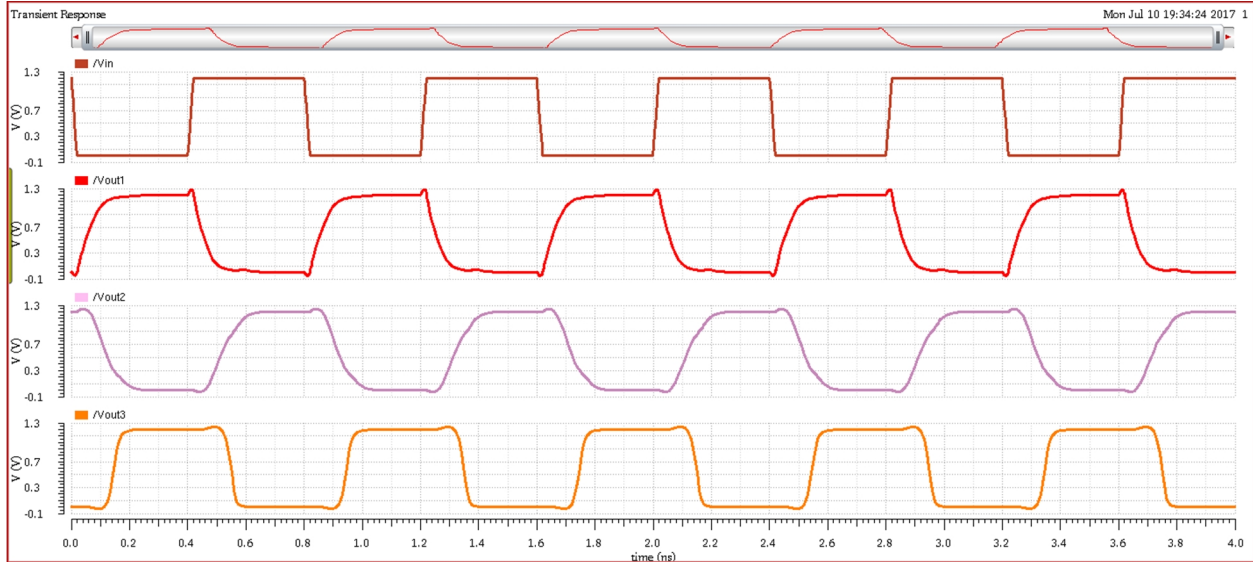


Figura 4-11. Respuesta Transitoria de las Etapas de Inversión.

La Figura 4-12 muestra la entrada y la salida de todo el *path* de inversión, que corresponde a la salida del tercer inversor:

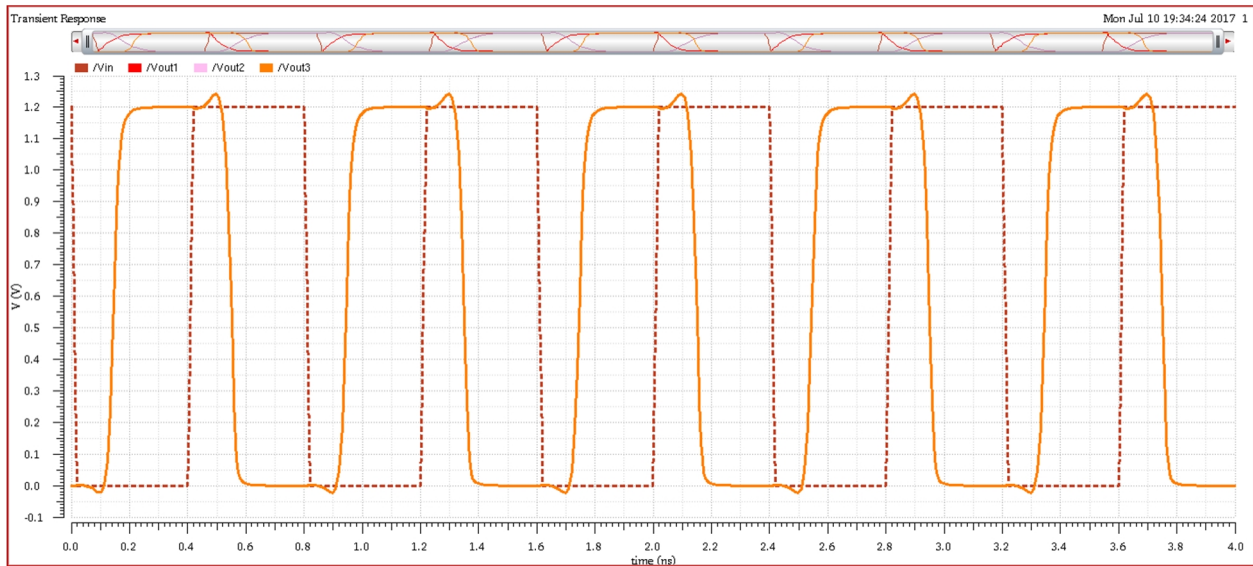


Figura 4-12. Respuesta Transitoria del *Path* de Inversión.

Finalmente, en la Figura 4-13 se presentan el tiempo de subida y el tiempo de bajada de la salida de todo el circuito, correspondiente a la salida del tercer inversor con una carga de 20 fF. Se puede apreciar que se cumple con el requerimientos de diseño en los tiempos de subida y bajada

4. Verificación Pre-Layout del Módulo Analógico de Recepción

lo más cercanos posibles; el tiempo de subida es igual a 26.14 ps mientras que el tiempo de bajada es de 24.64 ps.

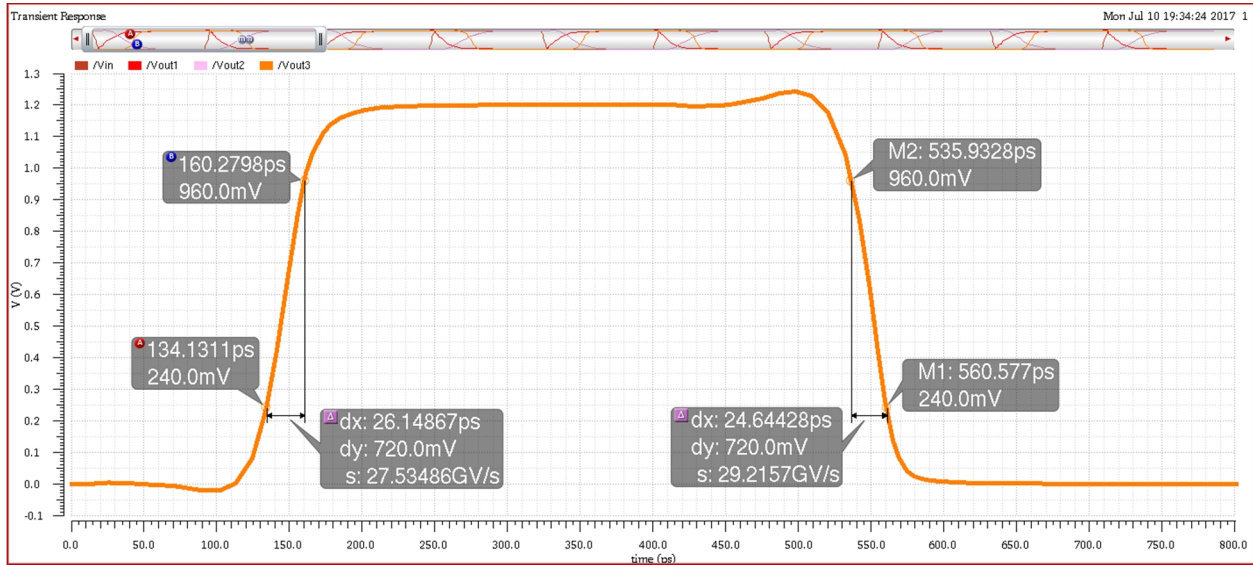


Figura 4-13. Tiempos de Subida y Bajada del Tercer Inversor.

4.2.2 Verificación Pre-Layout del Circuito Diferencial a Terminación Simple

La Figura 4-14 muestra el esquemático del circuito diferencial a terminación simple, también, su respectivo símbolo se proporciona en la Figura 4-15. Además, la Figura 4-16 presenta el testbench que se utiliza para la verificación y ajuste fino del circuito. Como se discute en la sección de metodología de diseño, el propósito de esta validación es verificar el ajuste del voltaje de modo común de $0.7 * VDD$ a $0.5 * VDD$ y el ancho de banda del HS-OTA a 2.5 GHz.

4. Verificación Pre-Layout del Módulo Analógico de Recepción

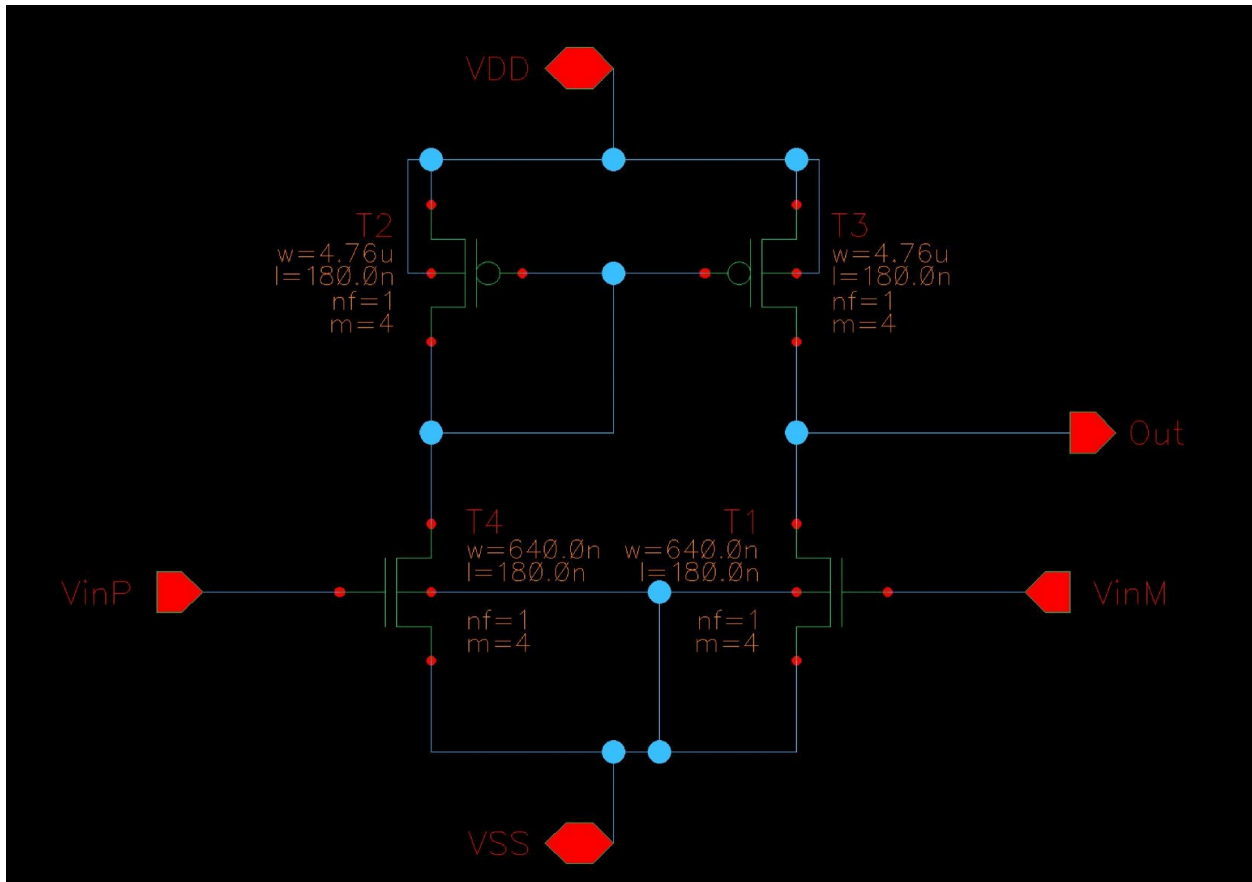


Figura 4-14. Esquemático del Circuito Diferencial a Terminación Simple.

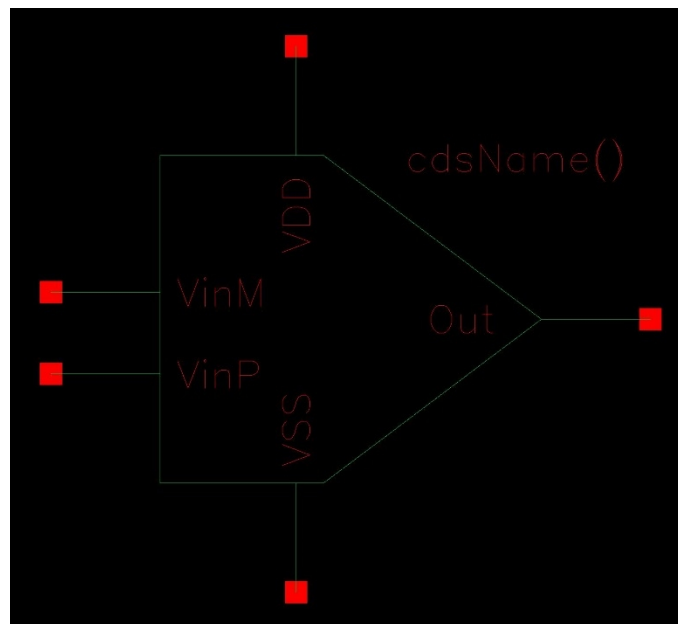


Figura 4-15. Símbolo del Circuito Diferencial a Terminación Simple.

4. Verificación Pre-Layout del Módulo Analógico de Recepción

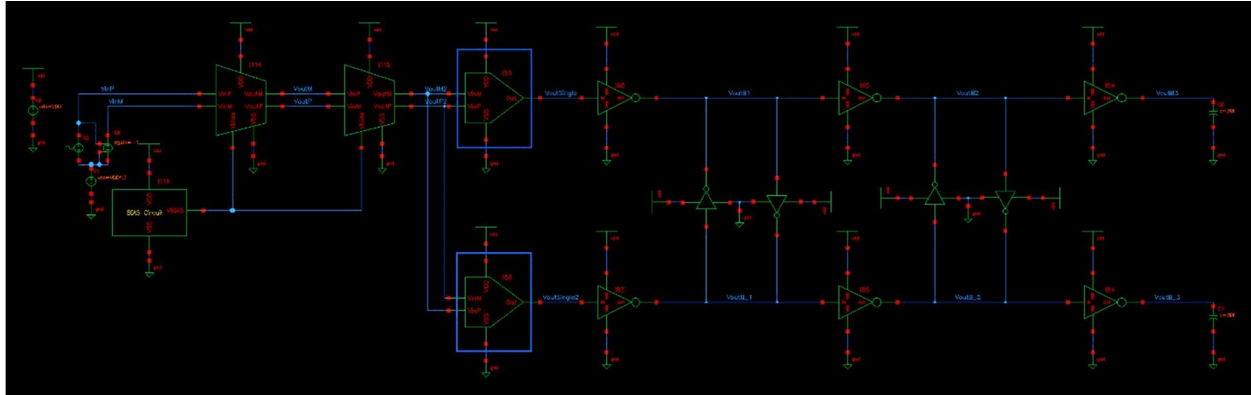


Figura 4-16. Testbench del Circuito Diferencial a Terminación Simple.

En la *Figura 4-17* y la *Figura 4-18* se presentan los resultados de la respuesta transitoria del testbench anterior. La primera respuesta corresponde a las salidas del circuito diferencial a terminación simple (VoutSingle). La segunda respuesta corresponde a las salidas de todo el *path* hasta el último inversor (VoutB3). Se estimuló la entrada con una señal diferencial de 40mV de amplitud, una frecuencia de 1.25 GHz y un patrón de 10-bits (“1011010101”). Se puede apreciar que el diseño cumple con los requerimientos.

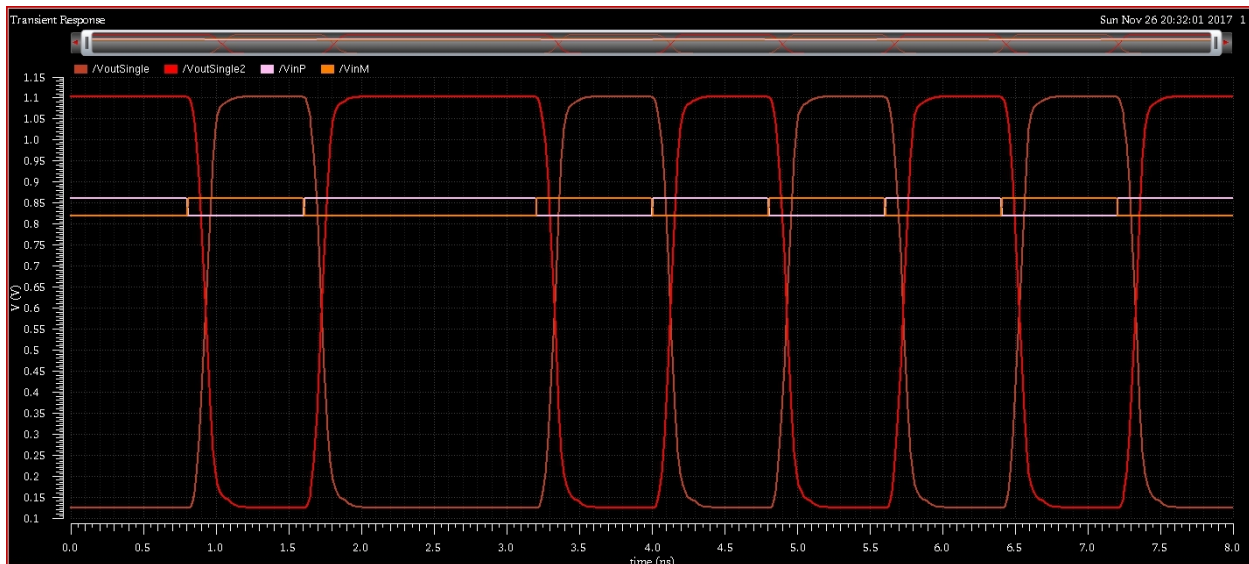


Figura 4-17. Respuesta Transitoria del Circuito Diferencial a Terminación Simple (Salidas VoutSingle).

4. Verificación Pre-Layout del Módulo Analógico de Recepción

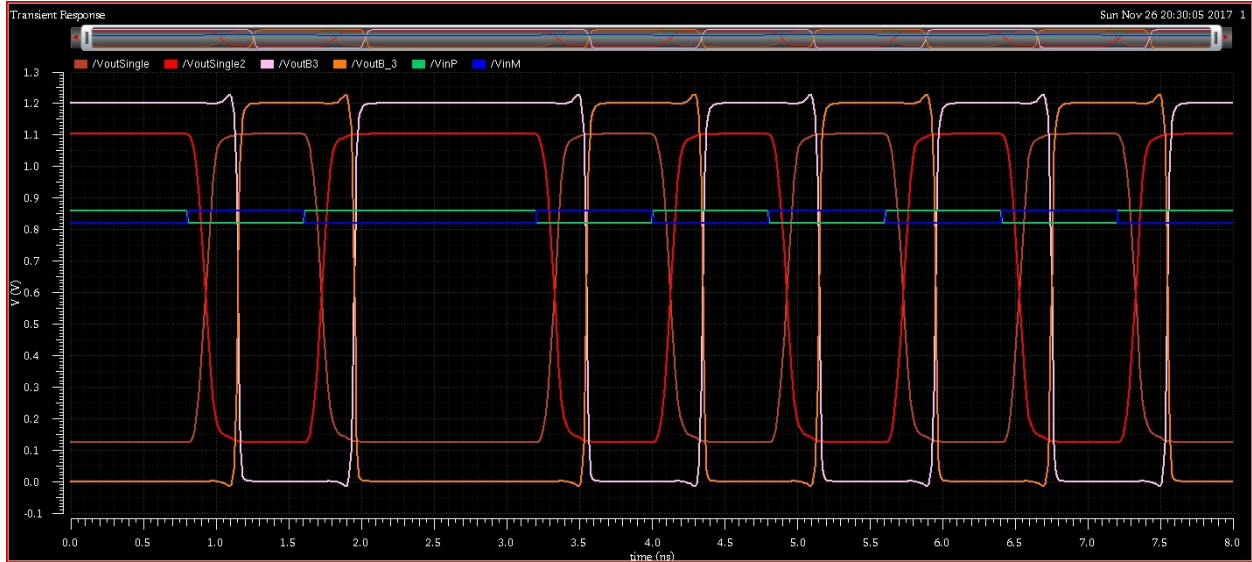


Figura 4-18. Respuesta Transitoria del Circuito Diferencial a Terminación Simple (Salidas VoutB3).

También se presenta los resultados de la respuesta en AC del circuito, ver *Figura 4-19*.

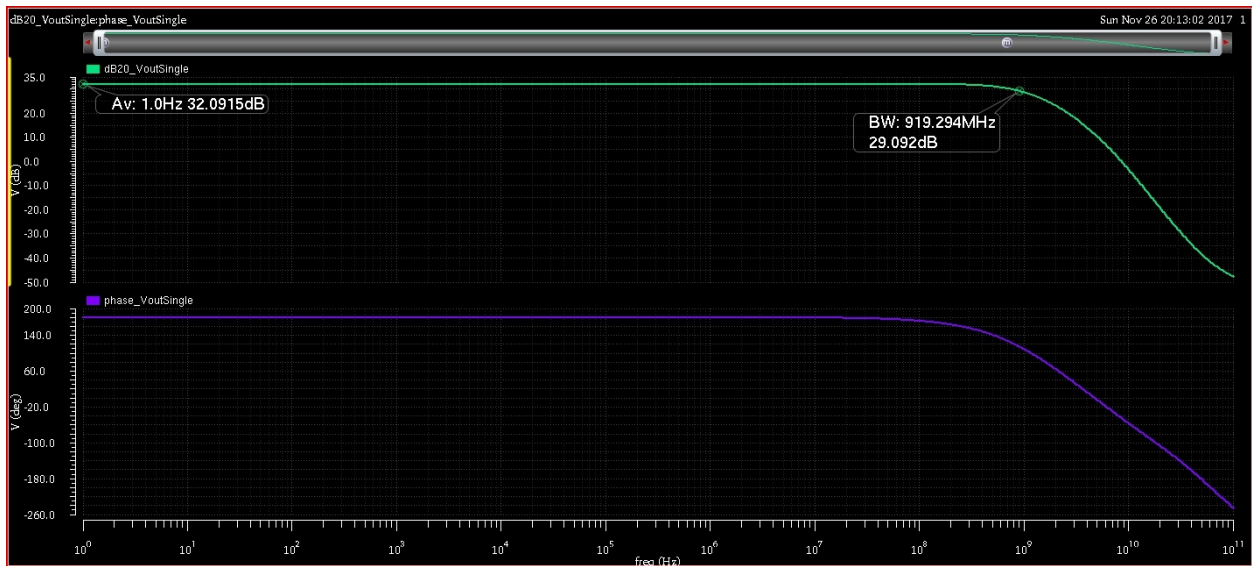


Figura 4-19. Respuesta en AC del Circuito Diferencial a Terminación Simple.

4. Verificación Pre-Layout del Módulo Analógico de Recepción

4.3. Verificación Pre-Layout del Circuito de Polarización

4.3.1 Verificación Pre-Layout del OTA de Alta Ganancia

El símbolo y el esquemático del OTA de alta ganancia se muestran en la *Figura 4-20* y la *Figura 4-21*, respectivamente.

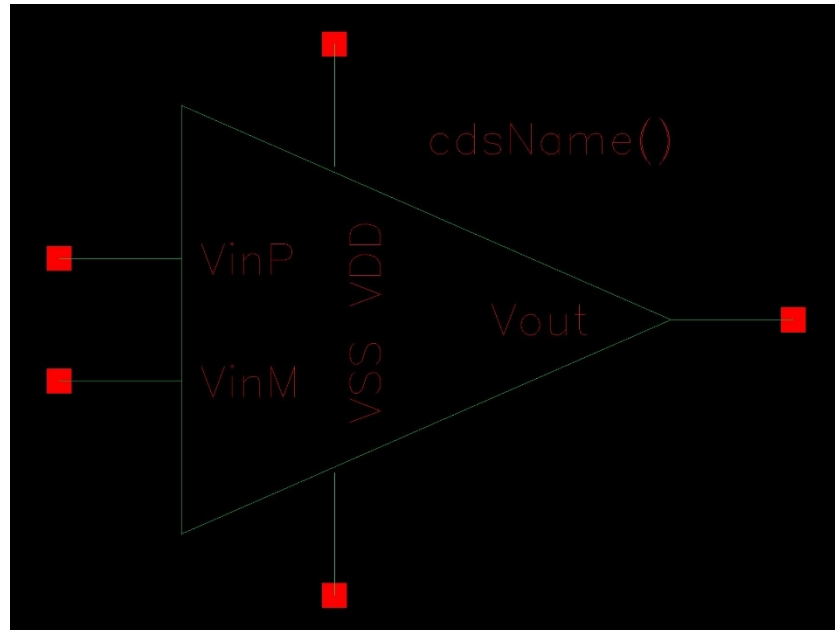


Figura 4-20. Símbolo del OTA de Alta Ganancia.

4. Verificación Pre-Layout del Módulo Analógico de Recepción

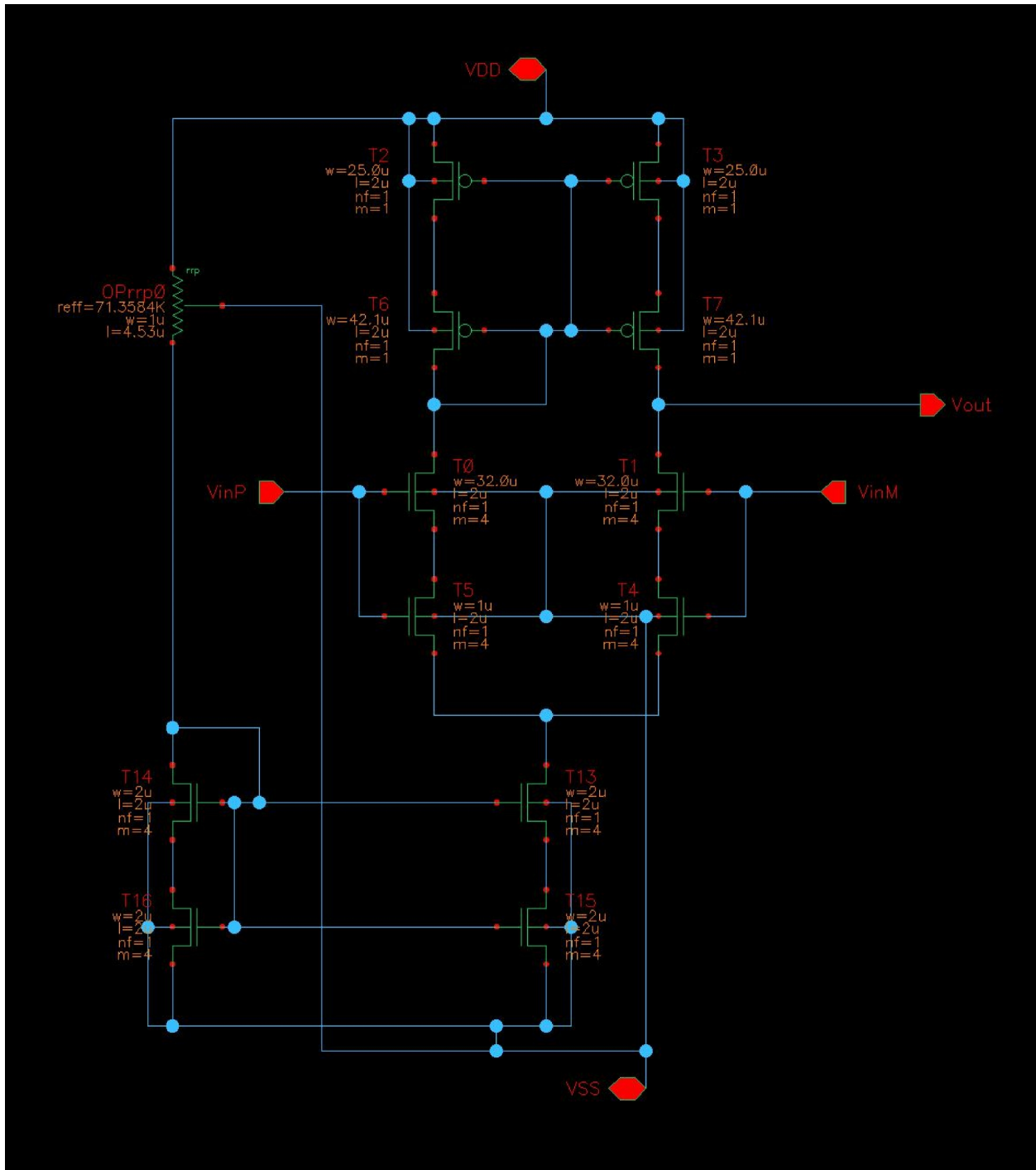


Figura 4-21. Esquemático del OTA de Alta Ganancia.

El testbench utilizado para la verificación pre-*layout* con una carga capacitiva de 1 pF en condiciones nominales se presenta en la *Figura 4-22*.

4. Verificación Pre-Layout del Módulo Analógico de Recepción

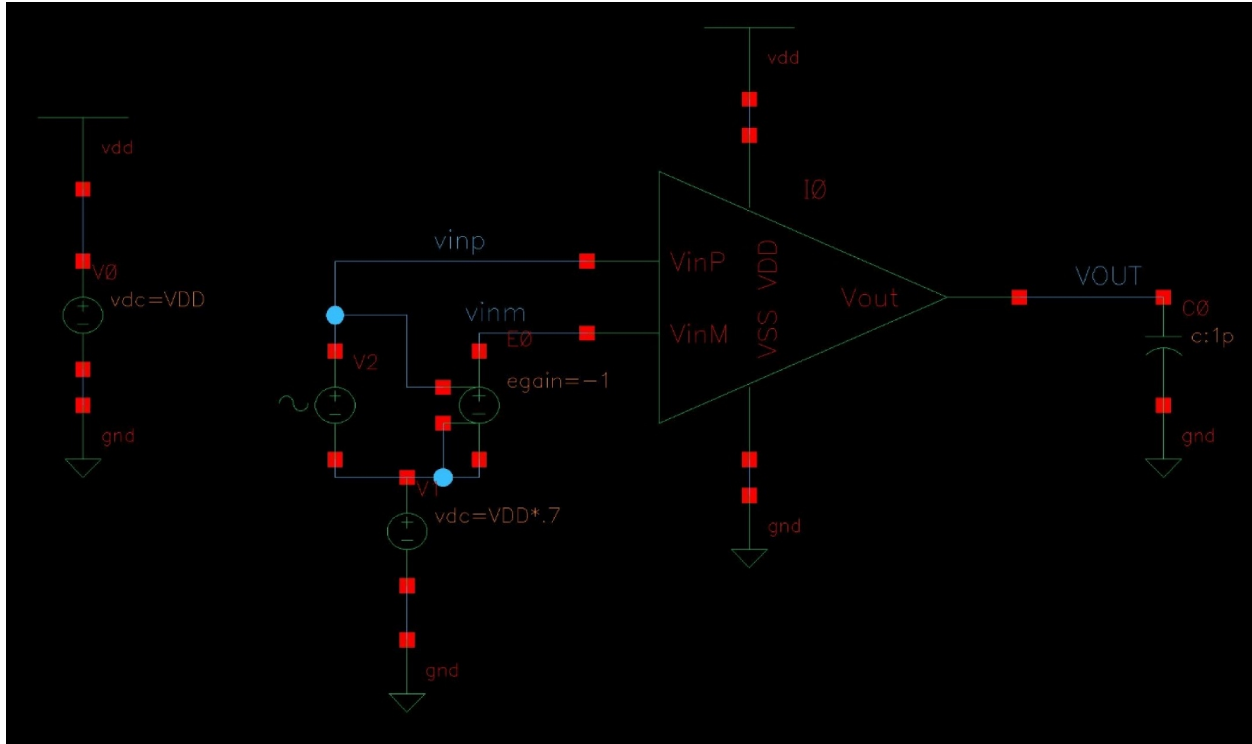


Figura 4-22. Testbench del OTA de Alta Ganancia.

Como se puede apreciar en los resultados del análisis en AC (Figura 4-23), la ganancia de voltaje es de valor cercano a los 40 dB y el producto ganancia-ancho de banda (GBW) alcanza los 7.9 MHz.

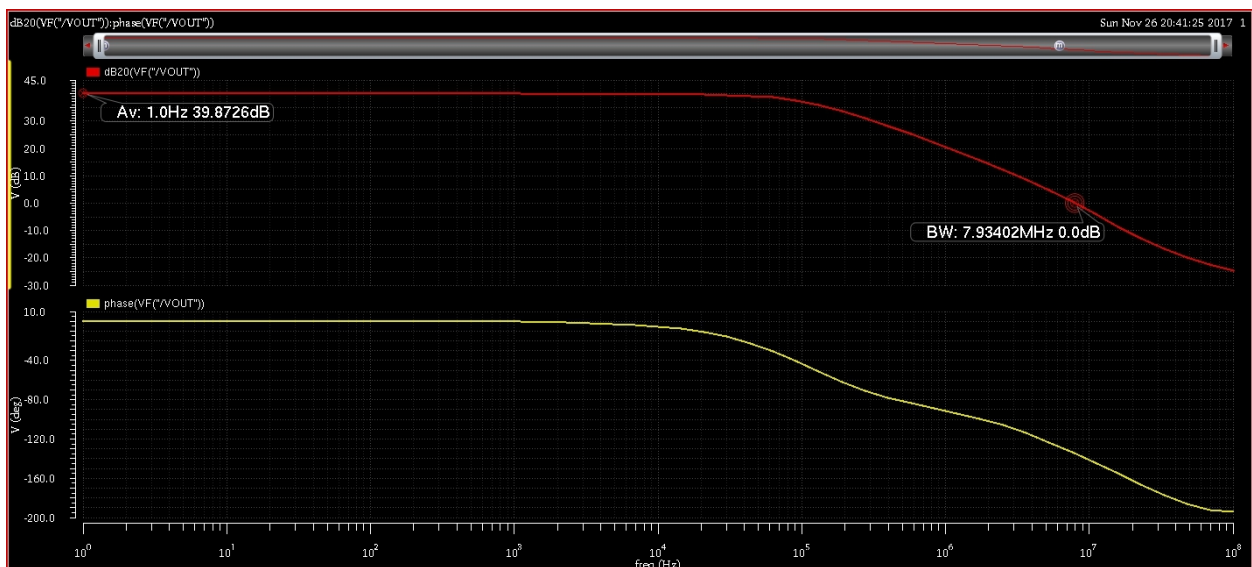


Figura 4-23. Respuesta en AC del OTA de Alta Ganancia.

4. Verificación Pre-Layout del Módulo Analógico de Recepción

Los resultados del análisis en DC se presentan en la *Figura 4-24*. Ambos resultados, AC y DC, se consideran lo suficientemente buenos para el propósito del circuito de polarización.

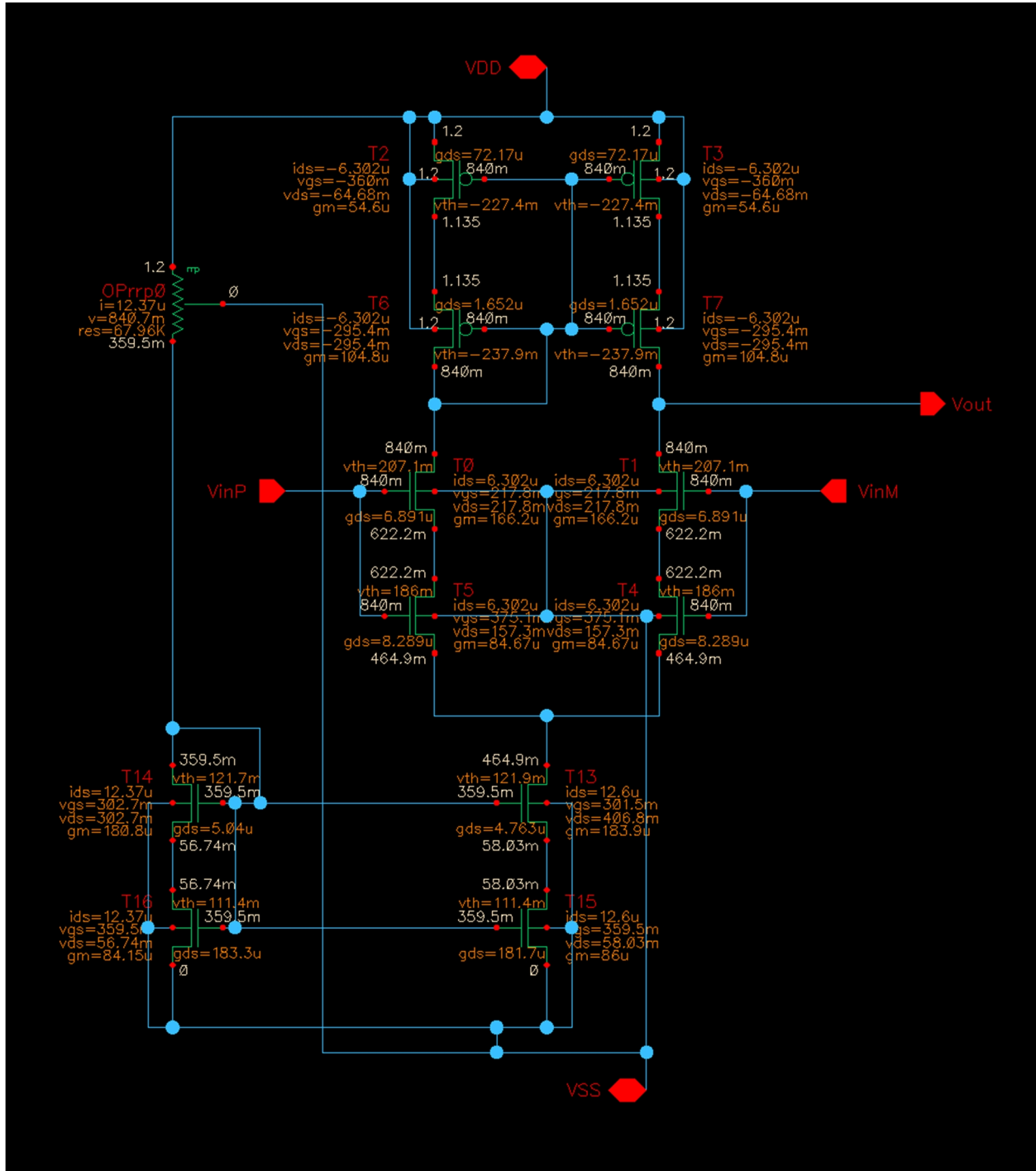


Figura 4-24. Respuesta en DC del OTA de Alta Ganancia.

4. Verificación Pre-Layout del Módulo Analógico de Recepción

se muestran en la *Tabla 4-1* y la respuesta en AC de la ganancia en DC y fase se proporcionan en la *Figura 4-26* y la *Figura 4-27*, respectivamente.

Tabla 4-1. Esquinas PVT [7].

Proceso	Temperatura	Voltaje
Typical	65 °C	1.20 V
Fast	125 °C	1.26 V
Slow	125 °C	1.26 V
Fast	-40 °C	1.14 V
Slow	-40 °C	1.14 V

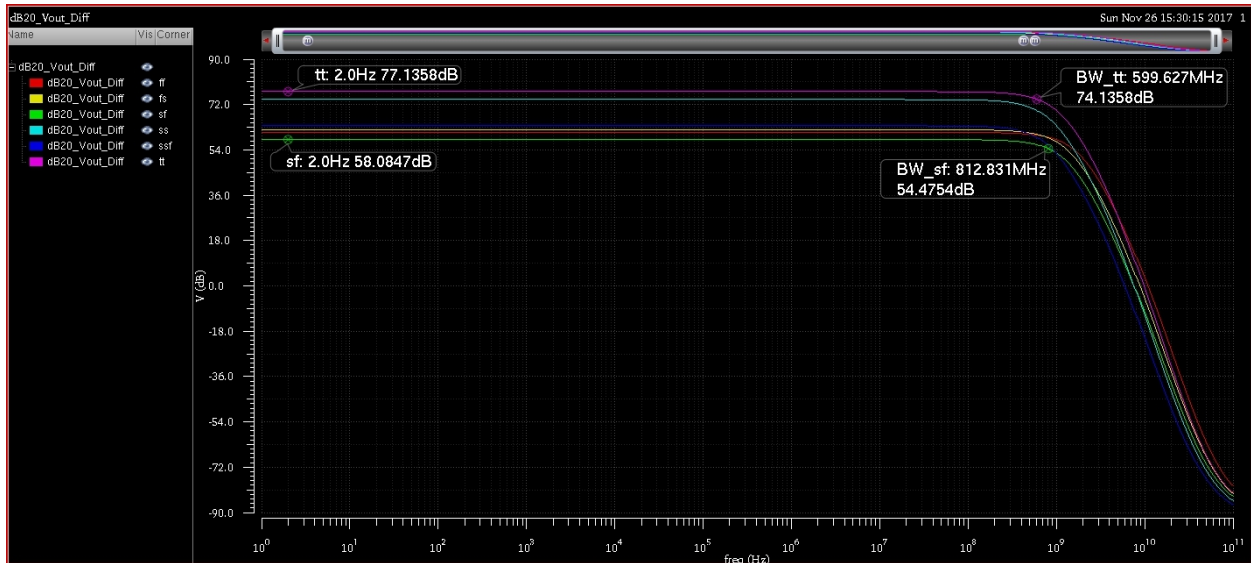


Figura 4-26. Respuesta en AC del Módulo Analógico de Recepción (Ganancia de Voltaje).

4. Verificación Pre-Layout del Módulo Analógico de Recepción

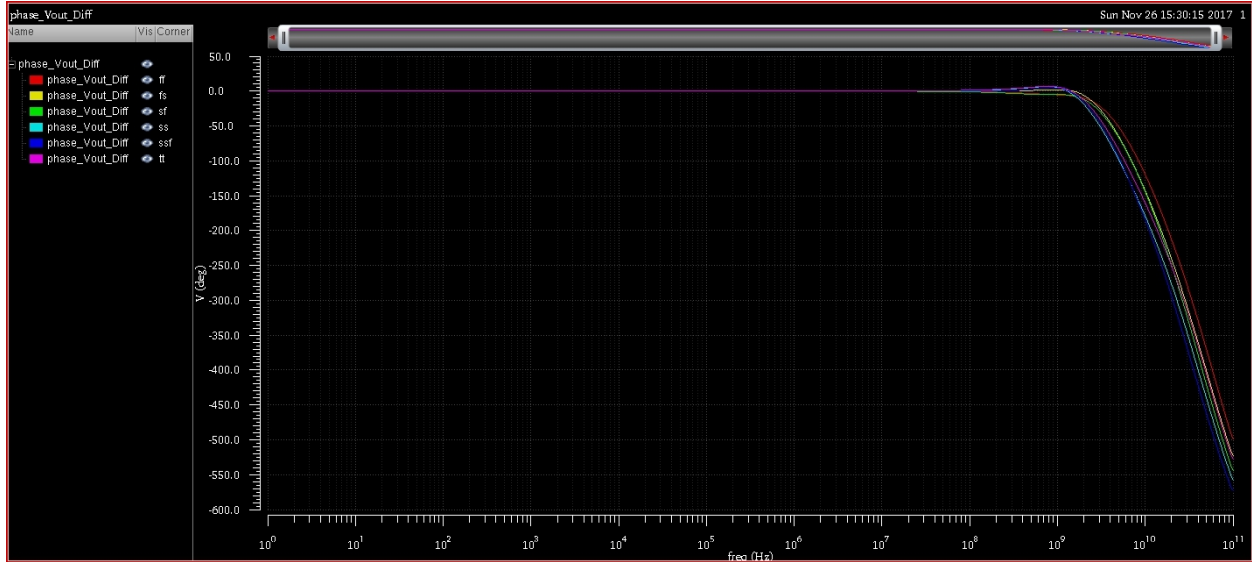


Figura 4-27. Respuesta en AC del Módulo Analógico de Recepción (Fase).

Los resultados indican que la peor ganancia de voltaje es de 58 dB en el proceso SF. Este resultado es suficiente para los requerimientos del módulo analógico de recepción. Con respecto a la fase, se aprecia que prácticamente la respuesta en AC de las esquinas PVT no afectan el resultado.

La siguiente verificación corresponde a la respuesta transitoria evaluada en las esquinas PVT definidas en la *Tabla 4-1*. La *Figura 4-28* brinda los resultados para todas las esquinas PVT.

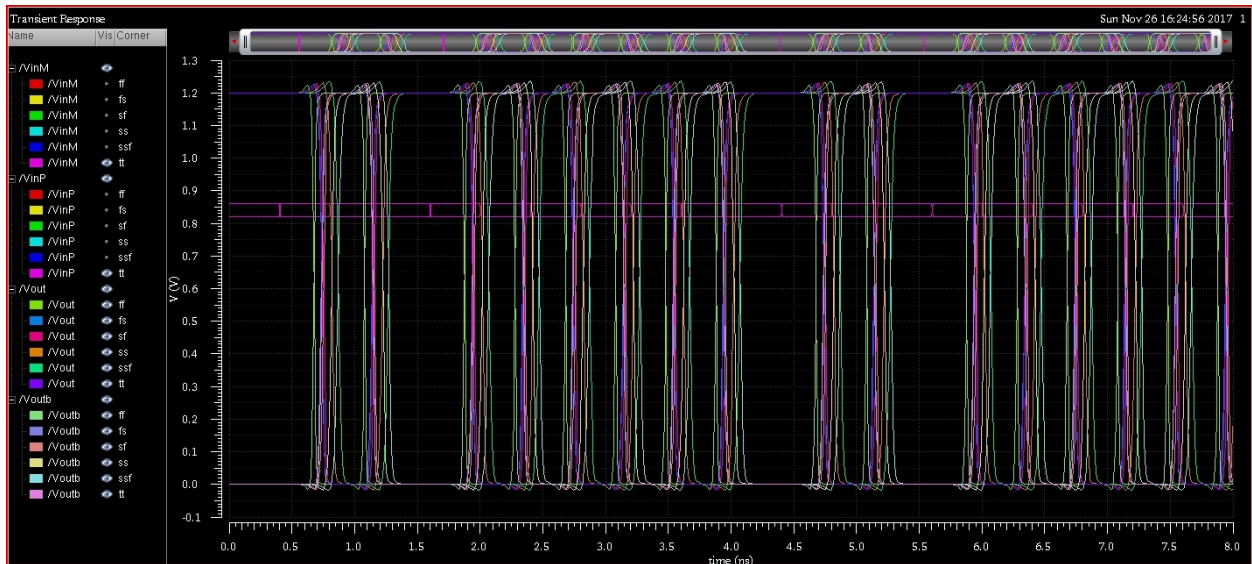


Figura 4-28. Respuesta Transitoria del Módulo Analógico de Recepción en las esquinas PVT.

4. Verificación Pre-Layout del Módulo Analógico de Recepción

La *Figura 4-29* muestra la respuesta transitoria del módulo analógico de recepción en condiciones nominales de PVT. Se presentan también la comparación entre las respuestas nominales de PVT (tt) con respecto a los procesos SF y SSF, en la *Figura 4-30* y la *Figura 4-31*, respectivamente.

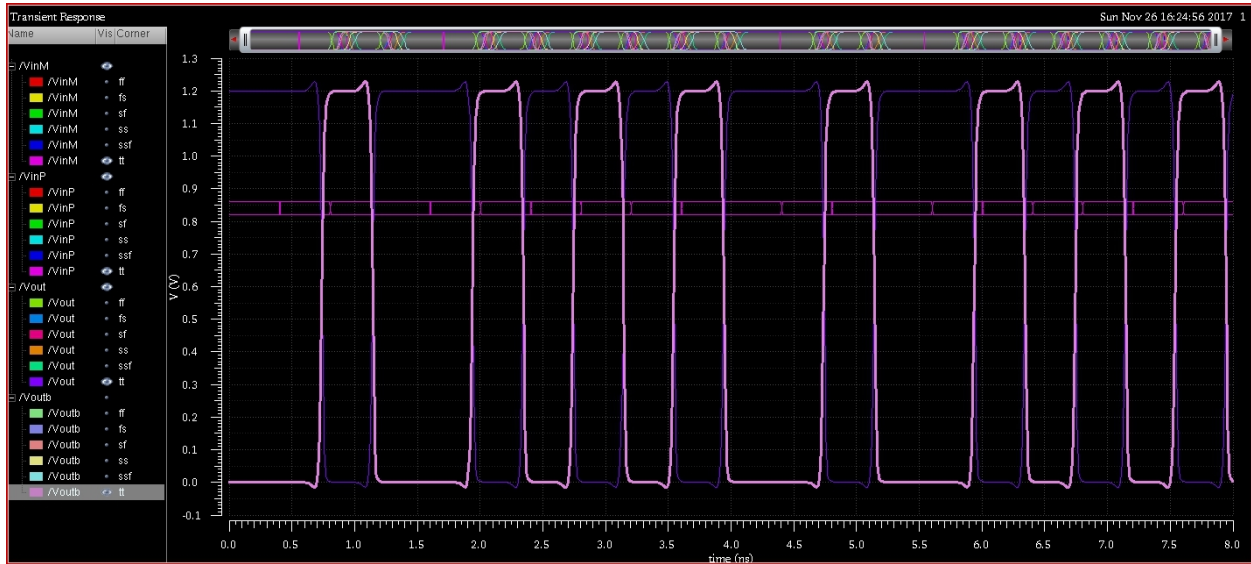


Figura 4-29. Respuesta Transitoria del Módulo Analógico de Recepción en PVT Nominal.

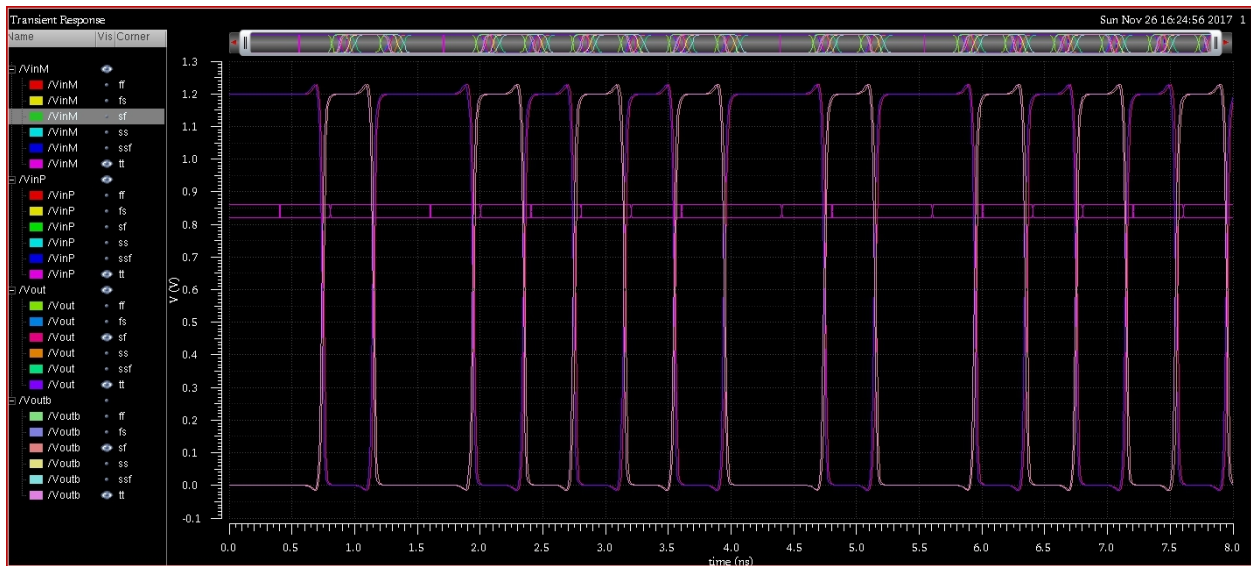


Figura 4-30. Respuesta Transitoria del Módulo Analógico de Recepción en PVT (TT vs. SF).

4. Verificación Pre-Layout del Módulo Analógico de Recepción

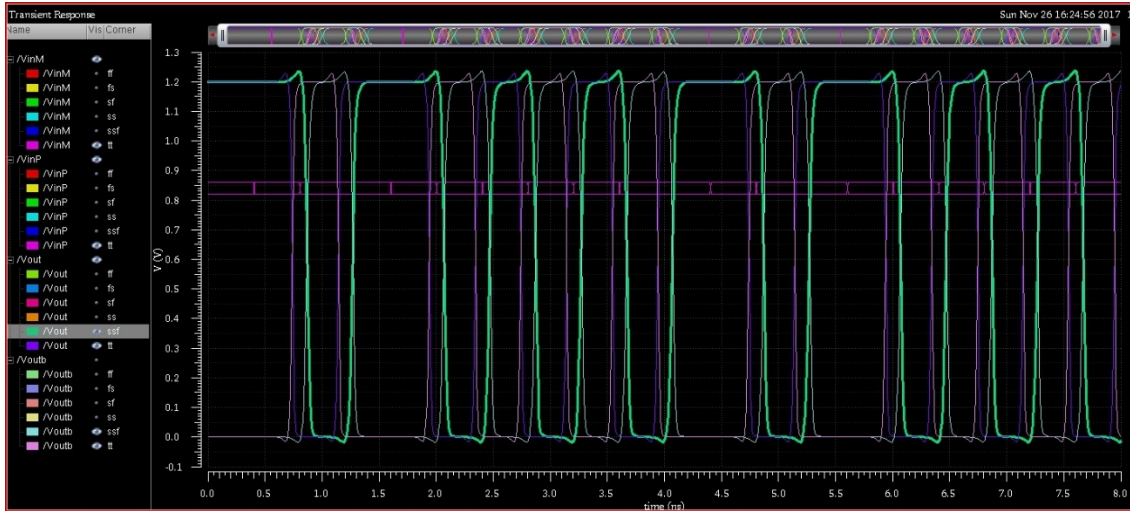


Figura 4-31. Respuesta Transitoria del Módulo Analógico de Recepción en PVT (TT vs. SSF).

Finalmente, se realiza un análisis de mismatch (Monte Carlo) monitoreando la salida del último inversor del módulo analógico de recepción, se simularon 200 variaciones de proceso. Se realiza el análisis transitorio en condiciones nominales de PVT (ver la *Figura 4-32*) en donde se observa que la salida sigue al estímulo de entrada sin ningún problema.

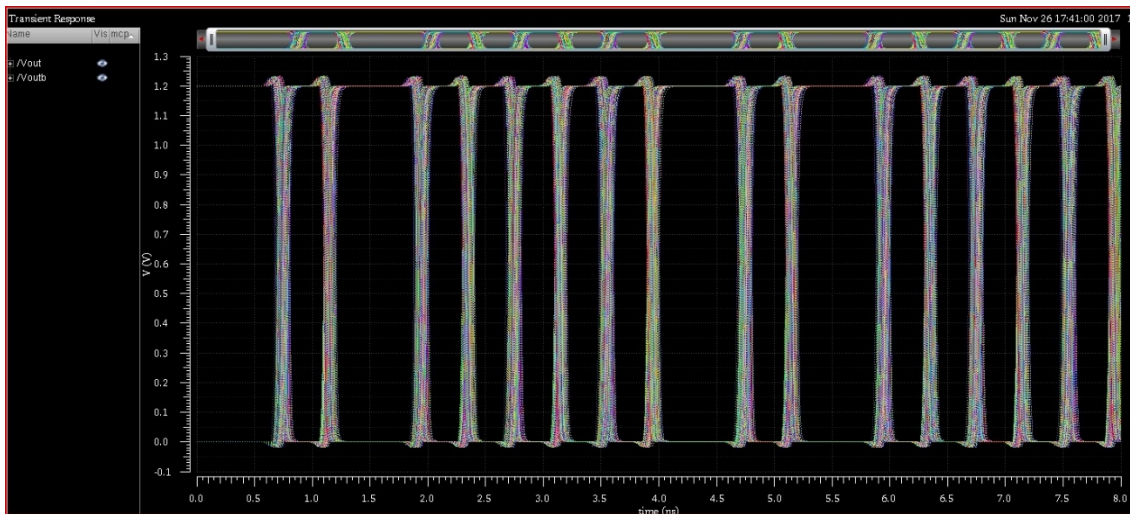


Figura 4-32. Análisis Monte Carlo (*mismatch*) en Respuesta Transitoria del Módulo Analógico de Recepción en Condiciones Nominales de PVT.

Los resultados anteriores brindan la confianza que el diseño propuesto cumple con las especificaciones en la fase de *pre-layout*. Es posible entonces proceder con el diseño del *layout*.

5. Diseño del *Layout* del Módulo Analógico de Recepción

Se presentan a continuación las optimizaciones en *layout* presentadas en [7], las cuales consisten en agregar dispositivos *dummies* (transistores y resistores) y anillos de guarda para los circuitos analógicos clave.

5.1. *Layout* Optimizado del HS-OTA

La *Figura 5-1* muestra el esquemático del HS-OTA con transistores y resistores *dummies*; esto es necesario para poder pasar la verificación LVS (*Layout vs. Schematic*, por sus siglas en inglés). Nótese que dichos dispositivos están en corto para no afectar la funcionalidad del circuito original.

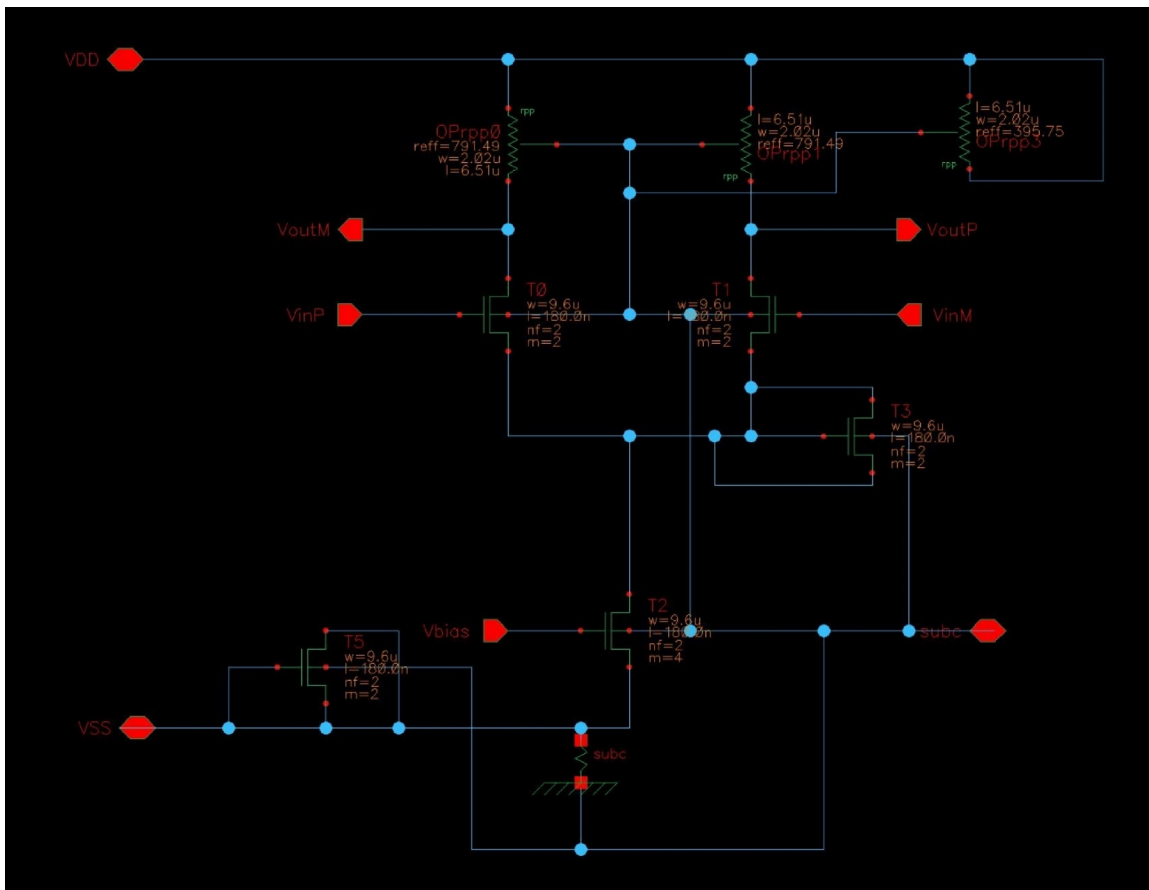


Figura 5-1. Esquemático del HS-OTA con Transistores y Resistencias Dummy.

5. Diseño del Layout del Módulo Analógico de Recepción

El *layout* optimizado del HS-OTA se muestra a continuación (Figura 5-2). Se pueden observar en la parte superior los resistores *dummies*, así como los pares diferenciales con transistores *dummies*. El anillo de guarda se ubica lo más cercano posible de los dispositivos activos.

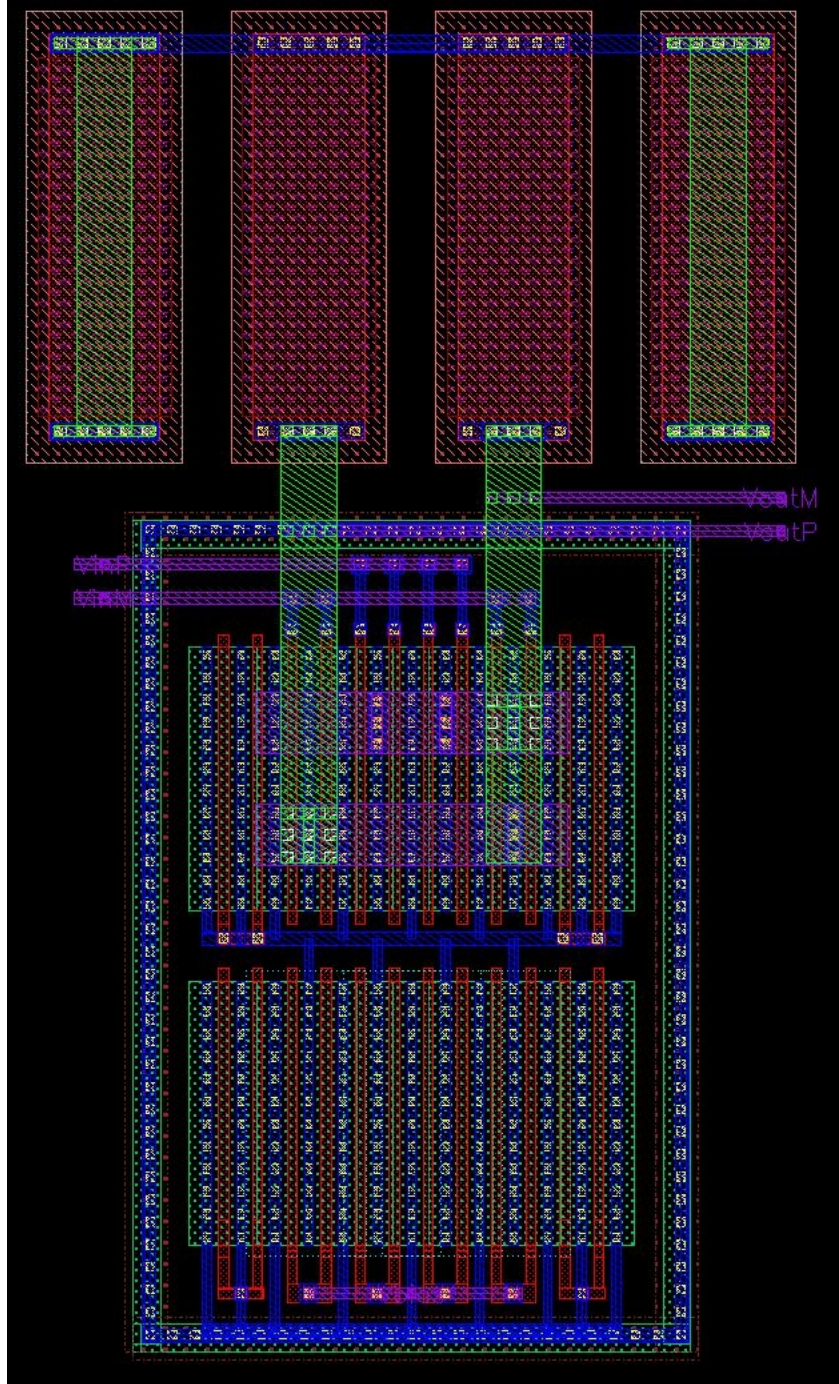


Figura 5-2. *Layout* Optimizado del HS-OTA.

5. Diseño del Layout del Módulo Analógico de Recepción

5.2. Layout del Circuito CML a CMOS

5.2.1 Layout Optimizado del Circuito Diferencial a Terminación Simple

Se presenta el esquemático del circuito diferencial a terminación simple con transistores *dummy* (Figura 5-3) con su respectivo *layout* (Figura 5-4)

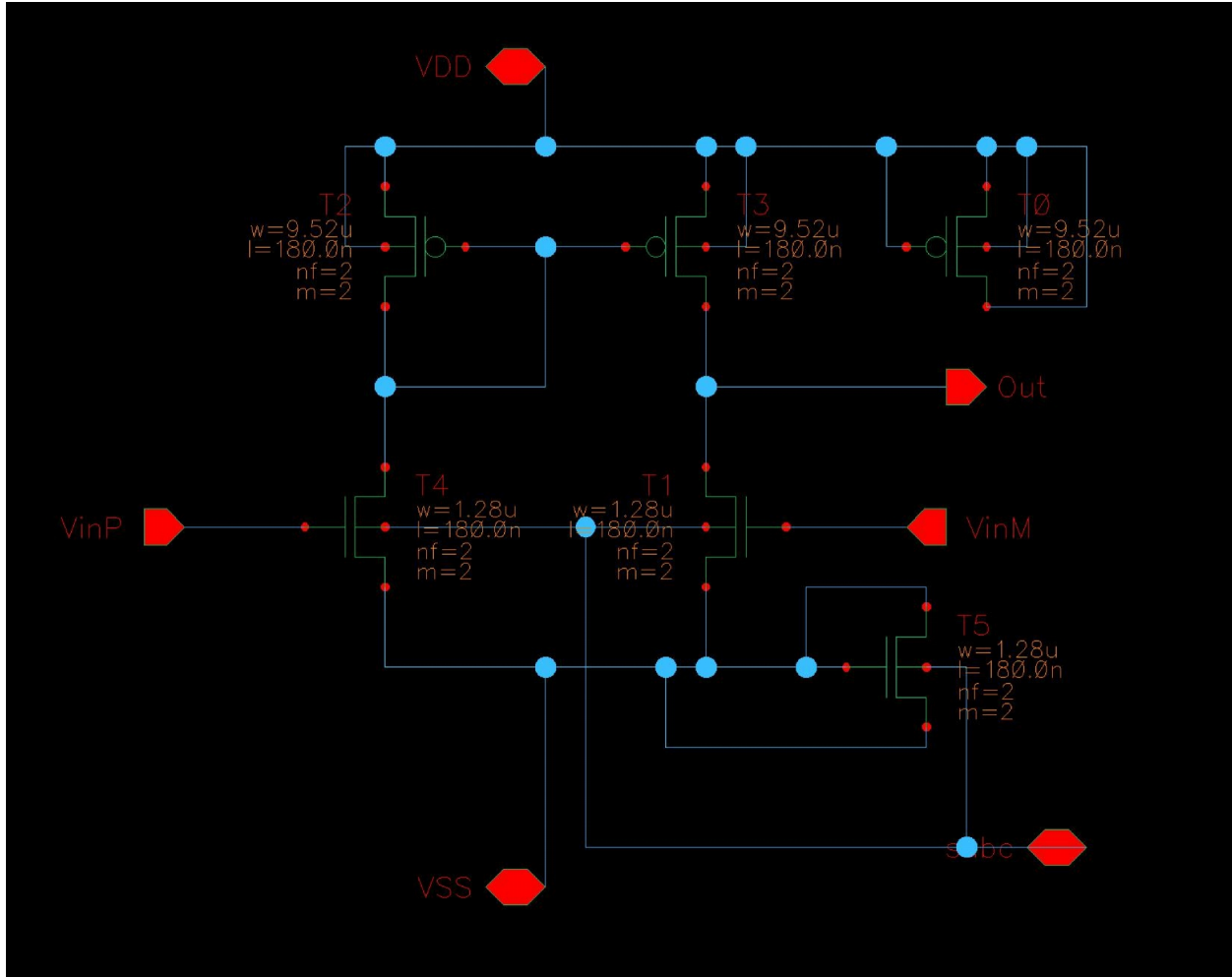


Figura 5-3. Esquemático del Circuito Diferencial a Terminación Simple con Transistores Dummy.

5. Diseño del Layout del Módulo Analógico de Recepción

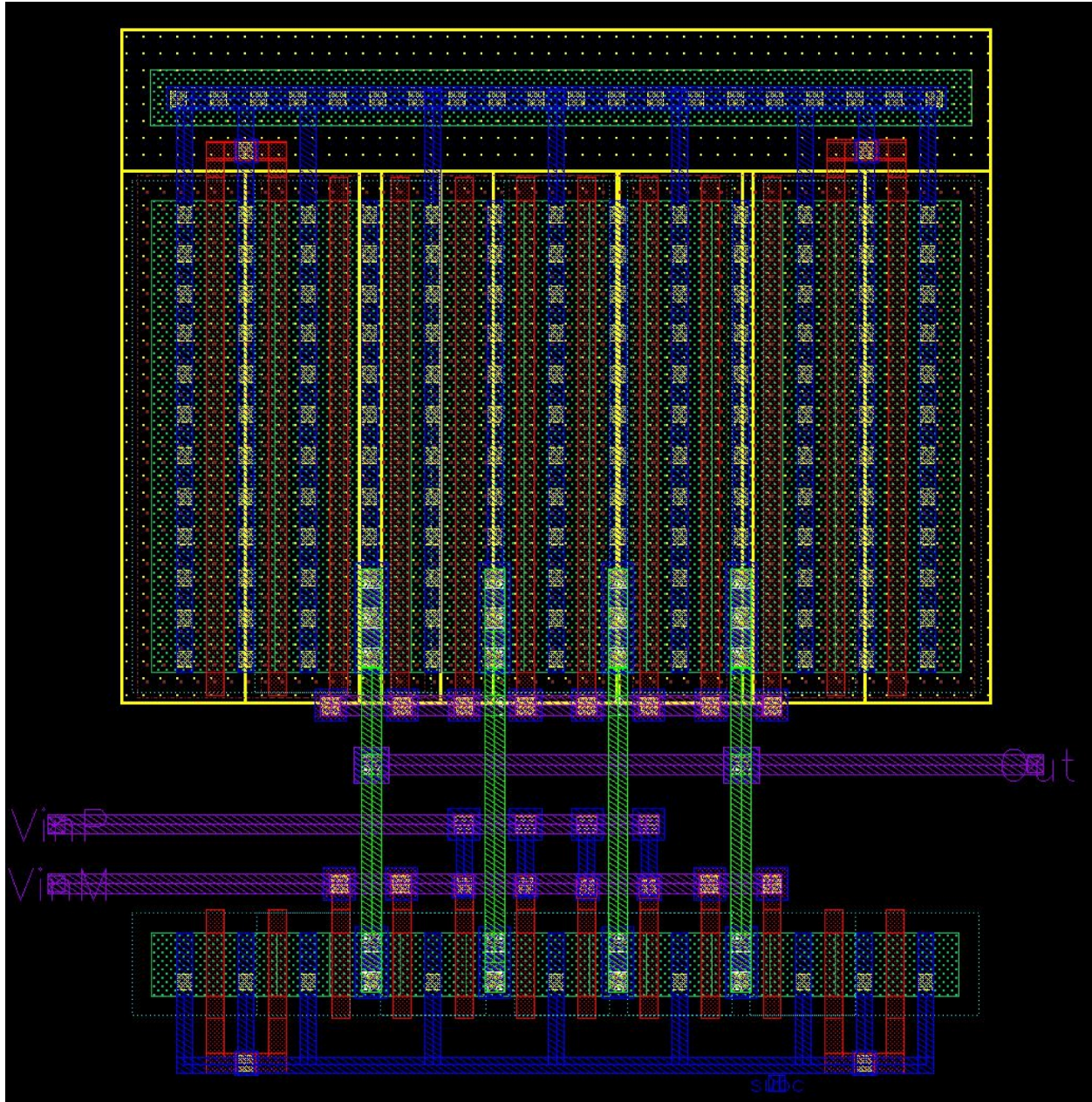


Figura 5-4. *Layout* Optimizado del Circuito Diferencial a Terminación Simple.

5. Diseño del Layout del Módulo Analógico de Recepción

5.2.2 Layout Optimizado de los Inversores

La *Figura 5-5* muestra el esquemático del primer inversor con transistores *dummy*, el mismo enfoque que los bloques anteriores se realiza para los tres inversores. La *Figura 5-6*, la *Figura 5-7* y la *Figura 5-8* muestran los *layout* finales de los primero, segundo y tercer inversores con dispositivos *dummy*, respectivamente.

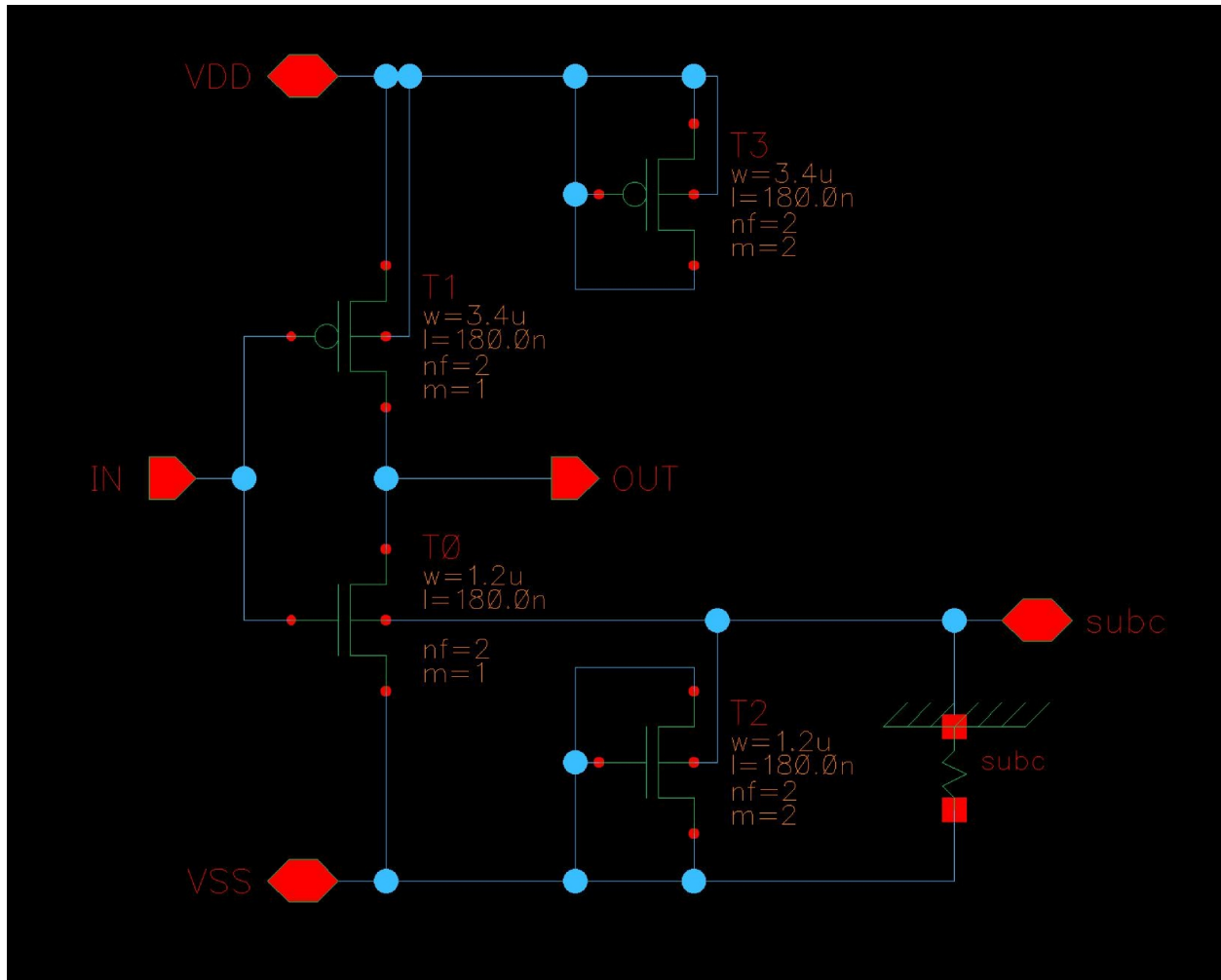


Figura 5-5. Esquemático del Inversor con Transistores Dummy.

5. Diseño del Layout del Módulo Analógico de Recepción

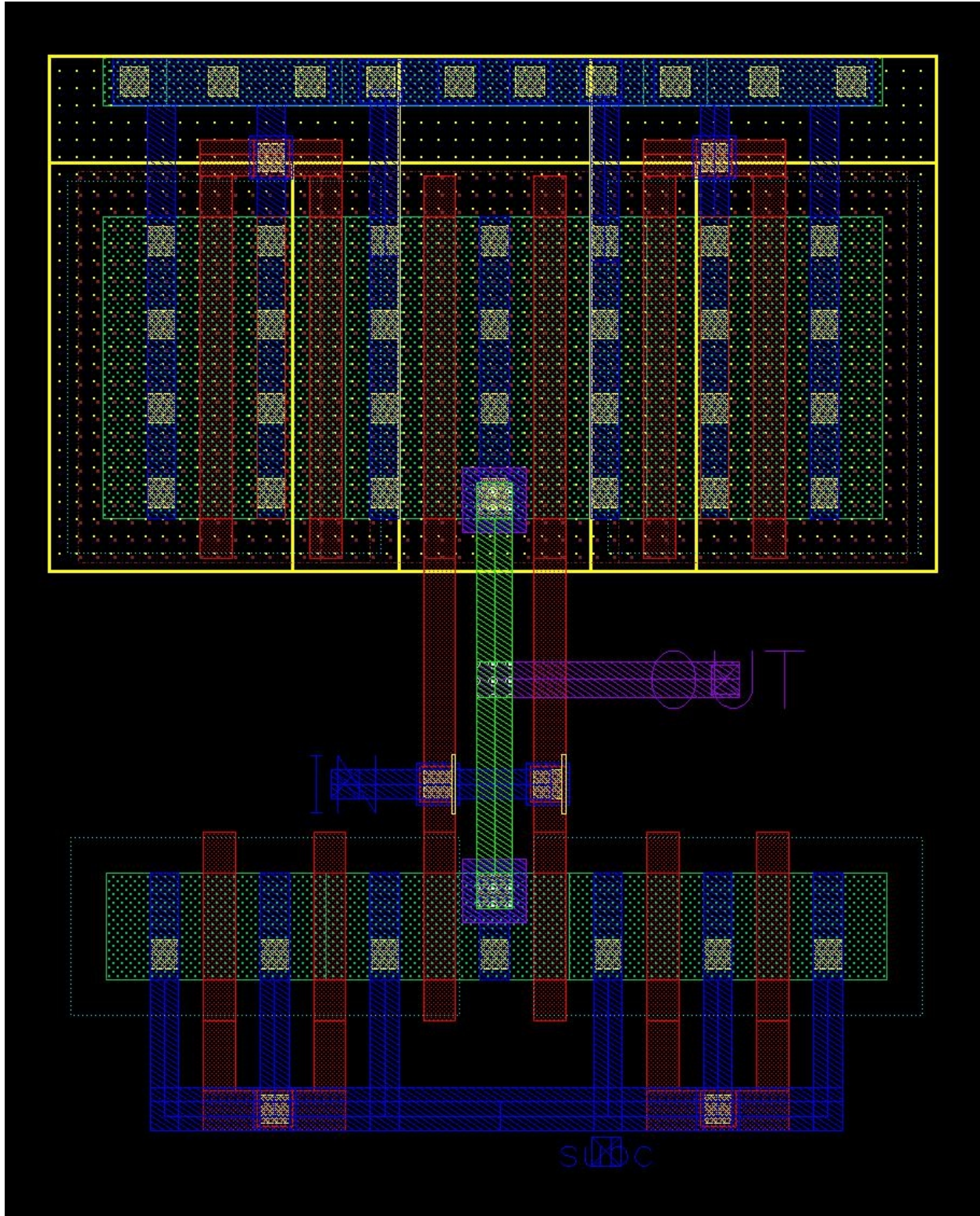


Figura 5-6. *Layout* Optimizado del Primer Inversor.

5. Diseño del Layout del Módulo Analógico de Recepción

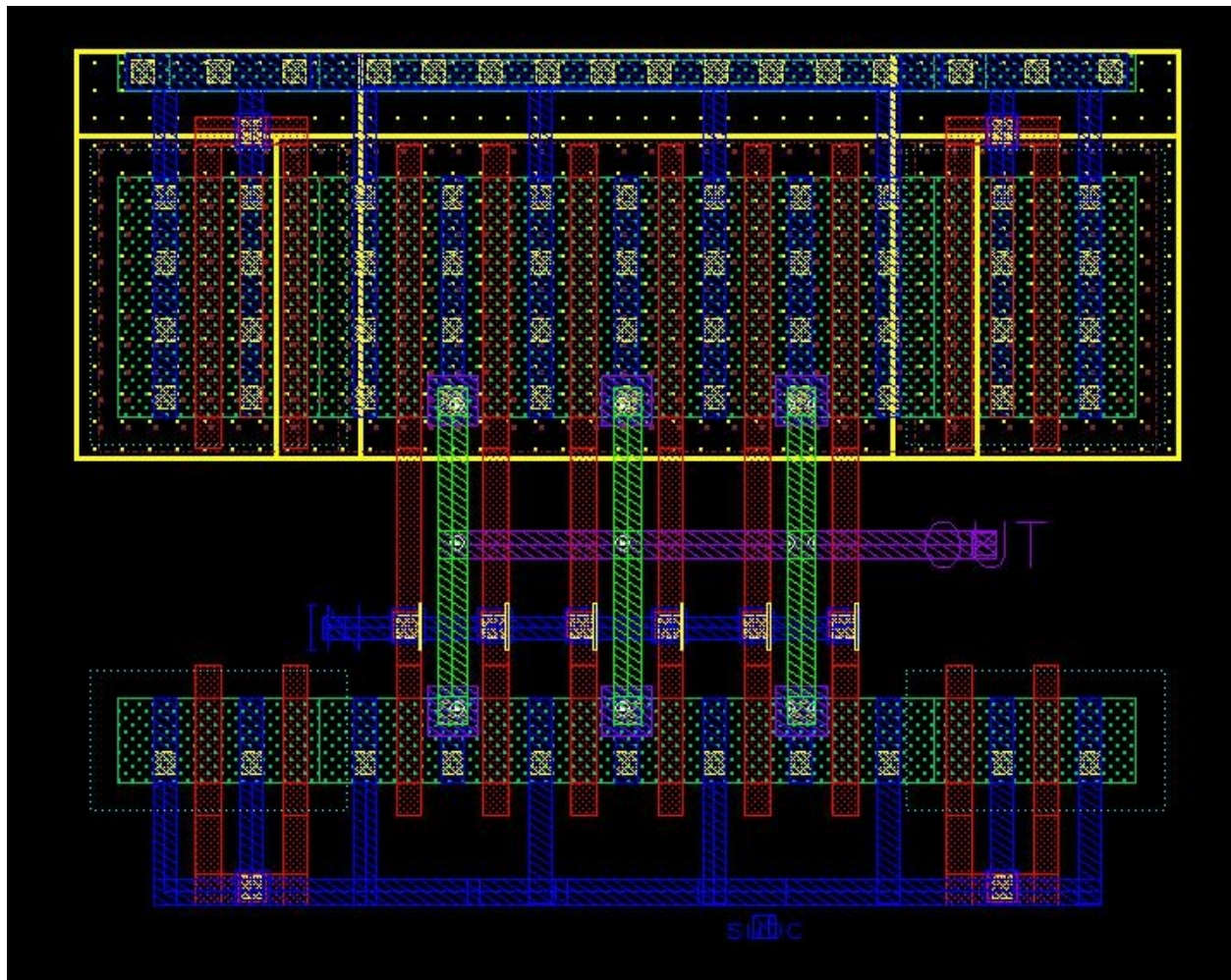


Figura 5-7. *Layout* Optimizado del Segundo Inversor.

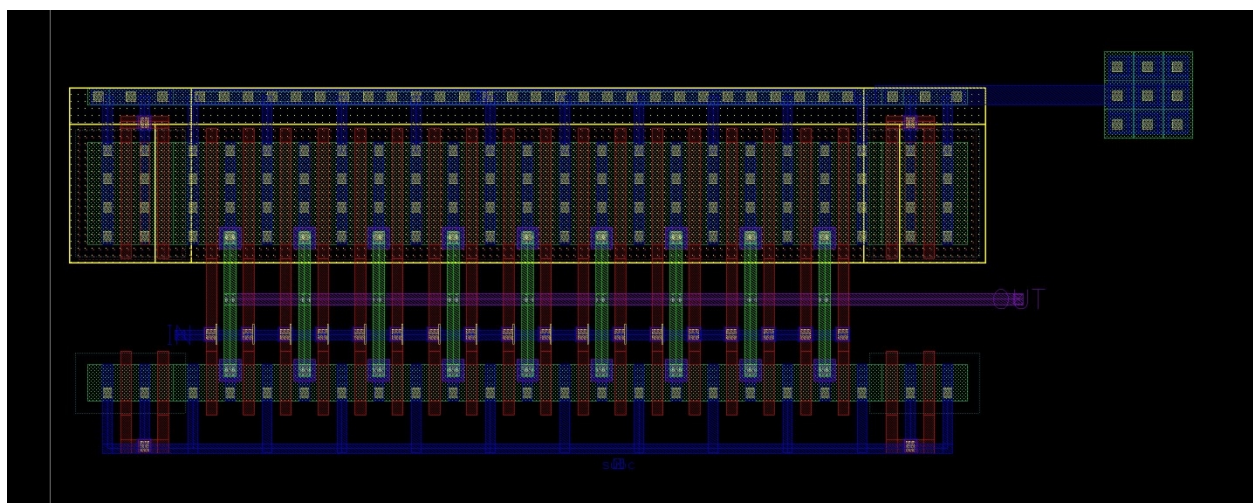


Figura 5-8. *Layout* Optimizado del Tercer Inversor.

5.3. Circuito de Polarización

5.3.1 Layout Optimizado del OTA de Alta Ganancia

Una de las aportaciones importantes del presente trabajo de investigación corresponde al rediseño de este bloque. Con respecto al diseño presentado por Conde-Almada [7] se realizaron las siguientes mejoras: se agregaron dummies a las resistencias y transistores; el acomodo de las resistencias se realizó mediante la técnica de centroide común; se optimizó el espacio utilizado del layout. La Figura 5-9 muestra el esquemático que incluye las mejoras mencionadas anteriormente.

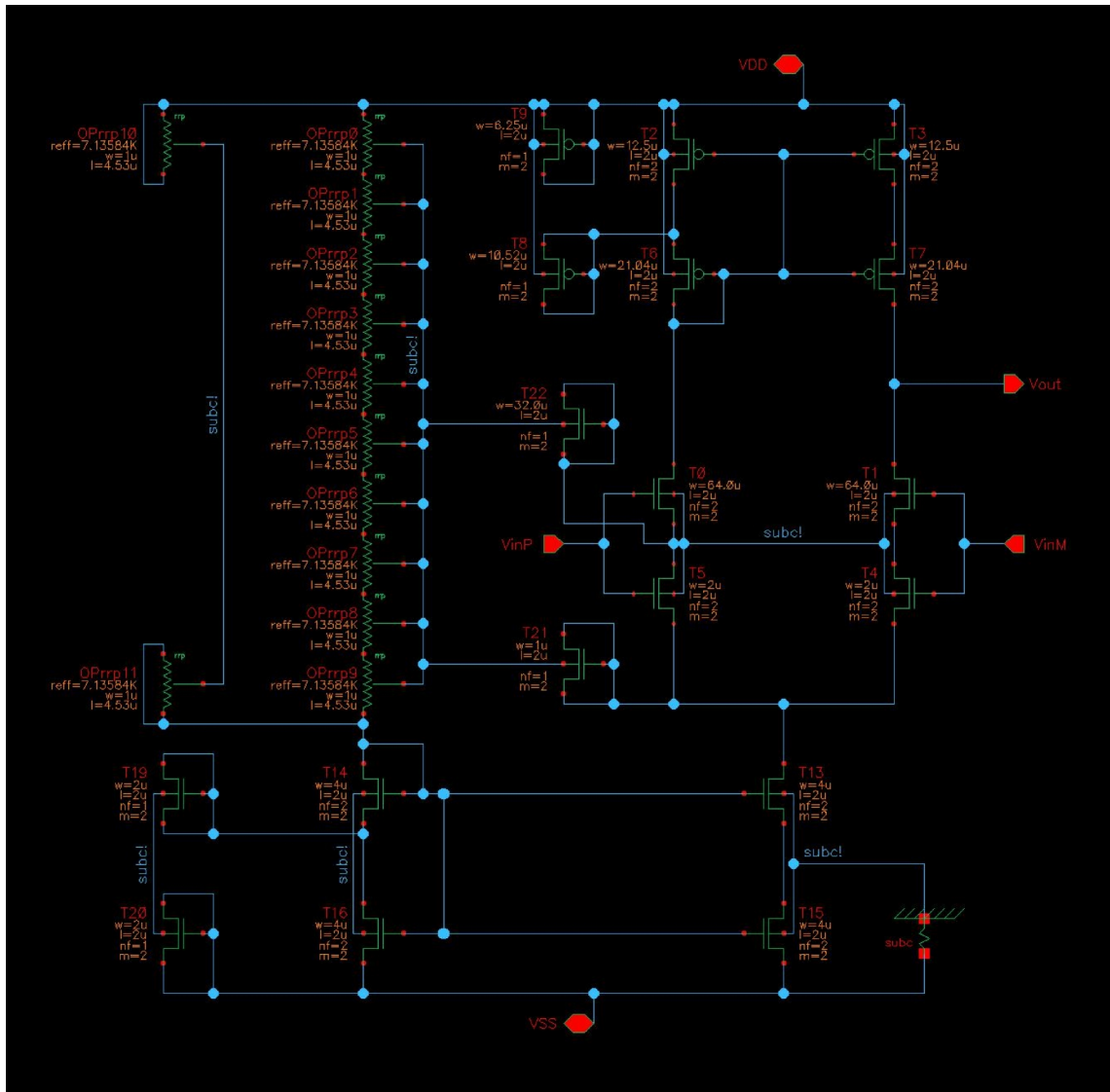


Figura 5-9. Esquemático Optimizado del OTA de Alta Ganancia.

5. Diseño del Layout del Módulo Analógico de Recepción

El resultado de la optimización del *layout* se presenta a continuación (*Figura 5-10*).

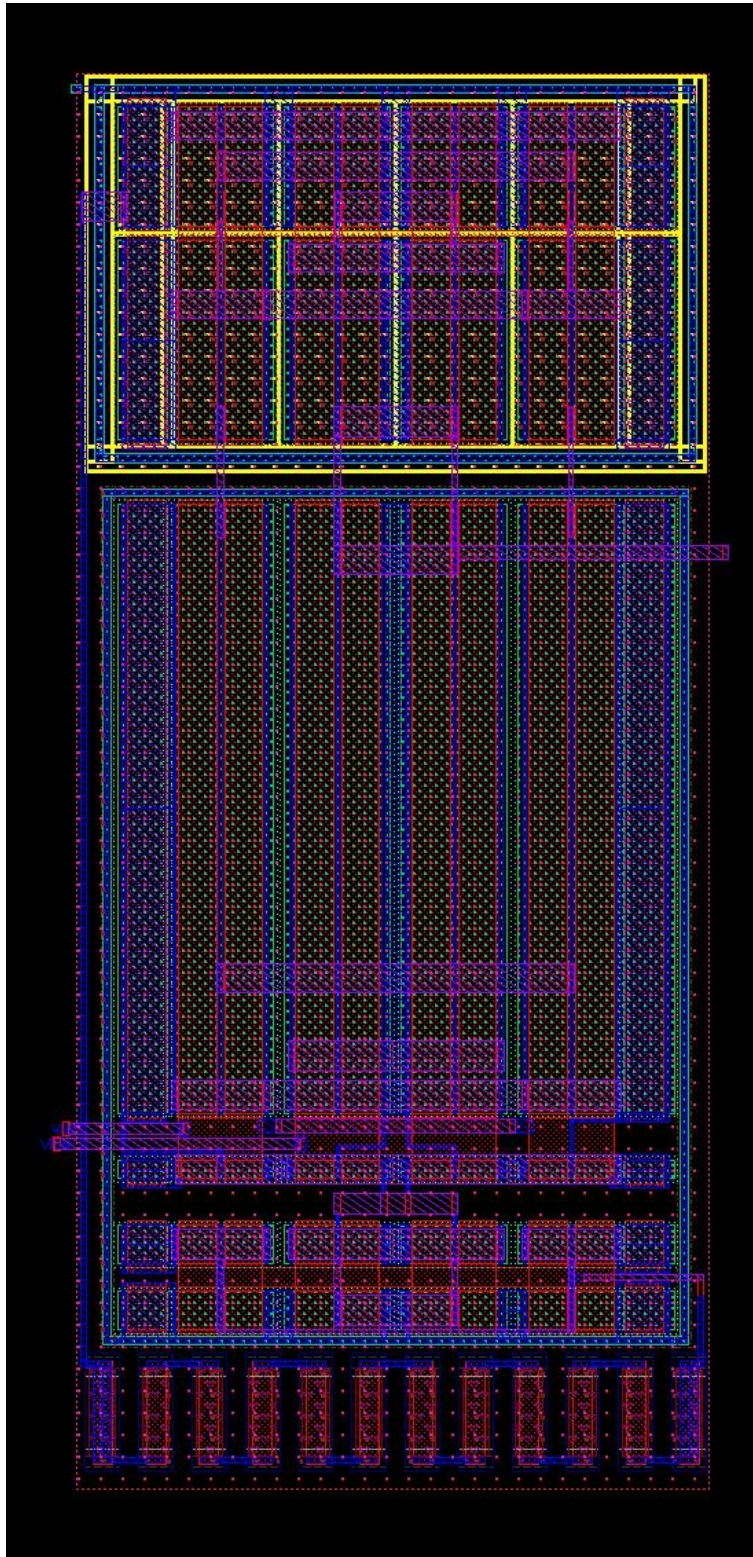


Figura 5-10. *Layout* Optimizado del OTA de Alta Ganancia.

5. Diseño del Layout del Módulo Analógico de Recepción

5.3.2 Layout Optimizado del Circuito de Polarización

De manera similar al módulo anterior, este circuito se rediseña con respecto al trabajo de Conde-Almada [7] con la mejoras mencionadas anteriormente. La *Figura 5-11* muestra el esquemático con transistores y resistores *dummy*. Para el *layout* optimizado ver *Figura 5-12*.

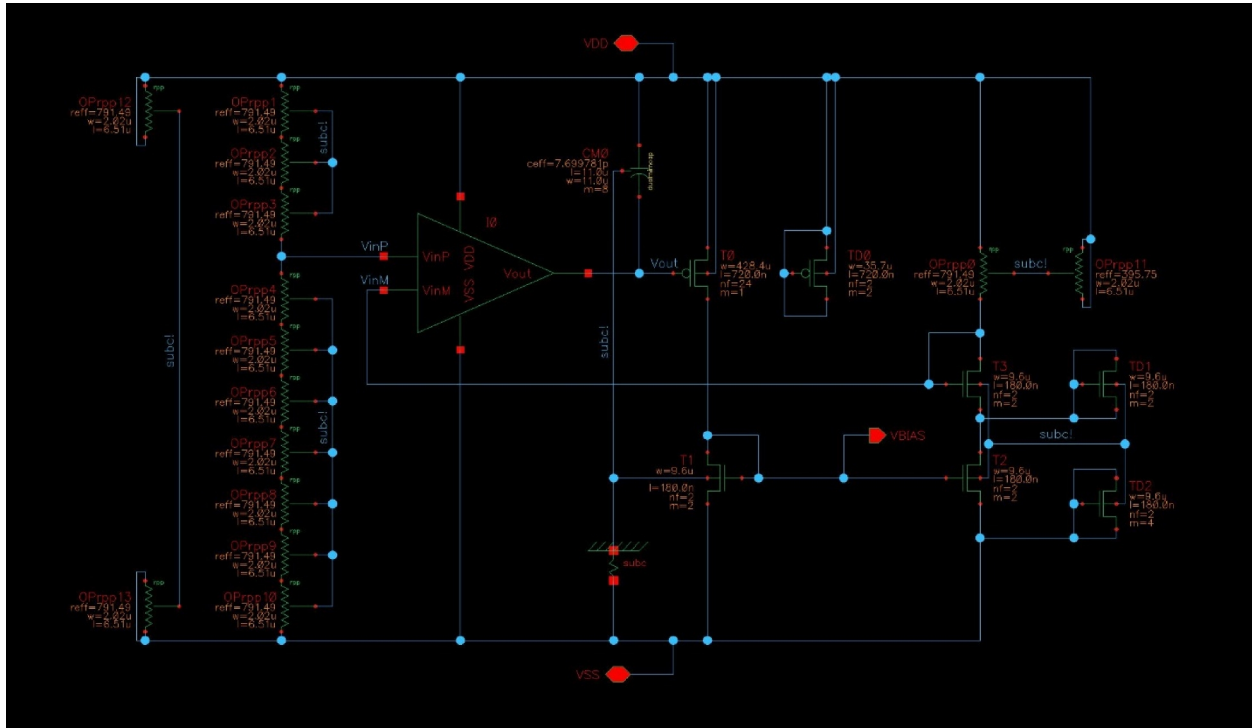


Figura 5-11. Esquemático Optimizado del Circuito de Polarización.

5. Diseño del Layout del Módulo Analógico de Recepción

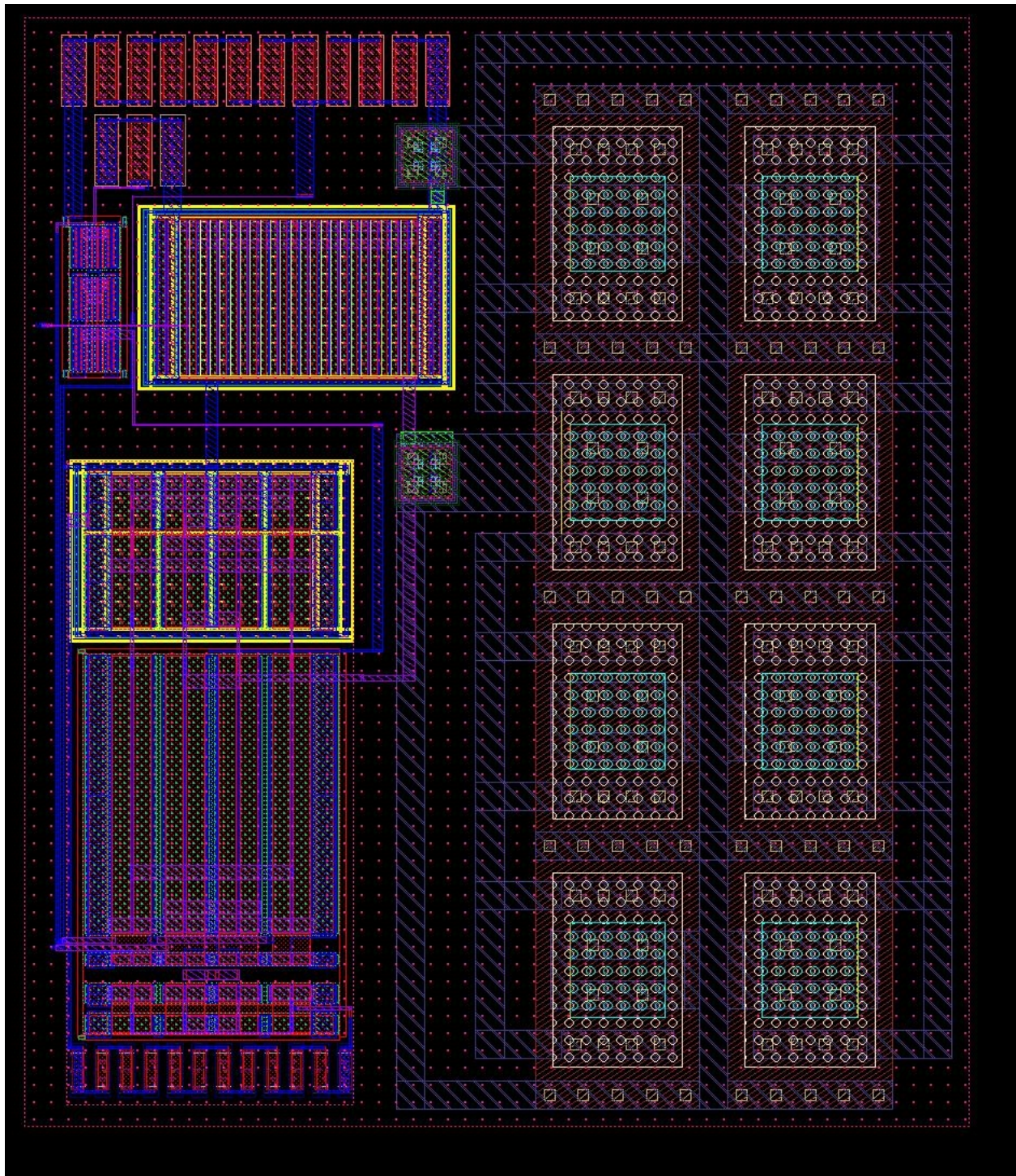


Figura 5-12. *Layout* Optimizado del Circuito de Polarización.

5. Diseño del Layout del Módulo Analógico de Recepción

5.4. Floor Plan e Integración del Layout

5.4.1 Floor Plan del Módulo Analógico de Recepción

Para poder integrar el *layout* del módulo analógico de recepción y facilitar las verificaciones LVS y DRC, se decide dividir el diseño del *layout* en dos bloques principales: el *path* HSRX (el cual consiste en el Amplificador Diferencial de Alta Velocidad más el circuito CML a CMOS) y el Circuito de Polarización. La *Figura 5-13* muestra el diagrama del *floor plan* propuesto.



Figura 5-13. Diagrama del *Floor Plan* del Módulo Analógico de Recepción.

5. Diseño del Layout del Módulo Analógico de Recepción

5.4.2 Layout Optimizado del Path HSRX

La Figura 5-14 presenta el *layout* optimizado del *path* HSRX, a la izquierda se puede apreciar el HS-OTA y a la derecha los inversores. El esquemático correspondiente se puede ver en la Figura 5-15.

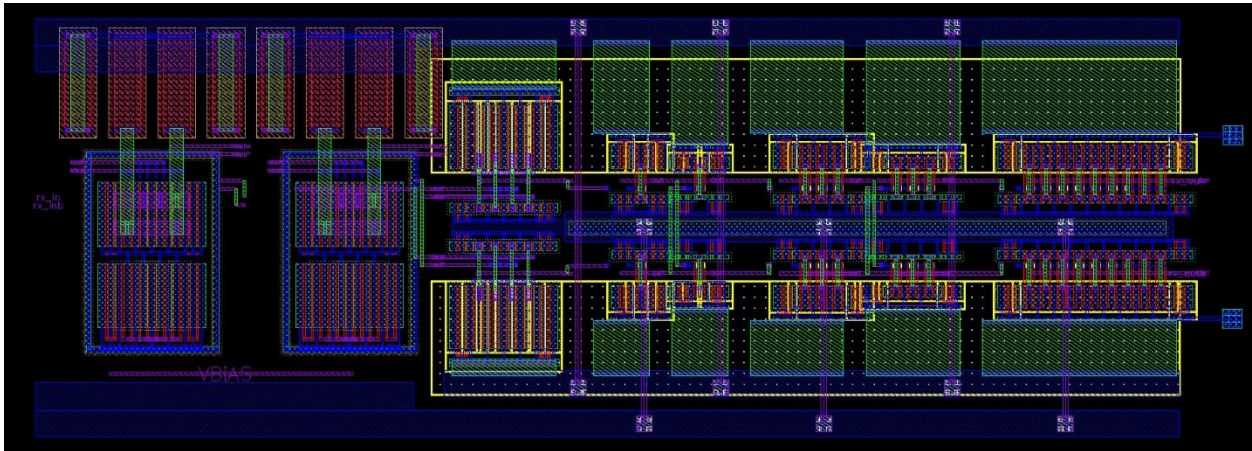


Figura 5-14. *Layout* Optimizado del *Path* HSRX.

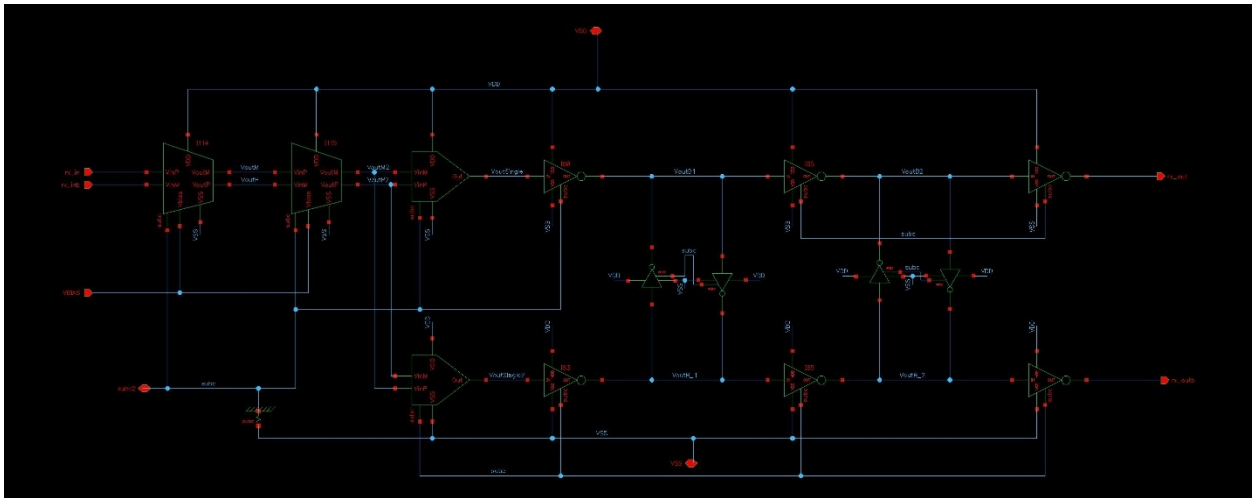


Figura 5-15. Esquemático del *Path* HSRX.

5. Diseño del Layout del Módulo Analógico de Recepción

5.4.3 Integración del *Layout* del Módulo Analógico de Recepción

Con base en el *floor plan*, el esquemático del módulo analógico de recepción queda de la siguiente manera, ver la *Figura 5-16*. Se pueden apreciar el *path* HSRX y el circuito de polarización.

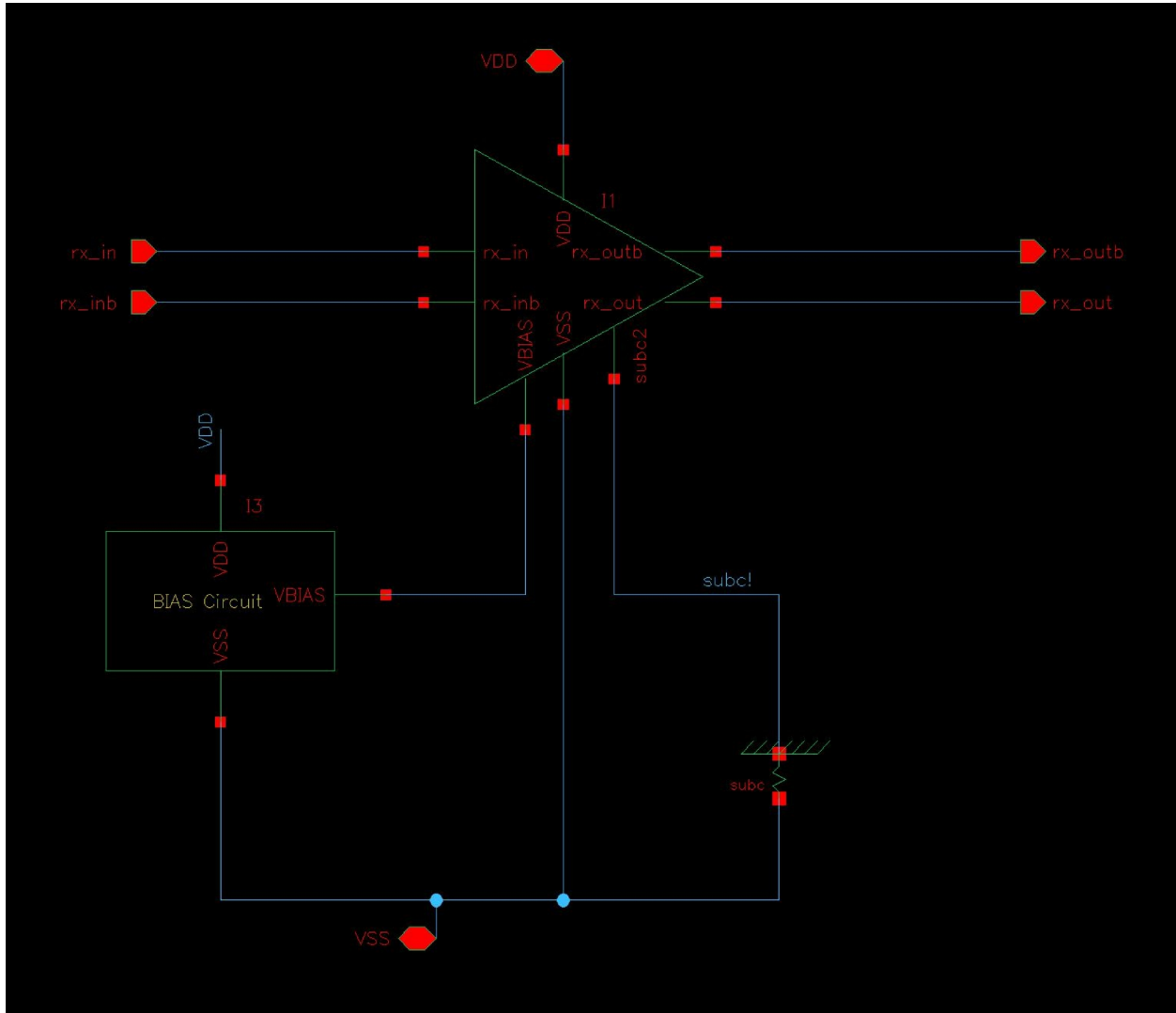


Figura 5-16. Esquemático del Módulo Analógico de Recepción.

5. Diseño del Layout del Módulo Analógico de Recepción

La Figura 5-18 muestra el *floor plan* en la vista *layout* del módulo analógico de recepción.

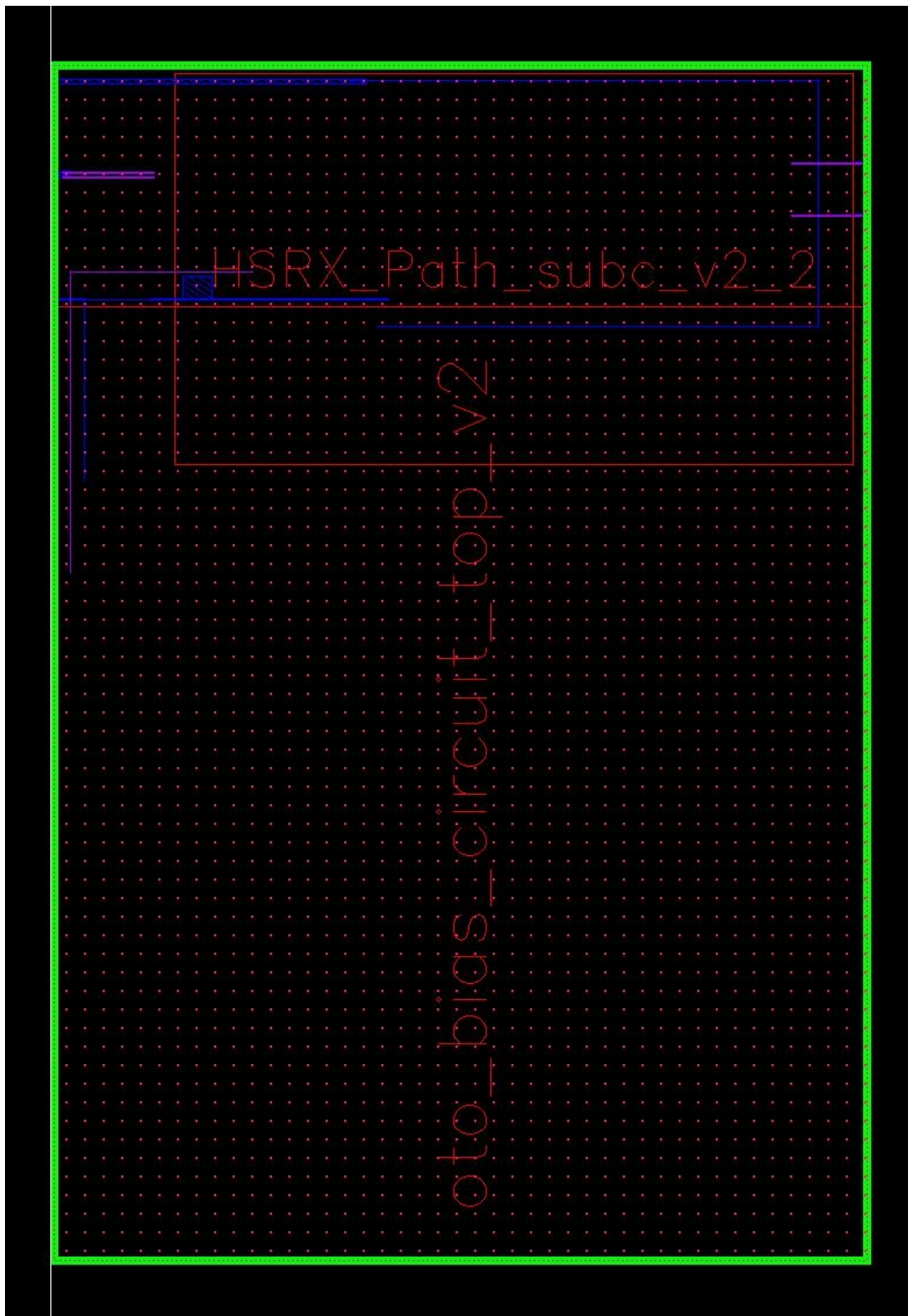


Figura 5-17. *Floor Plan* en vista *Layout* del Módulo Analógico de Recepción.

5. Diseño del Layout del Módulo Analógico de Recepción

La Figura 5-18 muestra la integración del *layout* optimizado del módulo analógico de recepción.

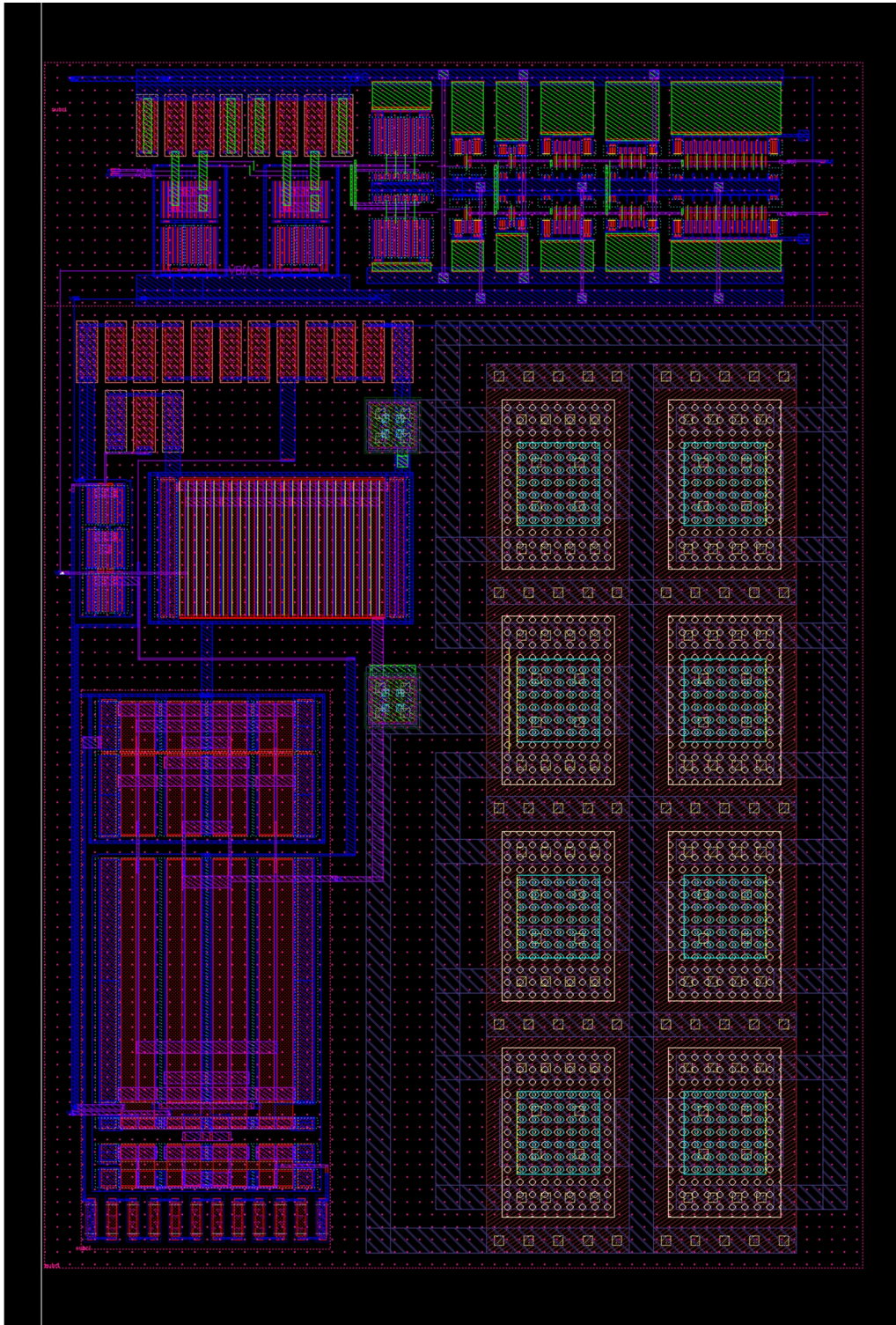


Figura 5-18. *Layout* Optimizado del Módulo Analógico de Recepción.

5. Diseño del Layout del Módulo Analógico de Recepción

El área final queda de la siguiente manera $109.02 \mu \times 160.18 \mu = 17,462.8236 \mu m^2$ lo que representa una reducción considerable con respecto al trabajo presentado por Conde-Almada [7] ($101.88 \mu \times 240.84 \mu = 24,536.78 \mu m^2$), ver la *Figura 5-19* para la comparación de ambos *layouts*.

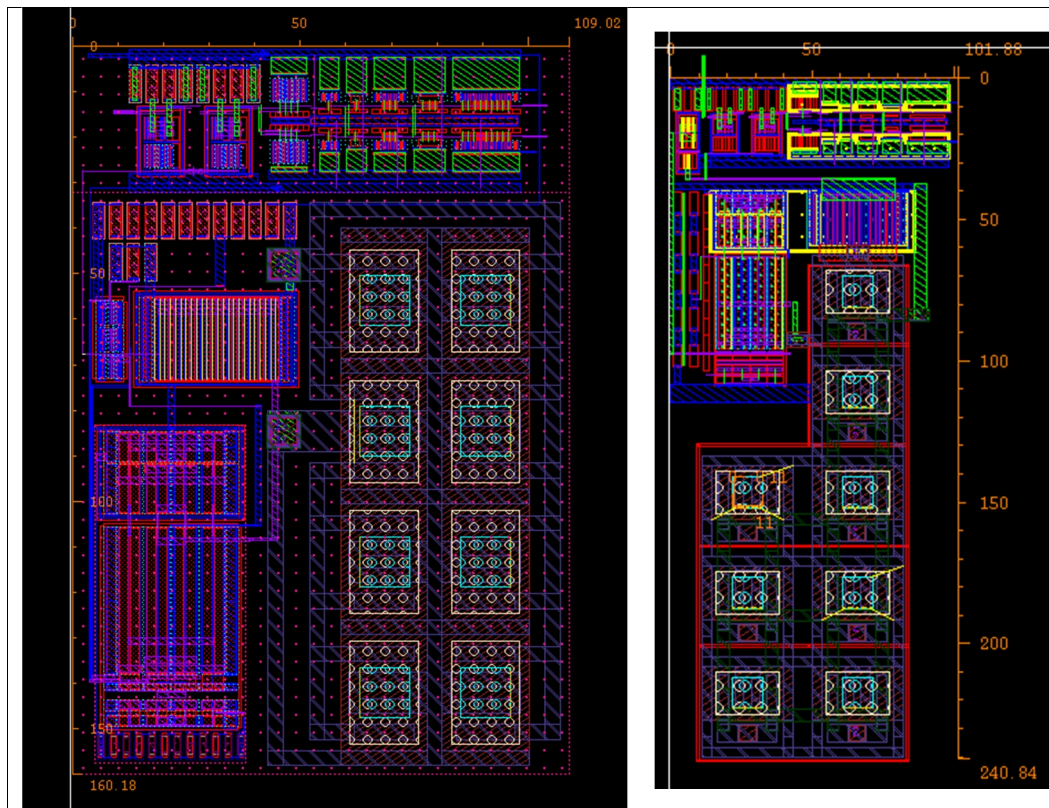


Figura 5-19. Comparación de Dimensiones de *Layout* del Módulo Analógico de Recepción.

Es importante señalar que las verificaciones DRC y LVS pasaron satisfactoriamente, ver Apéndice B.

6. Integración con Chip SerDes

Dado que el módulo analógico de recepción es parte del chip SerDes, para la integración con los demás módulos en la herramienta de *Encounter*, se tiene que considerar lo siguiente:

1. El módulo debe rodearse con *boundary* en la capa *chippedge*, ver la *Figura 6-1*.
2. Los pines del módulo deben pegarse al *boundary* anterior (*Figura 6-2*).
3. Para poder importar en *Encounter* el módulo, se debe crear la vista “*abstract*” y exportar el diseño como archivo LEF, ver .la *Figura 6-3* y la *Figura 6-4*.

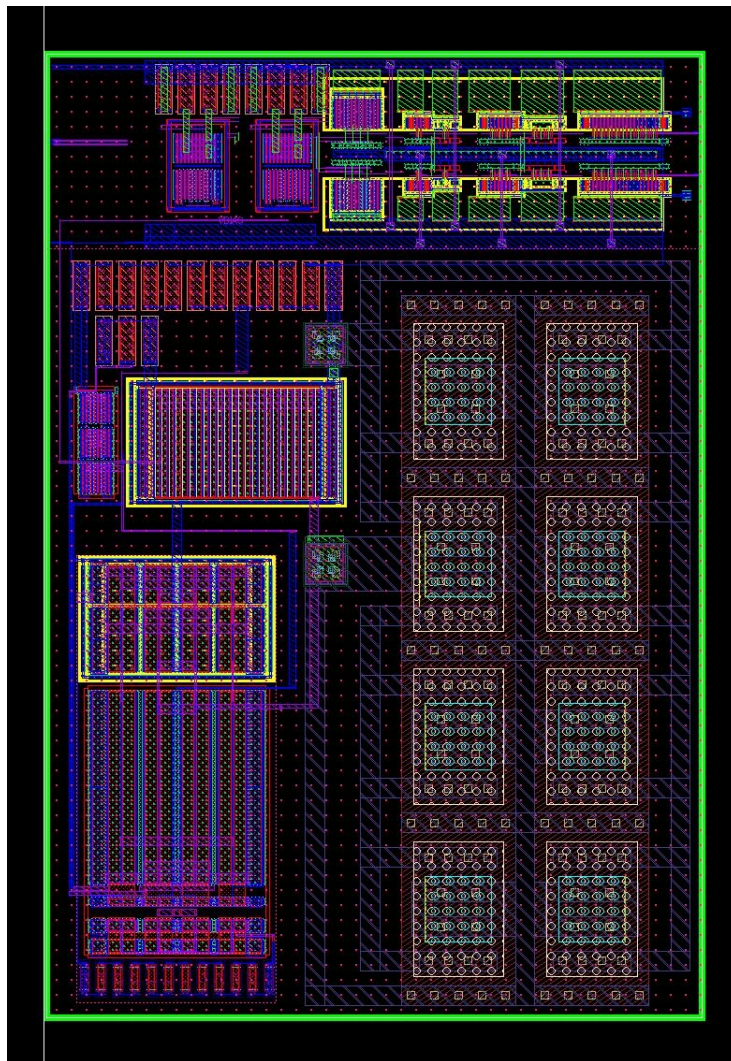


Figura 6-1. *Boundary* Agregado al *Layout* Final Del Módulo Analógico de Recepción.

6. Integración con Chip SerDes

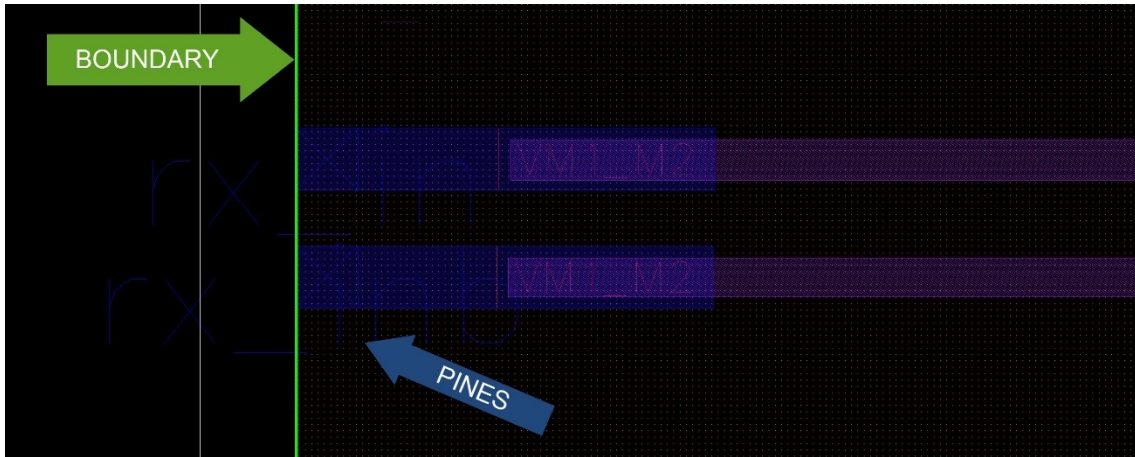


Figura 6-2. Zoom a Pines en el *Layout*.

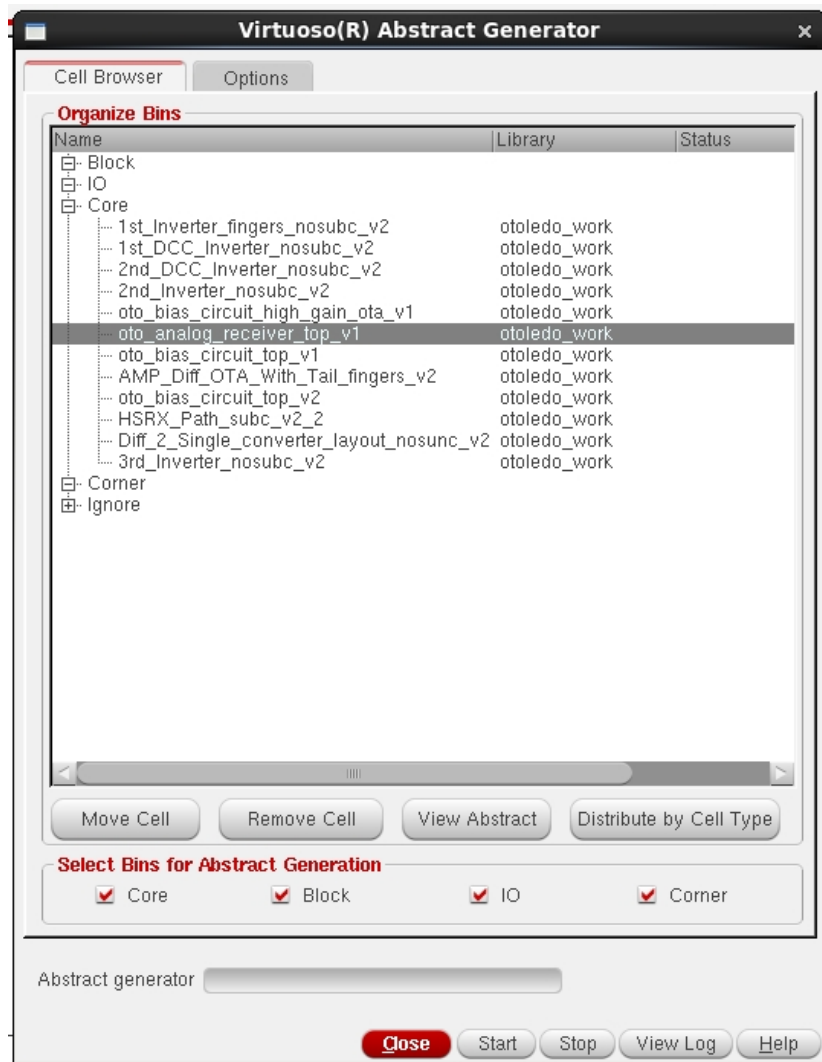


Figura 6-3. Configuración Vista "abstract".

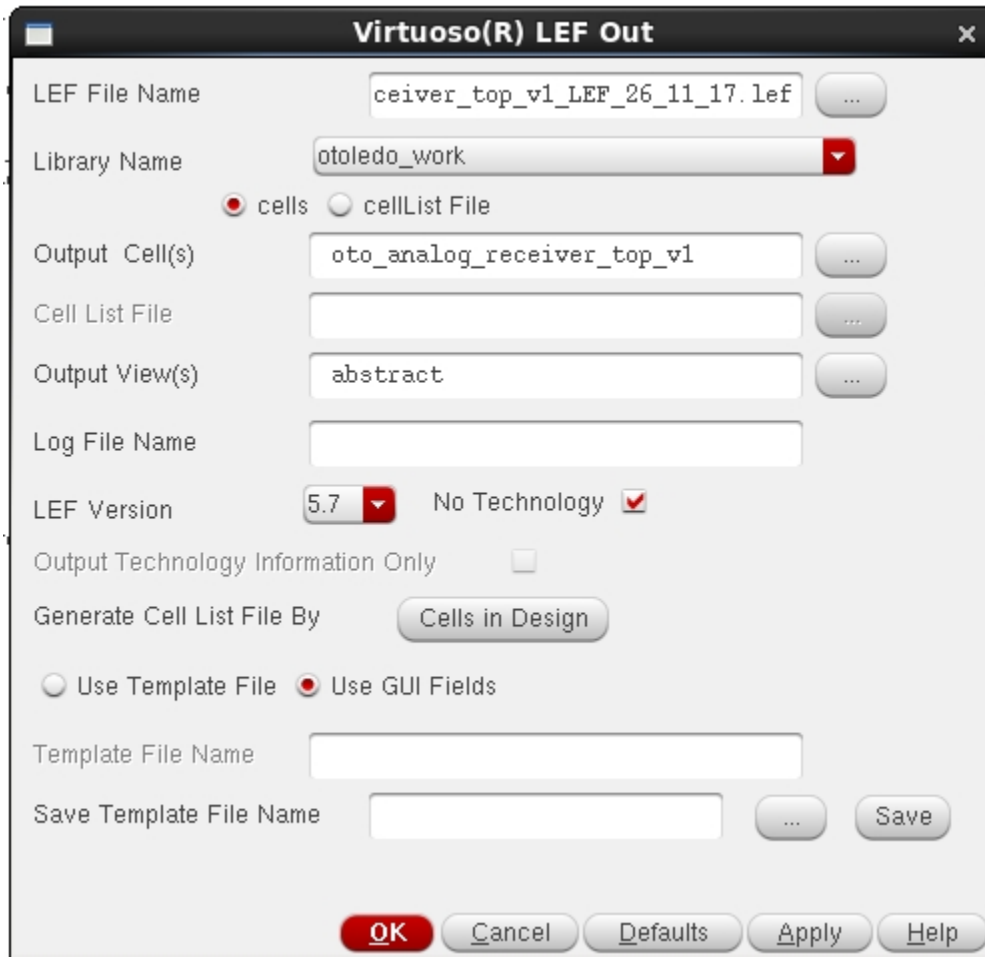


Figura 6-4. Configuración de la ventana "Export LEF".

Conclusiones

Como parte de la continuación del diseño presentado por Conde-Almada [7], en este trabajo se presentó el diseño, implementación física y verificación pre-*layout* de un módulo analógico de recepción para un chip SerDes, utilizando el kit de diseño para la tecnología de proceso cmrf8sf de 130 nm de Global Foundries.

El diseño cumple con las especificaciones para trabajar con el protocolo SGMII. Se realizaron las verificaciones pre-*layout* cubriendo las esquinas PVT y el análisis de *mismatch* (Monte Carlo) de todo el módulo.

Se optimizó el diseño del *layout* del circuito de polarización mediante la adición de transistores y resistencias *dummies* para robustecer el diseño ante las variaciones por fabricación.

El *layout* se verificó mediante las herramientas LVS (*Layout vs. Schematic*) y DRC (*Design Rule Check*).

Finalmente, se exportó el diseño para su integración al chip SerDes siguiendo las recomendaciones brindadas por los expertos en la industria de fabricación de chips.

Algunos puntos para considerar en trabajos futuros se presentan a continuación:

- Extracción de parásitas mediante la herramienta PEX del *layout* optimizado.
- Verificación post-*layout* con base en la extracción anterior.
- Reemplazar los capacitores por dispositivos activos para ahorrar área de silicio.

Apéndices

A. Respuestas transitorias del HS-OTA

Para una frecuencia de 5 GHz en la señal de entrada del HS-OTA, se tienen la siguiente respuesta transitoria para la configuración de terminación simple. Se aprecia que el swing completo de las señales de salida no se alcanzan debido a la frecuencia tan alta.

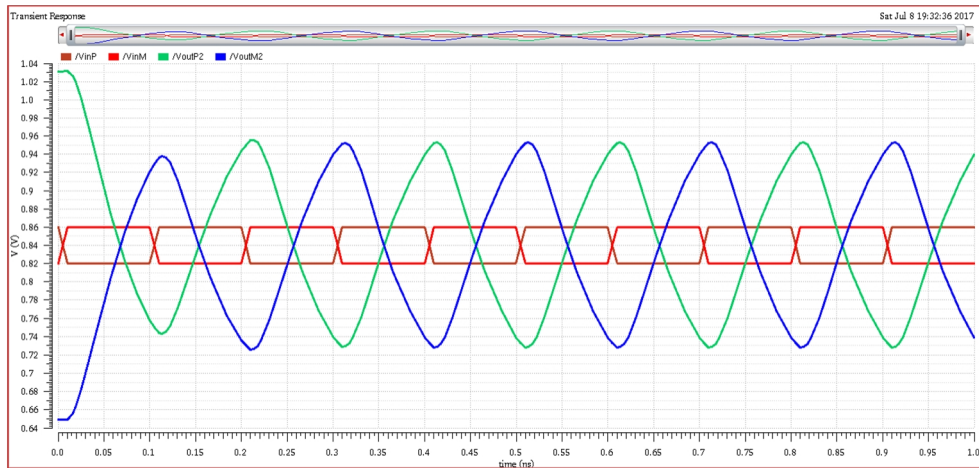


Figura A-1. Respuesta Transitoria del HS-OTA con 5 GHz.

Para una frecuencia de 2.5 GHz en la señal de entrada del HS-OTA, se tiene la siguiente respuesta transitoria para la configuración de terminación simple. Se puede apreciar que el swing de las señales de salida mejoró con respecto a la respuesta anterior.

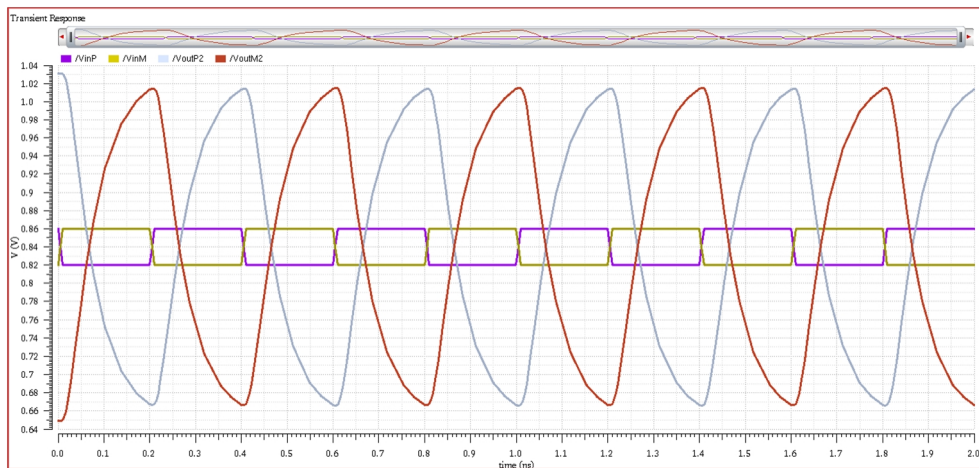


Figura A-2. Respuesta Transitoria del HS-OTA con 2.5 GHz.

Finalmente, para una frecuencia de 1.25 GHz en la señal de entrada del HS-OTA, se tiene la siguiente respuesta transitoria para la configuración de terminación simple. Como se puede apreciar el swing completo de la señal se alcanza.

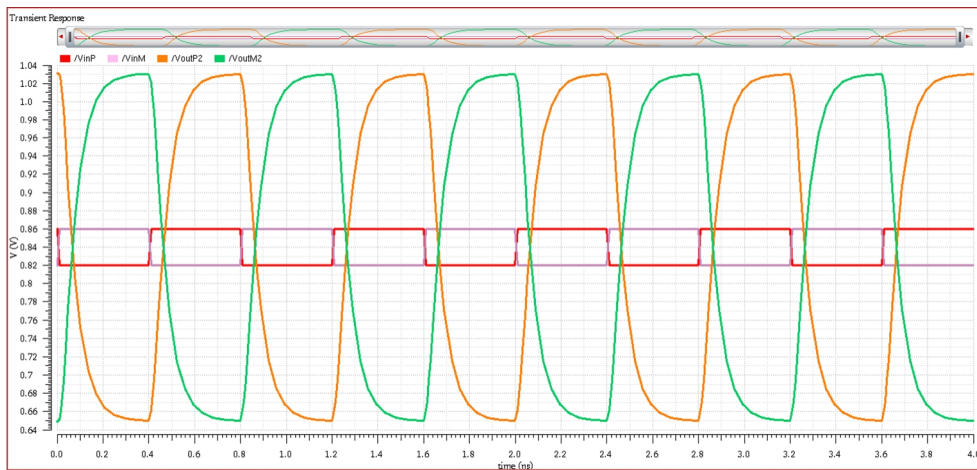


Figura A-3. Respuesta Transitoria del HS-OTA con 1.25 GHz.

B. Verificaciones DRC y LVS del Módulo Analógico de Recepción

A continuación se presentan la evidencia de las verificaciones DRC y LVS del *layout* del Módulo Analógico de Recepción.

```
DRC Summary Report - oto_analog_receiver_top_v1.drc.summary
File Edit Options Windows
RULECHECK GR131_MG ..... TOTAL Result Count = 0 (0)
RULECHECK GR131_MG_T3 ..... TOTAL Result Count = 0 (0)
RULECHECK GR131a_FY ..... TOTAL Result Count = 0 (0)
RULECHECK GR131a_FY_T3 ..... TOTAL Result Count = 0 (0)
RULECHECK GR131b_FY ..... TOTAL Result Count = 0 (0)
RULECHECK GR131b_FY_T3 ..... TOTAL Result Count = 0 (0)
RULECHECK GR131_LY ..... TOTAL Result Count = 0 (0)
RULECHECK GR131_LY_T3 ..... TOTAL Result Count = 0 (0)
RULECHECK GR131a_FT ..... TOTAL Result Count = 0 (0)
RULECHECK GR131a_FT_T3 ..... TOTAL Result Count = 0 (0)
RULECHECK GR131b_FT ..... TOTAL Result Count = 0 (0)
RULECHECK GR131b_FT_T3 ..... TOTAL Result Count = 0 (0)
RULECHECK GR131_E1 ..... TOTAL Result Count = 0 (0)
RULECHECK GR131_E1_T3 ..... TOTAL Result Count = 0 (0)
RULECHECK GROCAP24 ..... TOTAL Result Count = 0 (0)
RULECHECK GROCAP24a ..... TOTAL Result Count = 0 (0)
RULECHECK GROCAP24b ..... TOTAL Result Count = 0 (0)
RULECHECK GR131a_F1 ..... TOTAL Result Count = 0 (0)
RULECHECK GR131a_F1_T3 ..... TOTAL Result Count = 0 (0)
RULECHECK GR131b_F1 ..... TOTAL Result Count = 0 (0)
RULECHECK GR131b_F1_T3 ..... TOTAL Result Count = 0 (0)
RULECHECK GR131_MA ..... TOTAL Result Count = 0 (0)
RULECHECK GR131_MA_T3 ..... TOTAL Result Count = 0 (0)
RULECHECK GRMA908 ..... TOTAL Result Count = 0 (0)
RULECHECK GRMA953 ..... TOTAL Result Count = 0 (0)
RULECHECK GRT3W131f ..... TOTAL Result Count = 0 (0)
RULECHECK GRT3W131f_Mx ..... TOTAL Result Count = 0 (0)
RULECHECK GRT3WQCAP24 ..... TOTAL Result Count = 0 (0)
RULECHECK GRT3WQCAP24a ..... TOTAL Result Count = 0 (0)
RULECHECK GRT3WQCAP24b ..... TOTAL Result Count = 0 (0)
RULECHECK GR594_M1 ..... TOTAL Result Count = 0 (0)
RULECHECK GRT3W594a_M1 ..... TOTAL Result Count = 0 (0)
RULECHECK GRT3W594b_M1 ..... TOTAL Result Count = 0 (0)
RULECHECK GR595_M1 ..... TOTAL Result Count = 0 (0)
RULECHECK GRT3W595_M1 ..... TOTAL Result Count = 0 (0)
RULECHECK GR594_M2 ..... TOTAL Result Count = 0 (0)
RULECHECK GRT3W594a_M2 ..... TOTAL Result Count = 0 (0)
RULECHECK GRT3W594b_M2 ..... TOTAL Result Count = 0 (0)
RULECHECK GR595_M2 ..... TOTAL Result Count = 0 (0)
RULECHECK GRT3W595_M2 ..... TOTAL Result Count = 0 (0)
RULECHECK GR594_M3 ..... TOTAL Result Count = 0 (0)
RULECHECK GRT3W594a_M3 ..... TOTAL Result Count = 0 (0)
RULECHECK GRT3W594b_M3 ..... TOTAL Result Count = 0 (0)
RULECHECK GR595_M3 ..... TOTAL Result Count = 0 (0)
RULECHECK GRT3W595_M3 ..... TOTAL Result Count = 0 (0)
-----
--- RULECHECK RESULTS STATISTICS (BY CELL)
---
--- SUMMARY
---
TOTAL CPU Time: 7
TOTAL REAL Time: 12
TOTAL Original Layer Geometries: 7418 (16586)
TOTAL DRC RuleChecks Executed: 1655
TOTAL DRC Results Generated: 0 (0)
```




Figura B-1. Verificación DRC exitosa.

Calibre - RVE v2015.2_27.20 : svdb oto_analog_receiver_top_v1

File View Highlight Tools Window Setup

Comparison Results x

Layout Cell / Type	Source Cell	Nets
oto_analog_receiver_top_v1	oto_analog_receiver_top_v1	32L, 32S

Cell oto_analog_receiver_top_v1 Summary (Clean)

CELL COMPARISON RESULTS (TOP LEVEL)

```

#####
# CORRECT #
#####

```

Warning: Unbalanced smashed mosfets were matched.

LAYOUT CELL NAME: oto_analog_receiver_top_v1
SOURCE CELL NAME: oto_analog_receiver_top_v1

INITIAL NUMBERS OF OBJECTS

	Layout	Source	Component Type
Ports:	7	7	
Nets:	52	52	
Instances:	244	102	+ MN (4 pins)
	180	57	+ MP (4 pins)
	8	8	C (3 pins)
	35	35	R (3 pins)
	5	6	+ subc (2 pins)
Total Inst:	472	208	

NUMBERS OF OBJECTS AFTER TRANSFORMATION

	Layout	Source	Component Type
Ports:	7	7	
Nets:	32	32	
Instances:	25	25	MN (4 pins)
	11	11	MP (4 pins)




Figura B-2. Verificación LVS exitosa.

Bibliografía

- [1] H. J.M. Veendrick, *Nanometer CMOS ICs*. Cham: Springer International Publishing, 2017.
- [2] T. C. Carusone, D. Johns, y K. Martin, *Analog Integrated Circuit Design*. John Wiley & Sons, 2011.
- [3] G.-Y. Wei, M. Horowitz, y J. Kim, «Energy-Efficient Design of High-Speed Links», en *Power Aware Design Methodologies*, Springer, Boston, MA, 2002, pp. 201-239.
- [4] D. R. Stauffer *et al.*, *High Speed Serdes Devices and Applications*. Springer Science & Business Media, 2008.
- [5] «High speed parallel/serial link for data communication».
- [6] M. Steyaert, A. H. M. van Roermund, y H. Casier, Eds., *Analog Circuit Design*. Dordrecht: Springer Netherlands, 2009.
- [7] E. Conde-Almada, «Design and Physical Implementation of an Analog Receiver for a SerDes System on Chip in 130nm CMOS Technology», Instituto Tecnológico y de Estudios Superiores de Occidente, Tlaquepaque, Jalisco, 2016.
- [8] A. Morgenshtein, I. Cidon, A. Kolodny, y R. Ginosar, «Comparative analysis of serial vs parallel links in NoC», en *2004 International Symposium on System-on-Chip, 2004. Proceedings.*, 2004, pp. 185-188.
- [9] J. Crols, «Top-Down Bottom-Up Design Methodology for Fast and Reliable Serdes Developments in nm Technologies», en *Analog Circuit Design*, Springer, Dordrecht, 2009, pp. 35-46.
- [10] S. A. Núñez-Corona, «Diseño de circuito analógico de polarización para sistema SerDes», 2015.
- [11] A. Athavale y C. Christensen, «High-Speed Serial I/O Made Simple», *FreeEngineeringEbooks.com*, 24-mar-2006. [En línea]. Disponible en: <http://freeengineeringebooks.com/high-speed-serial-io-made-simple/>. [Accedido: 11-oct-2017].
- [12] Y.-C. Chu, «Serial-GMII Specification Revision 1.7», Cisco Systems, Specification ENG-46158, jul. 2001.
- [13] T. Tran-Chandler, «Hardware Design Considerations for PCI Express and SGMII», Freescale semiconductor, Application Note AN307, jun. 2007.
- [14] O. Gallardo-García, «Diseño del path de alta frecuencia del receptor analógico del SerDes ITESOTV1», dic. 2015.