

Instituto Tecnológico y de Estudios Superiores de Occidente

Reconocimiento de validez oficial de estudios de nivel superior según acuerdo secretarial 15018, publicado en el Diario Oficial de la Federación del 29 de noviembre de 1976.

Departamento de Electrónica, Sistemas e Informática
Maestría en Diseño Electrónico



REPORTE DE FORMACIÓN COMPLEMENTARIA EN ÁREA DE CONCENTRACIÓN DE DISEÑO DE CIRCUITOS INTEGRADOS ANALÓGICOS

TRABAJO RECEPCIONAL que para obtener el **GRADO** de
MAESTRO EN DISEÑO ELECTRÓNICO

Presenta: **Carlos Eduardo Rivera Escobar**

Asesor: **OMAR HUMBERTO LONGORIA GÁNDARA**

Tlaquepaque, Jalisco. 15 de Mayo de 2026.

1. Índice

Contenido

1. Índice.....	2
2. Introducción.....	3
3. Resumen de los proyectos realizados.....	3
3.1. Filtro rechaza-banda con girador (dos OTAs) y multiplicador de capacitancia A1M3	3
3.1.1. Propósito y alcance del proyecto.....	3
3.1.2. Marco teórico	4
3.1.3. Integración Nivel Superior (TOP) y Layout.....	4
3.1.4. Resultados de simulación	5
3.1.5. Conclusiones del proyecto.....	5
3.2. Integración de un PLL completo (PFD + Charge Pump + Filtro + VCO) A2M3	5
3.2.1. Propósito y alcance del proyecto.....	5
3.2.2. Marco teórico	6
3.2.3. Construcción del circuito / sistema.....	6
3.2.4. Resultados obtenidos	7
3.2.5. Conclusiones del proyecto.....	7
3.3. Multiplicador de capacitancia multietapa con OTA diferencial de doble salida A3	8
3.3.1. Propósito y alcance del proyecto.....	8
3.3.2. Marco teórico	8
3.3.3. Construcción del circuito / sistema.....	9
3.3.4. Resultados obtenidos	9
3.3.5. Conclusiones del proyecto.....	10
4. Conclusiones generales.....	10
5. Referencias	11
6. Apéndices.....	11
6.1. Filtro rechaza banda con girador y multiplicador de capacitancia.	12
6.2. integración de un PLL completo	40
6.3. Multiplicador de capacitancia multietapa utilizando amplificadores diferenciales de doble salida.....	46

2. Introducción

El Diseño de Circuitos Integrados Analógicos constituye una de las áreas de mayor complejidad dentro de la ingeniería electrónica, ya que requiere comprender el comportamiento físico de los dispositivos y traducirlo en sistemas funcionales bajo restricciones reales de ruido, no linealidad, variaciones de proceso, área y consumo de potencia. A diferencia del diseño digital, el diseño analógico demanda decisiones estrechamente ligadas a la tecnología, haciendo del criterio del diseñador un elemento clave.

La elección de esta área de concentración responde al interés por desarrollar un perfil sólido en el diseño de bloques y sistemas analógicos integrados, con énfasis en la síntesis de arquitecturas, el análisis de compromisos y la validación de soluciones. Esta formación se construyó a lo largo de los cursos de Diseño de Circuitos Integrados Analógicos I, Diseño de Circuitos Integrados Analógicos II, Diseño Físico de Circuitos Integrados y Diseño Avanzado de Circuitos Analógicos, los cuales permitieron abordar problemas con una complejidad progresiva.

Este Reporte de Formación Complementaria presenta tres proyectos desarrollados dentro de esta línea de formación, destacando los aspectos más relevantes del proceso de diseño y las decisiones técnicas tomadas. En conjunto los proyectos reflejan el desarrollo de un criterio ingenieril orientado a la generación de soluciones viables y transferibles en contextos reales.

3. Resumen de los proyectos realizados

El contenido que se muestra aquí resume los aspectos más importantes de cada proyecto, incluyendo el objetivo, el enfoque de diseño y los resultados principales. Debido a que este documento es un resumen, no se incluyen todos los detalles de análisis, ecuaciones ni resultados completos de simulación. Esa información se encuentra documentada en los apéndices correspondientes, donde se incluyen los reportes técnicos completos de cada proyecto.

3.1. Filtro rechaza-banda con girador (dos OTAs) y multiplicador de capacitancia A1M3

3.1.1. Propósito y alcance del proyecto

El proyecto que se encuentra completo en el apéndice “A1 M3 PF” tiene como objetivo diseñar, simular y validar un filtro rechaza-banda (notch) implementado sin inductores físicos mediante dos técnicas clave del diseño analógico integrado:

Giradores OTA-C (Operational Transconductance Amplifier, amplificador de transconductancia) para sustituir inductores por elementos activos basados en transconductancia, y Multiplicadores de capacitancia para reemplazar capacitores de gran valor por versiones físicamente pequeñas, pero funcionalmente equivalentes.

El alcance abarca desde la etapa conceptual (tomar un filtro RLC pasivo como referencia ideal), pasando por la síntesis del equivalente activo, hasta la implementación física del layout, incluyendo DRC/LVS (Design Rule Check/Layout vs Schematic, Revisión de reglas de diseño / Diagrama contra esquemático) y extracción parasitaria, lo que coloca este proyecto dentro de un flujo completo de diseño de circuitos integrados. Su relevancia radica en que los filtros integrados requieren eliminar elementos pasivos grandes (L y C), por lo que las técnicas OTA-C son esenciales en Circuitos Integrados analógicos modernos.

3.1.2. Marco teórico

Un filtro rechaza-banda pasivo se implementa tradicionalmente mediante la combinación de un inductor y un capacitor, cuya interacción determina la frecuencia central de rechazo. Sin embargo, en tecnologías CMOS, la implementación de inductores resulta poco práctica debido a su gran consumo de área y baja precisión, lo que limita su uso en circuitos integrados.

Para resolver este problema, se emplean giradores, los cuales son circuitos activos capaces de emular el comportamiento de un inductor utilizando componentes más compatibles con integración, como transconductores (OTAs) y capacitores. De esta manera, es posible sustituir elementos pasivos difíciles de implementar por estructuras activas que reproducen su respuesta eléctrica.

Adicionalmente, el multiplicador de capacitancia permite obtener valores efectivos de capacitancia significativamente mayores a partir de capacitores físicos pequeños, mediante el uso de espejos de corriente. Esta técnica es especialmente útil en circuitos integrados, donde el área disponible es limitada y los capacitores de gran valor resultarían inviables.

En conjunto, el uso de giradores y multiplicadores de capacitancia permite implementar filtros completamente integrables, manteniendo características eléctricas similares a sus equivalentes pasivos, pero con ventajas importantes en términos de área, escalabilidad y compatibilidad con procesos CMOS.

3.1.3. Integración Nivel Superior (TOP) y Layout

El multiplicador de capacitancia, los dos OTAs del girador, los transistores de polarización y la red alrededor del filtro se integran a nivel superior.

Debido a que cada sub-bloque fue diseñado pensando en compatibilidad geométrica, la integración física a nivel *superior* resulta ordenada y sin cruces excesivos.

Se realizan DRC y LVS, ambos con resultados limpios, y se obtiene además la vista extraída, donde se observan capacitancias y resistencias parasitarias añadidas por el layout.

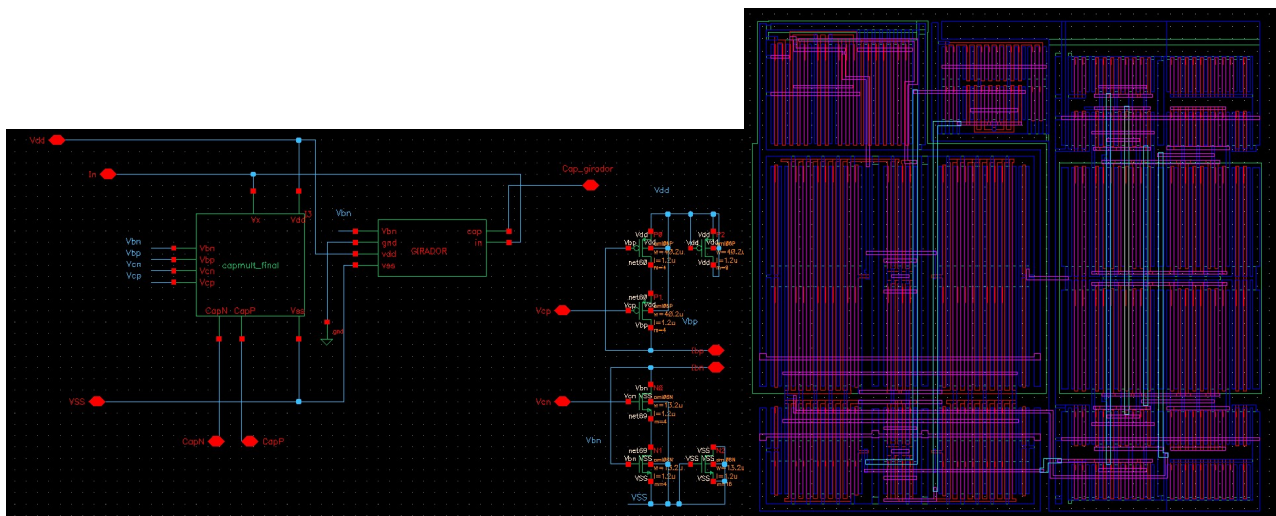


Figura 1: Esquemático del nivel superior del circuito, con voltajes de polarización y pines (izq). Figura 2: Vista extraída del nivel superior del layout (der)

La figura 1 muestra el esquemático a nivel superior del filtro activo, donde se integran el multiplicador de capacitancia, el girador basado en dos OTAs y la red de polarización. Se observan

los nodos principales, así como las condiciones de operación que permiten reproducir el comportamiento del filtro rechaza-banda en una implementación completamente activa. La Figura 2 muestra una vista extraída incluye los efectos de capacitancias y resistencias parásitas introducidas por el layout. La similitud en el comportamiento respecto al esquemático confirma que el diseño mantiene su desempeño a nivel físico, validando la correcta integración y el impacto controlado de los parásitos.

3.1.4. Resultados de simulación

El multiplicador de capacitancia emula correctamente un capacitor 10× mayor, validado mediante comparación gráfica entre el capacitor ideal y la versión multiplicada.

El girador basado en OTAs reproduce la impedancia inductiva requerida, confirmada mediante simulaciones comparativas con el inductor ideal.

El filtro RLC ideal y el filtro activo implementado presentan respuestas en frecuencia muy similares, especialmente en la frecuencia de rechazo.

El layout extraído mantiene el comportamiento buscado, lo que valida la solidez del diseño frente a parasitarios de interconexión y desajustes residuales.

3.1.5. Conclusiones del proyecto

El proyecto demostró la viabilidad de implementar un filtro rechaza-banda completamente integrable mediante el uso combinado de giradores basados en OTAs y multiplicadores de capacitancia, logrando una respuesta en frecuencia consistente con el filtro pasivo de referencia. Los resultados de simulación y de vista extraída confirmaron que la arquitectura propuesta mantiene el comportamiento esperado aun considerando los efectos de parásitos y variaciones físicas propias del layout.

Este proyecto fortaleció mi capacidad para sintetizar equivalentes activos a partir de topologías pasivas, así como para tomar decisiones fundamentadas en el dimensionamiento analítico, el control de transconductancia y el apareamiento de dispositivos. La validación entre esquemático, layout y vista extraída reforzó un criterio de diseño que resulta directamente transferible a mi práctica profesional, particularmente en la anticipación del impacto físico del layout sobre el desempeño eléctrico.

3.2. Integración de un PLL completo (PFD + Charge Pump + Filtro + VCO) A2M3

3.2.1. Propósito y alcance del proyecto

El objetivo de este proyecto, documentado en el apéndice “A2 M3 PF” es integrar un Phase-Locked Loop (PLL o Lazo de Seguimiento de Fase) completo utilizando los bloques desarrollados en actividades previas. El propósito técnico fundamental es validar el funcionamiento conjunto de todos los módulos, garantizando que el PLL sea capaz de engancharse (lock) correctamente dentro de un rango de frecuencias, manteniendo una salida estable y en fase con la señal de referencia.

La relevancia del proyecto radica en que un PLL representa uno de los sistemas analógicos mixtos más importantes en comunicaciones, sincronización y modulación. Integrar cada uno de sus bloques y demostrar su funcionamiento en conjunto es un ejercicio completo de diseño analógico avanzado, combinando comportamiento dinámico, estabilidad, linealidad, y respuesta transitoria.

3.2.2. Marco teórico

Un PLL es un sistema de realimentación cuyo objetivo es sincronizar la fase (y a menudo la frecuencia) de una señal generada internamente con respecto a una señal de referencia. Sus componentes esenciales son:

- PFD (Phase-Frequency Detector), Detector de Fase: detecta diferencias de fase y frecuencia entre referencia y salida.
- Charge Pump, Bomba de Carga: convierte la información UP/DOWN del PFD en corriente proporcional.
- Loop Filter, Filtro pasivo: integra la corriente y produce un voltaje de control (V_c) suave.
- VCO (Voltage-Controlled Oscillator), Oscilador controlado por voltaje: genera una señal cuya frecuencia depende de V_c .
- Feedback Path, Trayectoria de retroalimentación: realimenta la salida al PFD para cerrar el lazo.

Un PLL está “en lock” cuando la fase de la salida coincide con la de la referencia y V_c permanece estable. El proceso de enganche depende del diseño del filtro, de la ganancia del VCO y del comportamiento del PFD/charge pump.

3.2.3. Construcción del circuito / sistema

El proyecto parte de módulos desarrollados previamente:

1. PFD: compara la referencia y la salida retroalimentada, generando señales UP y DOWN.
2. Charge Pump: convierte estas señales en corrientes positivas o negativas.
3. Filtro Pasa Bajas (LPF): suaviza la señal de control, eliminando pulsos abruptos del PFD.
4. VCO: su frecuencia de salida depende de V_c .
5. Retroalimentación: regresa la señal del VCO al PFD para cerrar el lazo.

Estos módulos se interconectan en un único esquemático, conformando un PLL completo. El voltaje de control V_c , la frecuencia de referencia F_{ref} y la salida F_{out} se observan en todas las simulaciones para evaluar el comportamiento dinámico.

Una vez ensamblado el sistema, se simulan condiciones a diferentes frecuencias de referencia para verificar que el PLL mantenga estabilidad, convergencia y enganche sin sobrepasos excesivos ni oscilaciones de baja frecuencia.

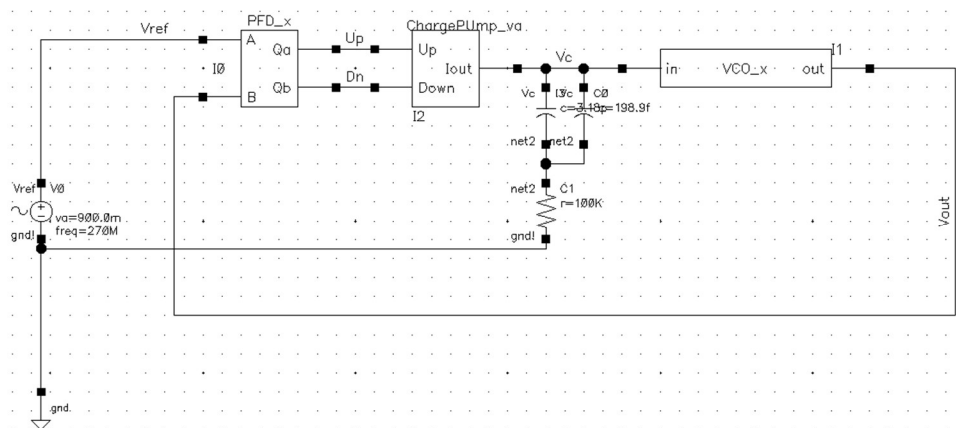


Figura 3: Esquemático con los bloques: PFD, CP, FP, VCO y FL

La figura 3 muestra la integración de los bloques principales del Phase-Locked Loop (PLL): PFD, charge pump, filtro de lazo y VCO, junto con la trayectoria de retroalimentación. Esta estructura permite visualizar claramente el flujo de señal y la forma en que el sistema cierra el lazo para lograr sincronización de fase.

3.2.4. Resultados obtenidos

Las simulaciones muestran un desempeño consistente en todos los puntos analizados:

270 MHz (frecuencia máxima)

- El PLL mantiene estabilidad aun en la condición de mayor exigencia.
- El enganche ocurre en $\sim 4 \mu s$.
- La diferencia de fase converge adecuadamente tras el proceso transitorio.

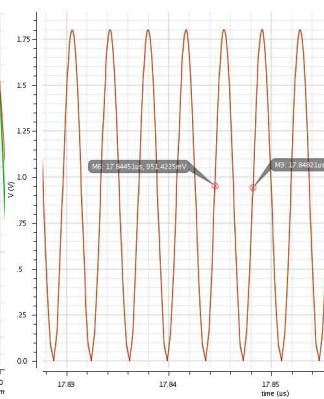
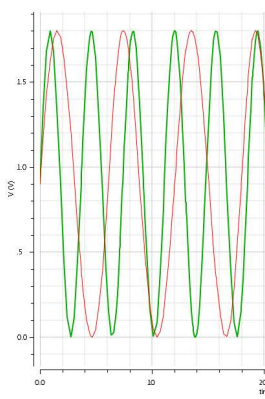
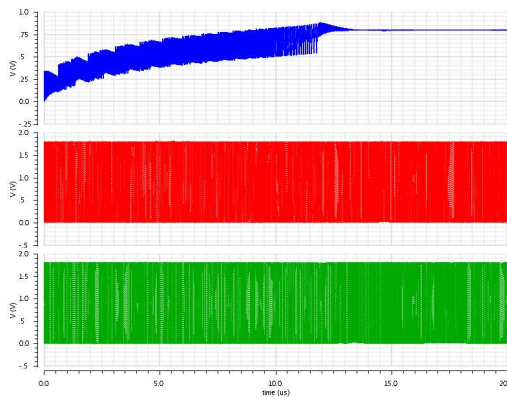


Figura 4: Voltaje de control y tiempo de amarre <12.5uS. Figura 5: Diferencia de fase (tiempo de estabilización) Figura 6: Diferencia de fase (tiempo de amarre)

La Figura 4 muestra una primera gráfica presenta la evolución del voltaje de control (V_c) durante el proceso de enganche. Se observa la convergencia hacia un valor estable, lo que indica que el sistema alcanza condición de operación en régimen estacionario dentro del tiempo esperado. La Figura 5 con una segunda gráfica muestra la diferencia de fase entre la señal de referencia y la salida del VCO durante el régimen transitorio. La reducción progresiva del error confirma el correcto funcionamiento del lazo en el proceso de sincronización. La figura 6 muestra el voltaje vez alcanzado el estado de enganche, la diferencia de fase se mantiene cercana a cero, validando que el PLL ha logrado sincronizar correctamente la salida con la referencia bajo condiciones estables.

El PLL demuestra robustez, estabilidad y tiempos de enganche consistentes en todo el rango de operación. No se observan oscilaciones indeseadas ni divergencias, validando que la integración de los bloques fue adecuada.

3.2.5. Conclusiones del proyecto

El proyecto confirmó que la integración adecuada de los bloques que conforman un PLL permite lograr un sistema estable, capaz de engancharse correctamente dentro del rango de operación especificado y con tiempos de captura controlados. El análisis del comportamiento transitorio y de la convergencia de fase validó el diseño del lazo y la compatibilidad entre el PFD, la charge pump, el filtro y el VCO.

Desde la perspectiva de mi contribución personal, el principal aprendizaje fue el análisis sistémico de un circuito retroalimentado, priorizando la estabilidad de lazo, los márgenes de

operación y la interacción entre bloques. Esta experiencia consolidó un enfoque de diseño orientado al comportamiento dinámico del sistema completo, criterio que resulta especialmente valioso en entornos profesionales donde la sincronización y la interacción entre dominios de frecuencia son aspectos críticos.

3.3. Multiplicador de capacitancia multietapa con OTA diferencial de doble salida A3

3.3.1. Propósito y alcance del proyecto

El propósito del proyecto del apéndice “A3 PF” es diseñar y validar un multiplicador de capacitancia de gran factor de multiplicación, orientado a reducir área, disminuir consumo, y ampliar el ancho de banda respecto a técnicas tradicionales. La meta es superar las limitaciones inherentes a los multiplicadores de capacitancia basados en espejos de corriente o en la arquitectura 2-OTA, cuyas capacidades de escalamiento están fuertemente restringidas por el factor geométrico y el consumo de potencia.

Con este objetivo, se plantea una arquitectura novedosa basada en amplificadores diferenciales con doble salida, dispuestos en múltiples etapas en cascada. Esta estructura permite obtener capacitancias equivalentes grandes a partir de un capacitor físico pequeño, con un factor acumulado de multiplicación determinado por el producto de los factores de escalamiento de cada etapa. El alcance del proyecto incluye el diseño, modelado, análisis por bloques, validación por simulación e incluso la comparación directa con las topologías previas, destacando mejoras en THD (Total Harmonic Distortion), área y potencia.

3.3.2. Marco teórico

Los multiplicadores de capacitancia convencionales se basan en el principio de amplificar la corriente generada por un capacitor mediante el uso de espejos de corriente, lo que permite que un capacitor pequeño se comporte como uno de mayor valor. Aunque esta técnica es efectiva, presenta limitaciones importantes, como el incremento de área, mayor consumo de potencia y una reducción en el ancho de banda debido a efectos parásitos.

Como alternativa, este trabajo considera una arquitectura basada en amplificadores diferenciales de doble salida (OTAs), en la cual cada etapa genera una corriente proporcional a la señal de entrada y una versión escalada de la misma. Al conectar múltiples etapas en cascada, estas contribuciones se acumulan, produciendo un efecto multiplicativo sobre la capacitancia equivalente observada en el circuito.

Este enfoque permite alcanzar factores de multiplicación elevados sin necesidad de incrementar significativamente el tamaño de los dispositivos ni el consumo de corriente, lo que lo convierte en una solución más eficiente y escalable. Además, al distribuir la ganancia en varias etapas, es posible mantener un mejor control sobre el ancho de banda, la linealidad y el impacto de los parásitos.

En general, esta arquitectura representa una extensión de los métodos tradicionales, orientada a mejorar el desempeño global del multiplicador de capacitancia en términos de eficiencia, escalabilidad y comportamiento dinámico.

3.3.3. Construcción del circuito / sistema

Los amplificadores empleados son OTAs diferenciales con:

- polarización de $80\ \mu\text{A}$,
- $V_{DD} = \pm 2\ \text{V}$,
- dimensiones optimizadas para buen ajuste (matching) y alta transconductancia,
- dispositivos escalados M6K, M8K que definen el factor k en cada etapa.

La elección de estos OTAs responde al objetivo de mantener impedancia alta, baja distorsión y bajo consumo, aspectos críticos para multiplicadores activos.

3.3.4. Resultados obtenidos

El circuito se validó utilizando una tecnología CMOS de $0.5\ \mu\text{m}$ y simulaciones Spectre en un filtro pasa-bajas RC de referencia.

Resultados más relevantes:

Capacitancia equivalente:

Un capacitor físico de $10\ \text{pF}$ se comportó como un capacitor equivalente de $\approx 280\ \text{pF}$, validando la multiplicación teórica $28\times$.

Impedancia simulada:

Comparando impedancia ideal y simulada:

- la magnitud coincide estrechamente en baja frecuencia,
- el sistema presenta un límite superior de $88\ \text{dB}$,
- la resistencia equivalente (ESR) es de $50\ \Omega$,
- y la resistencia paralela en DC es de $\approx 25\ \text{k}\Omega$.

Respuesta en un filtro estándar:

Al implementar el multiplicador en un filtro RLC:

- la respuesta en frecuencia mostró excelente coincidencia con la referencia ideal,
- el comportamiento de fase permaneció estable,
- el ancho de banda del filtro se preservó adecuadamente.

Se presentó una implementación práctica de un multiplicador de capacitancia integrado en chip basado en múltiples etapas en serie, con el objetivo de obtener un alto factor de multiplicación. Se demostró que la implementación ocupa un área reducida de silicio y presenta un menor consumo de potencia. Esto se logró mediante el diseño de un amplificador diferencial con salidas duales, capaz de generar corrientes de salida proporcionalmente escaladas por un factor K . El circuito fue validado mediante simulación y comparado con topologías convencionales comúnmente utilizadas.[1]

Los resultados obtenidos no solo validan el desempeño de la arquitectura propuesta en términos de capacitancia equivalente, respuesta en frecuencia y eficiencia, sino que también confirman la consistencia entre la teoría desarrollada, los cálculos matemáticos realizados y las simulaciones del circuito, considerando además distintas variables de diseño como transconductancia, factores de escalamiento y condiciones de operación. Estos resultados proporcionaron la base que dio pie a la elaboración y posterior publicación de un artículo científico en IEEE [1]

3.3.5. Conclusiones del proyecto

El proyecto demostró que la arquitectura de multiplicador de capacitancia multietapa con OTAs diferenciales de doble salida permite alcanzar factores de multiplicación elevados con mejoras cuantificables en área, consumo de potencia y distorsión, en comparación con topologías convencionales. Las simulaciones confirmaron la consistencia entre el análisis teórico y el desempeño obtenido en implementaciones prácticas.

A nivel personal, este proyecto representó una oportunidad para analizar críticamente soluciones existentes y proponer una arquitectura alternativa, evaluando de manera cuantitativa sus beneficios y limitaciones. La integración de análisis, diseño y validación reforzó una metodología de trabajo basada en justificar decisiones con métricas claras, una competencia directamente aplicable al desarrollo profesional de sistemas electrónicos complejos en la industria.

Adicionalmente, la experiencia de redactar un artículo científico, someterlo a revisión por pares de IEEE y presentar los resultados en un congreso internacional representó un aprendizaje significativo en términos de comunicación técnica. Este proceso permitió estructurar de manera clara los aportes del trabajo, defender decisiones de diseño frente a una audiencia especializada y validar externamente la calidad técnica de la propuesta, fortaleciendo habilidades que resultan igualmente valiosas en entornos profesionales de ingeniería y desarrollo tecnológico.

4. Conclusiones generales

El desarrollo de los tres proyectos incluidos en este Reporte de Formación Complementaria permitió consolidar un conjunto de habilidades fundamentales en el diseño analógico, entre las que destacan el análisis de problemas bajo restricciones reales, la toma de decisiones técnicas fundamentadas y la validación progresiva de soluciones a través de múltiples iteraciones de diseño. A lo largo de estos trabajos se enfrentaron retos asociados a la implementación física, la integración de bloques y la evaluación del comportamiento dinámico de los sistemas, lo que fortaleció un criterio de diseño orientado a resultados. Como resultado, se desarrolló una metodología estructurada y un entendimiento más profundo del comportamiento eléctrico de los circuitos, los cuales son directamente transferibles al ámbito profesional, particularmente en el diseño de sistemas electrónicos complejos donde factores como ruido, estabilidad, parásitos y desempeño global son críticos.

De manera adicional, una de las aportaciones más relevantes derivadas de estos proyectos fue la publicación de un artículo científico en IEEE [1], en el cual se presentan y validan los resultados de una de las arquitecturas propuestas. La experiencia de redactar el artículo, someterlo a proceso de revisión por pares y presentar el trabajo en un congreso internacional permitió fortalecer competencias en comunicación técnica, documentación rigurosa y validación externa del diseño, consolidando así la conexión entre el trabajo académico y estándares profesionales de investigación y desarrollo.

Finalmente, la formación adquirida a través de estos proyectos refuerza una manera de abordar el diseño centrada en la coherencia entre teoría, análisis y validación práctica, así como en la capacidad de evaluar diferentes alternativas mediante iteraciones sucesivas hasta converger en soluciones óptimas. Este enfoque resulta especialmente relevante en el entorno laboral, donde el diseño de circuitos requiere balancear múltiples restricciones y garantizar resultados consistentes.

En el contexto específico de mi trabajo como ingeniero de diseño electrónico de PCBs en Intel, estos conocimientos se traducen directamente en una mejor capacidad para enfrentar problemas relacionados con integridad de señal, distribución de potencia, acoplamientos parásitos y estabilidad del sistema. La metodología basada en análisis, simulación y validación iterativa permite identificar riesgos desde etapas tempranas, optimizar decisiones de diseño y reducir retrabajos, lo cual es fundamental en el desarrollo de plataformas de alto desempeño. De esta manera, la formación en diseño de circuitos integrados analógicos aporta herramientas clave que fortalecen el desempeño en el diseño electrónico a nivel de sistema.

5. Referencias Bibliográficas

[1] C. Rivera-Escobar, F. Silva-Del-Rosario, M. Silva and I. Padilla-Cantoya, "Multiple stage capacitor multiplier using dual-output differential amplifiers," 2013 IEEE 4th Latin American Symposium on Circuits and Systems (LASCAS), Cusco, Peru, 2013, pp. 1-3, doi: 10.1109/LASCAS.2013.6519076.

6. Apéndices

- A1 M3 PF – Filtro rechaza banda con girador y multiplicador de capacitancia.
- A2 M3 PF – Integración de un PLL completo.
- A3 PF – Multiplicador de capacitancia multietapa utilizando amplificadores diferenciales de doble salida (Multiple stage capacitor multiplier using dual-output differential amplifiers).

6.1. Filtro rechaza banda con girador y multiplicador de capacitancia.

Introducción

En el presente reporte se describe el desarrollo del proyecto final que consiste en la realización de un filtro rechazabanda, como está compuesto, resultado de las simulaciones y el desarrollo del layout. Se agregaron todos los esquemáticos y la mayor cantidad de capturas posibles para hacer más clara cada explicación.

Circuito con Elementos Pasivos

En la figura 1 se muestra el circuito representativo de un filtro pasabanda con elementos pasivos que se utilizó para este proyecto.

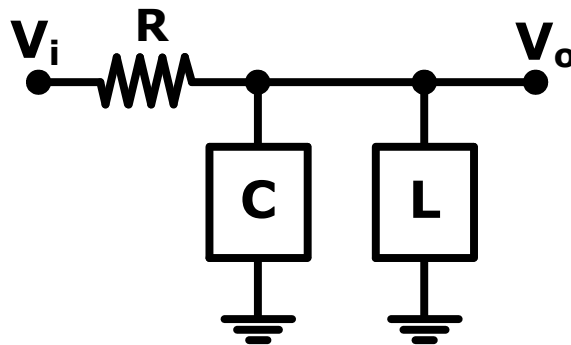


Fig. 1 Representación circuito esquemático filtro rechazabanda.

El objetivo es sustituir el valor de capacitancia por un circuito multiplicador de capacitancia y el inductor por un circuito “girador”, los cuales serán descritos a continuación.

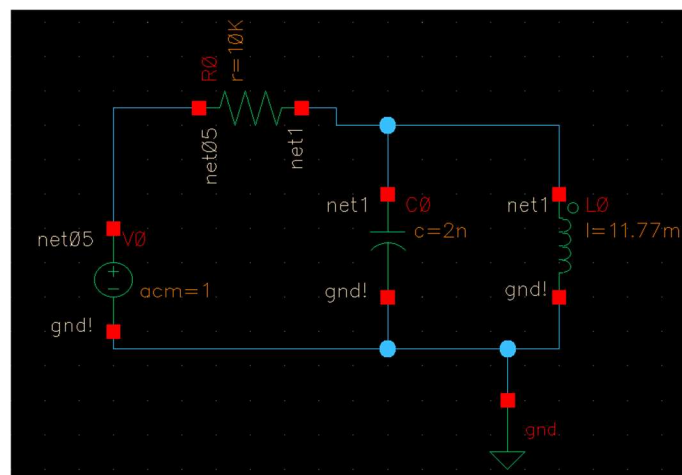


Fig. 2 Esquemático del circuito RLC en el simulador CADENCE

Multiplicador de Capacitancia

Un multiplicador de capacidad imita a un condensador de capacidad diferente que los condensadores integrados. Esto es útil en las fuentes de alimentación DC donde el voltaje de ondulación muy baja (bajo carga) es de suma importancia, como por ejemplo en la clase A- amplificadores.

Aquí la capacidad del condensador a multiplicar se multiplica por la ganancia de corriente e imita la respuesta de un capacitor sobre un determinado rango de frecuencia.

En la figura 2 se muestra la representación del circuito esquemático del multiplicador de capacitancia utilizado en el presente diseño.

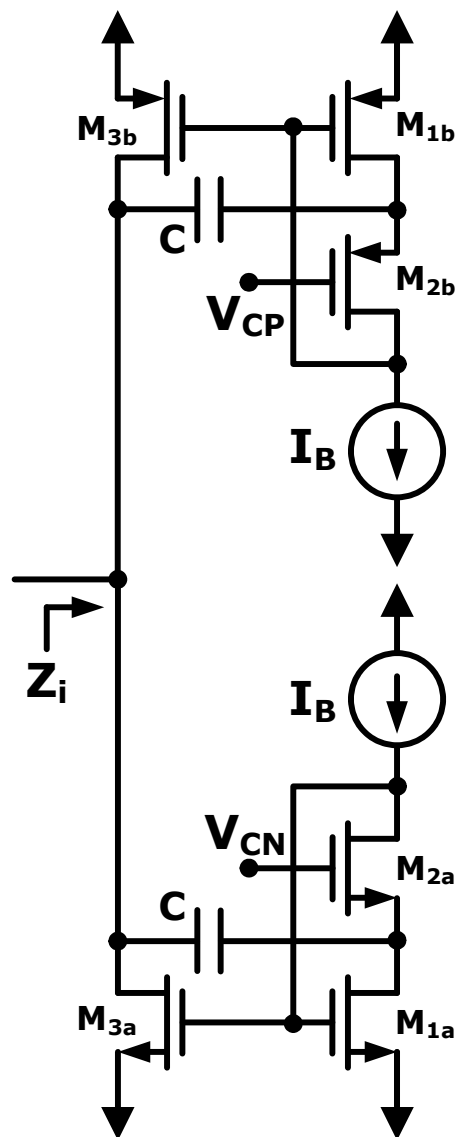


Fig. 4. Circuito esquemático del multiplicador de capacitancia.

Como puede observarse, el circuito multiplicador trabajó con un valor de corriente I_b la cual se espejea al lado izquierdo con una amplificación de 9 veces para entonces poder obtener un valor de capacitancia de 10 veces el valor de capacitancia pequeño.

Cálculo del dimensionamiento de los transistores.

Se realizó el dimensionamiento de acuerdo a las siguientes especificaciones:

$$I_d = 100 \mu A$$

$$V_{dsat} = 0.2 V$$

$$K' (U_o * C_{ox})_p = 38 \mu A/V^2$$

$$K' (U_o * C_{ox})_n = 110 \mu A/V^2$$

$$L = 1.2 \mu$$

$$V_{dd} = -V_{ss} = 2 V$$

$$C = 100 pF$$

Aplicando la ecuación para los transistores en saturación:

$$I_d = \frac{1}{2} \mu C_{ox} \left(\frac{W}{L} \right) (V_{gs} - V_{th})^2$$

Despejando y sustituyendo K_n , K_p y utilizando dimensiones mínimas en longitud se tiene:

$$W_{n1a,2a} = 2 (100 \mu)(1.2 \mu) / (110 \mu A/V^2)(0.04)$$

$$W_{n1a,2a} = 54.54 \mu \quad \text{Ancho para los transistores N}$$

$$W_{p1b,2b} = 2 (100 \mu)(1.2 \mu) / (38 \mu A/V^2)(0.04)$$

$$W_{p1b,2b} = 157.894 \mu \quad \text{Ancho para los transistores P}$$

Estas son las dimensiones correspondientes a la rama izquierda del circuito, la cual es la que maneja el bajo valor de corriente. Para la rama de alto manejo de corriente se tiene:

$$W_{n3a} = 54.54 \mu * (9)$$

$$W_{n3a} = 490.86 \mu$$

$$W_{p3b} = 157.894 \mu * (9)$$

$$W_{p3b} = 1421.046 \mu$$

Dado que la relación es de 9 veces con respecto a I_b .

En la figura 3 se presenta el circuito esquemático en Cadence con las dimensiones antes descritas solamente presentadas de forma diferente ya que se utilizo el multiplicador a efectos de tener un buen arreglo en la realización del layout. También se muestran los transistores *dummies* que se utilizaron para proteger el circuito y dar una mejor simetría.

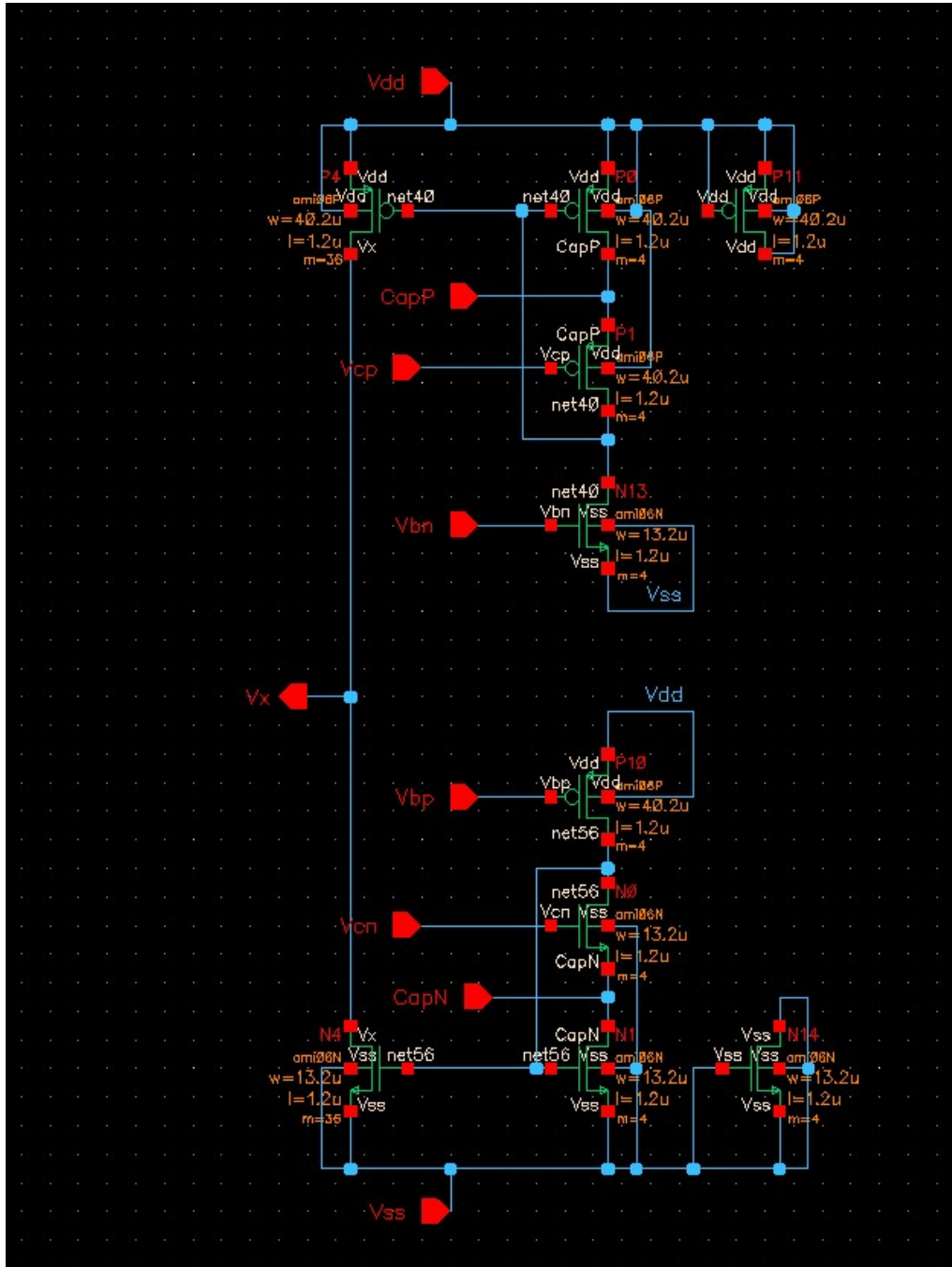


Fig. 5 Circuito esquemático en Cadence del multiplicador de capacitancia.

En las siguientes graficas se muestra la comparación de la respuesta del multiplicador de capacitancia contra la respuesta del circuito con un simple capacitor.

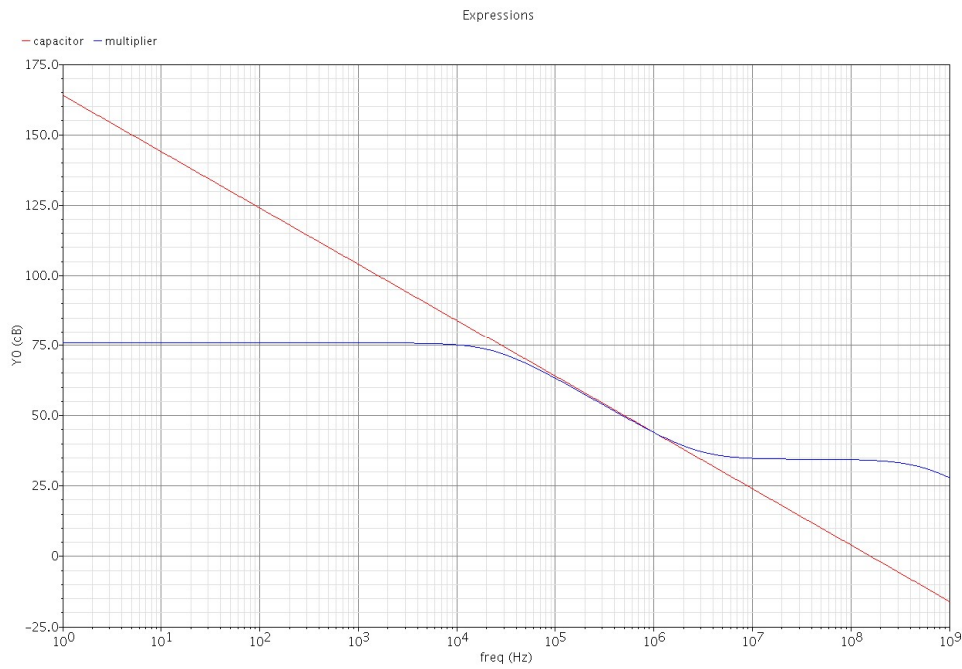


Fig. 6 Grafica de comparación de multiplicador de capacitancia y capacitor

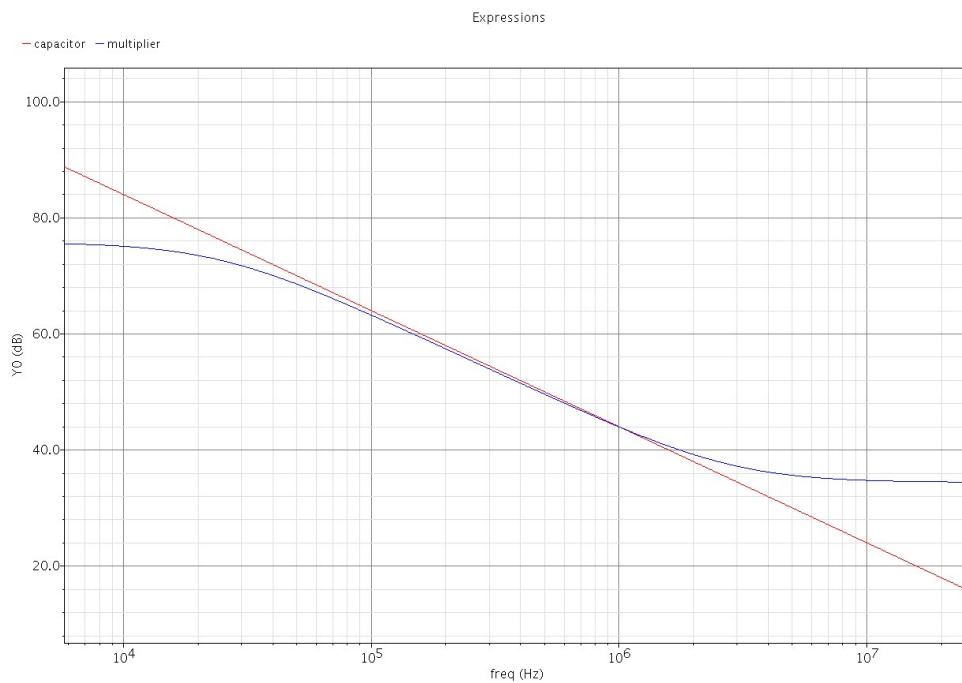


Fig. 7 Zoom aplicado en el área de operación del multiplicador de capacitancia

Layout del circuito multiplicador de capacitancia

Para realizar el diseño físico layout del circuito multiplicador de capacitancia, lo primero que se realizó fue analizar detalladamente el esquemático para posteriormente asignar letras a los transistores y números a las conexiones a manera de facilitar su representación y poder realizar un buen acomodo preliminar a nivel borrador.

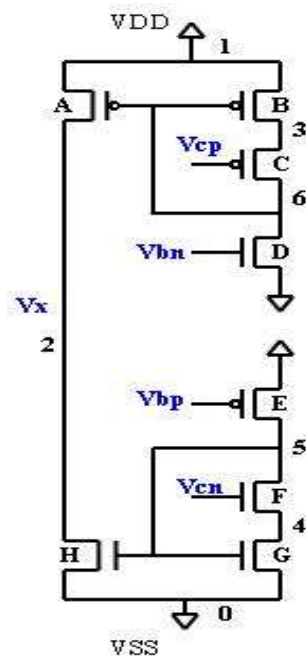


Fig. 8 Muestra el esquemático con letras y números de los transistores y conexiones.

Posteriormente se utilizó la técnica del diagrama de barras para idear la manera de colocar los transistores, de manera que puedan compartir terminales para así facilitar el ruteo y ocupar menos área. En el siguiente diagrama se ejemplifica el uso de la técnica para los transistores tipo p, en nuestro caso, siendo idéntico para el tipo n, dado que el circuito es simétrico.

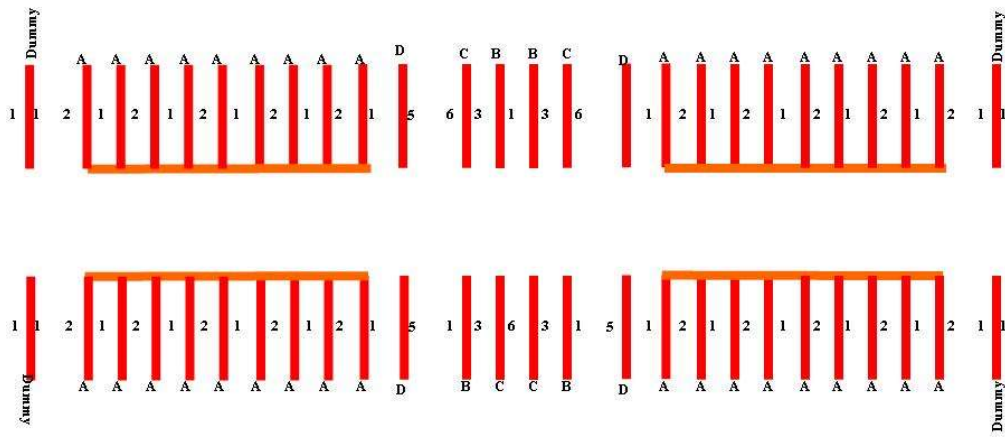


Fig. 9 Diagrama de barras de los transistores tipo p.

En dicho diagrama se observa también como fueron implementadas técnicas de diseño analógico, tales como interdigitación y centroide común, utilizadas para mejorar el “matching” entre transistores, causado por variaciones en el proceso de fabricación.

En la figura siguiente se muestra el layout del circuito multiplicador de capacitancia.

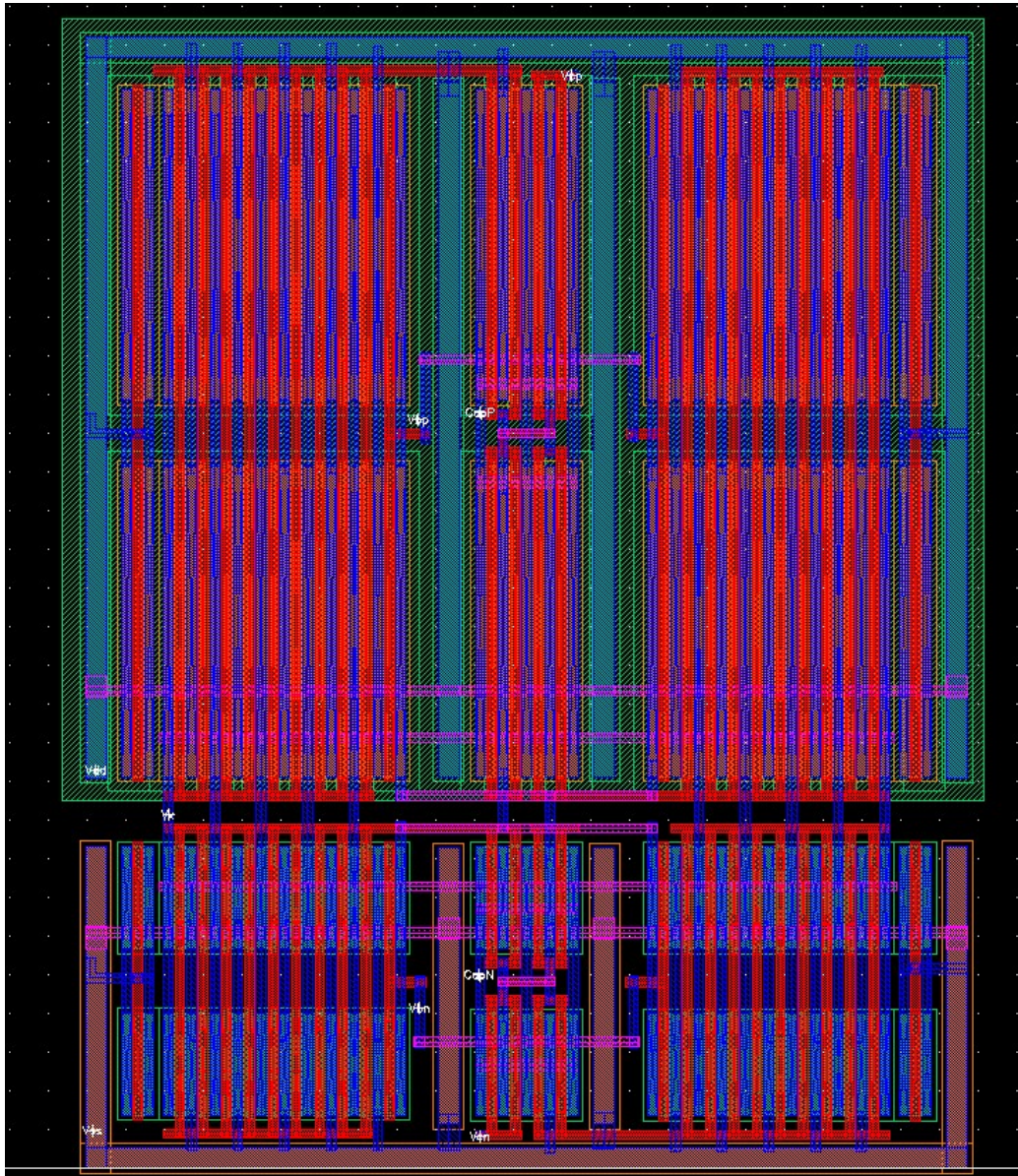


Fig. 10 Layout del multiplicador de capacitancia.

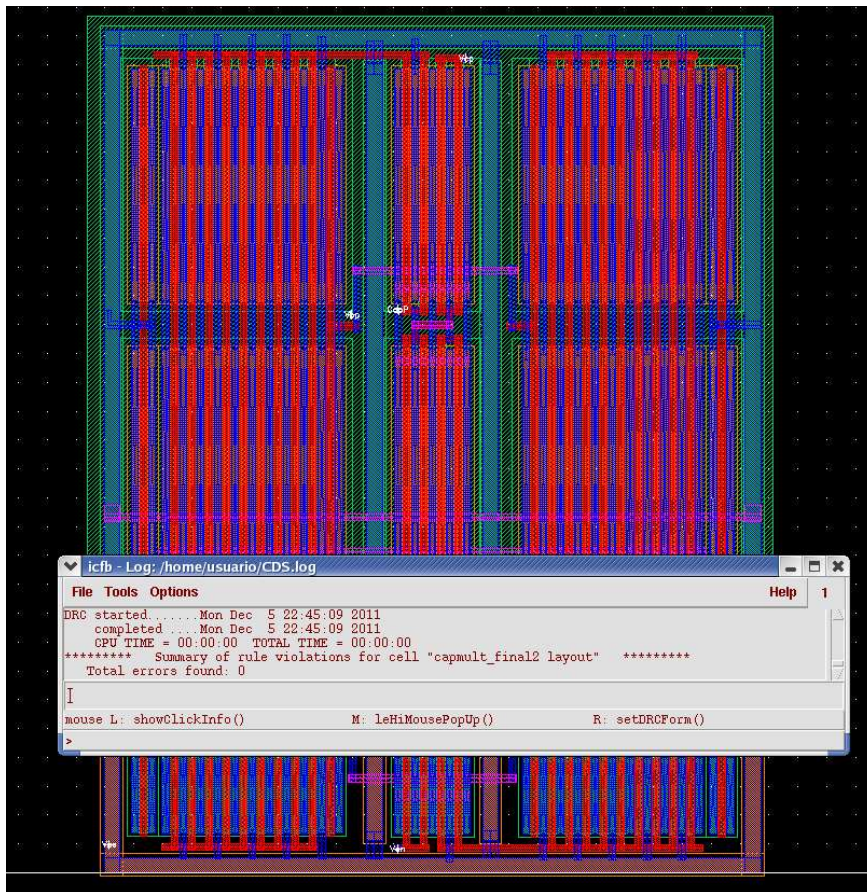


Fig. 11 Captura de mensaje de DRC limpio

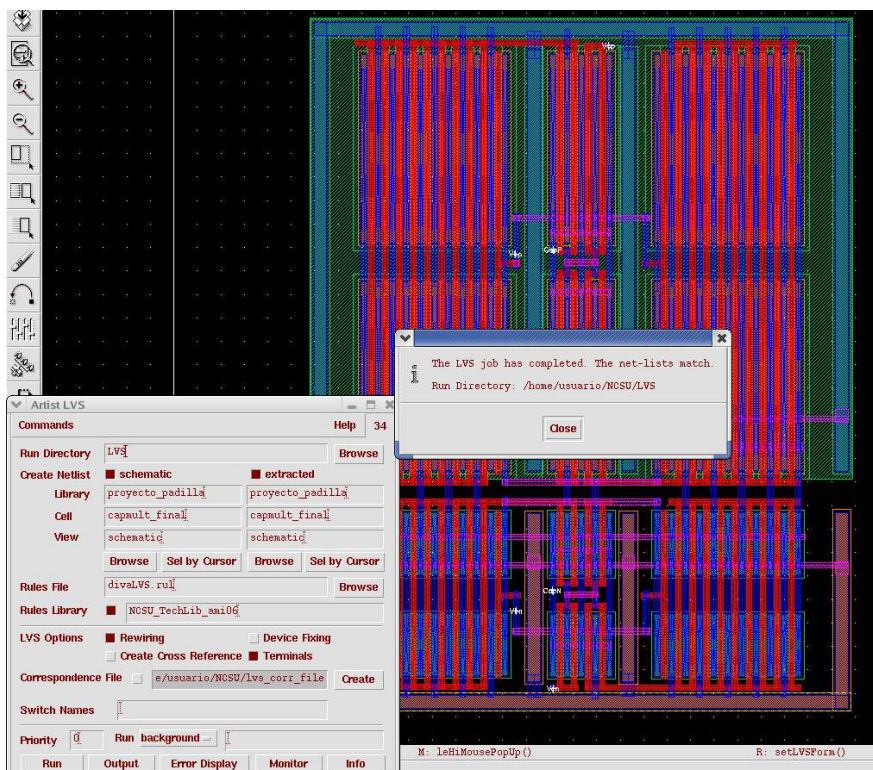


Fig. 12 Mensaje de LVS matching

Circuito Girador

Análisis del Circuito Girador

En la siguiente figura la configuración del circuito girador el cual se conforma por la interconexión de 2 OTAS las cuales generan las transconductancias que permitirán obtener la reactancia inductiva.

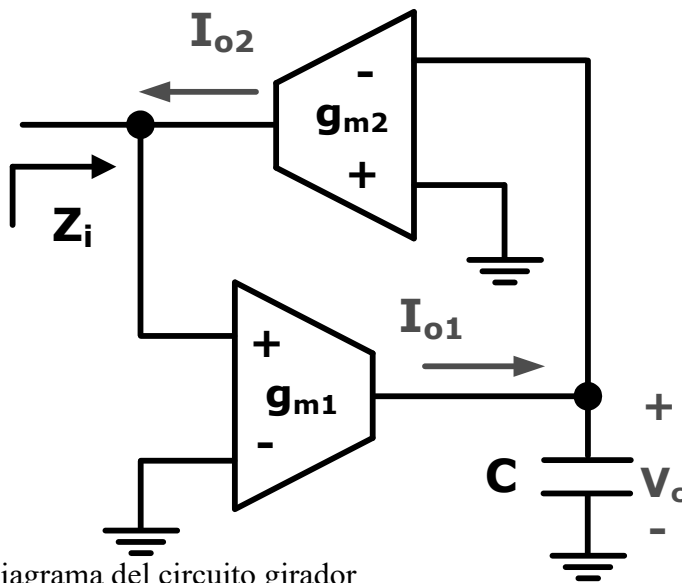


Fig. 13 Diagrama del circuito girador

Tomando el punto donde se presenta la impedancia de entrada:

$$Z_i = \frac{V_i}{I_{o2}} \quad \text{Pero } I_{o2} = g_{m2} g_{m1} / sC$$

Sustituyendo:

$$Z_i = \frac{V_i}{\frac{g_{m2} g_{m1}}{sC}}$$

$$L_s = Z_i = \frac{sC}{g_{m2} g_{m1}}$$

Reactancia capacitiva en función de las gm de los OTA's

Del análisis de punto de operación realizado al circuito esquemático del girador se obtuvieron las transconductancias de cada OTA, las cuales son:

$$gm_1 = 887.5 \mu$$

$$gm_2 = 957 \mu$$

Por lo que sustituyendo los resultados se tiene que:

$$L_s = Z_i = \frac{10pF}{(887.5u)(957u)}$$

$$L_s = 11.01 \mu H$$

Circuito Esquemático OTA

En la siguiente figura se muestra esquemático del OTA convencional utilizado como parte del circuito girador.

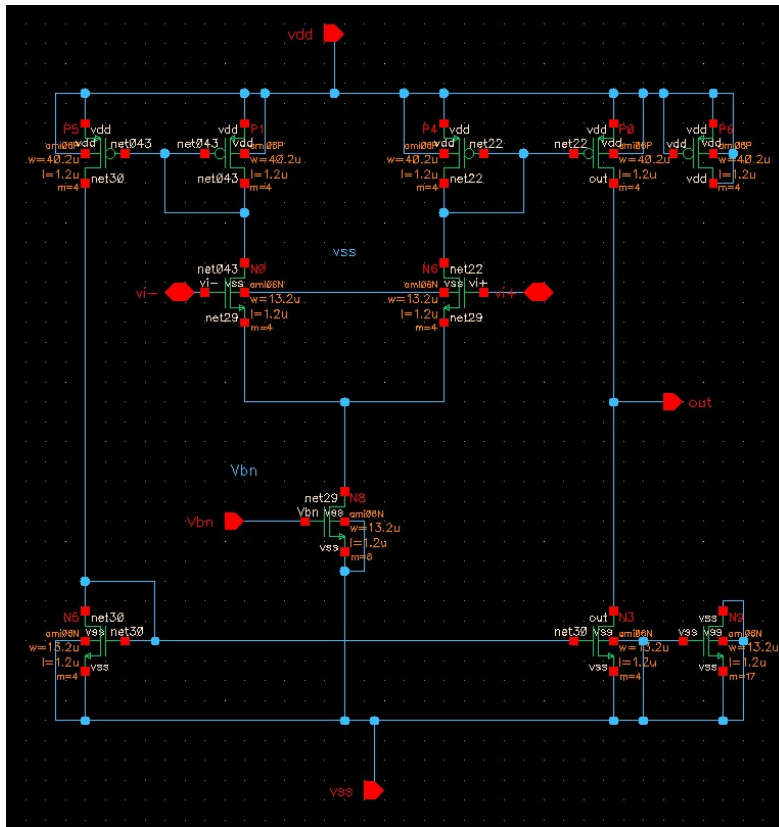


Fig. 14 Esquemático del OTA en la herramienta de simulación CADENCE

En la siguiente figura se muestra el circuito de ambos OTAS formando el girador una jerarquía arriba. Se muestra la interconexión de los OTAS igual al circuito esquemático presentado anteriormente, solamente que en este caso se dejó el pin para posteriormente conectar el capacitor.

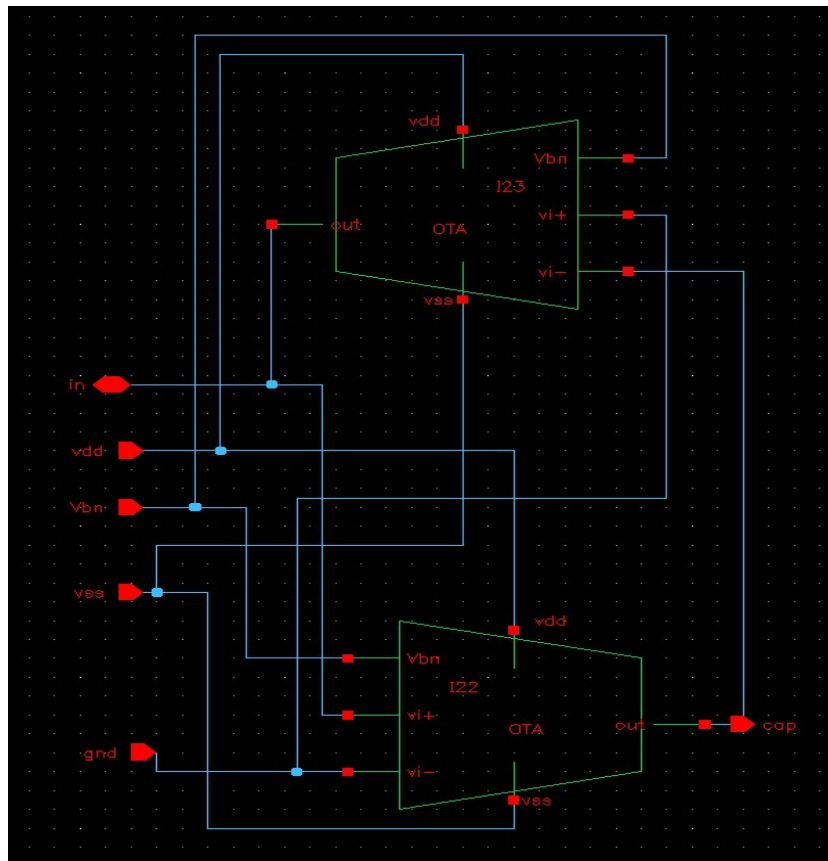


Fig. 15 Esquemático utilizado para el circuito girador

Este es el Test Bench utilizado para verificar el correcto funcionamiento del circuito girador en el cual únicamente se sustituye el elemento pasivo inductor por el girador.

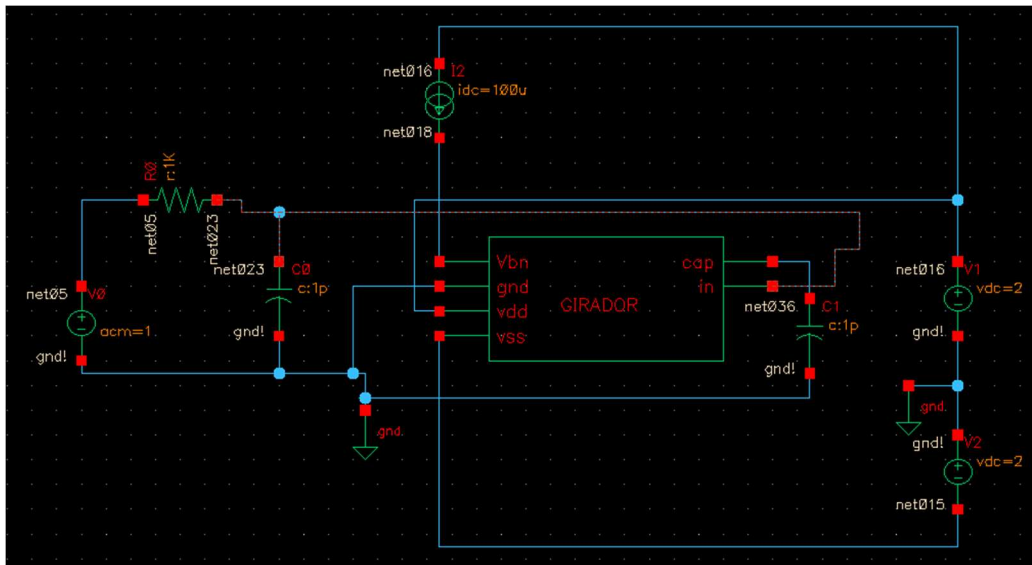


Fig. 16 Modelo Test Bench utilizado para simular el circuito

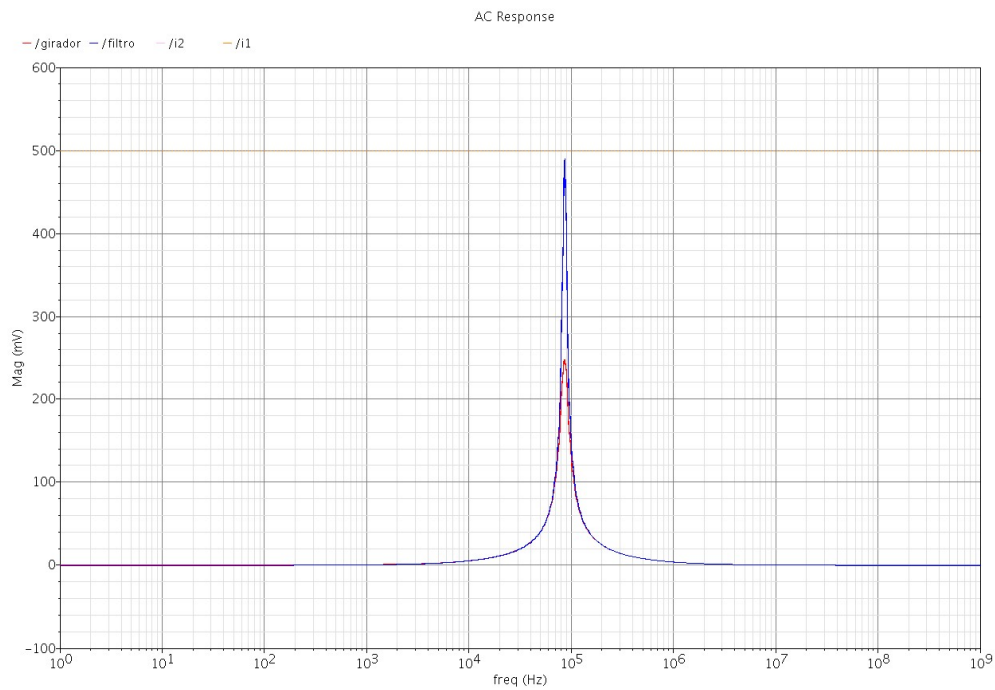


Fig. 17 Respuesta del circuito girador en frecuencia contra un filtro con elementos pasivos.

Layout del OTA

Para tener un mejor layout y tratar de minimizar efectos indeseados en la fabricación “mismatch”, se realizó el “match” entre los transistores marcados como aparece en la siguiente figura.

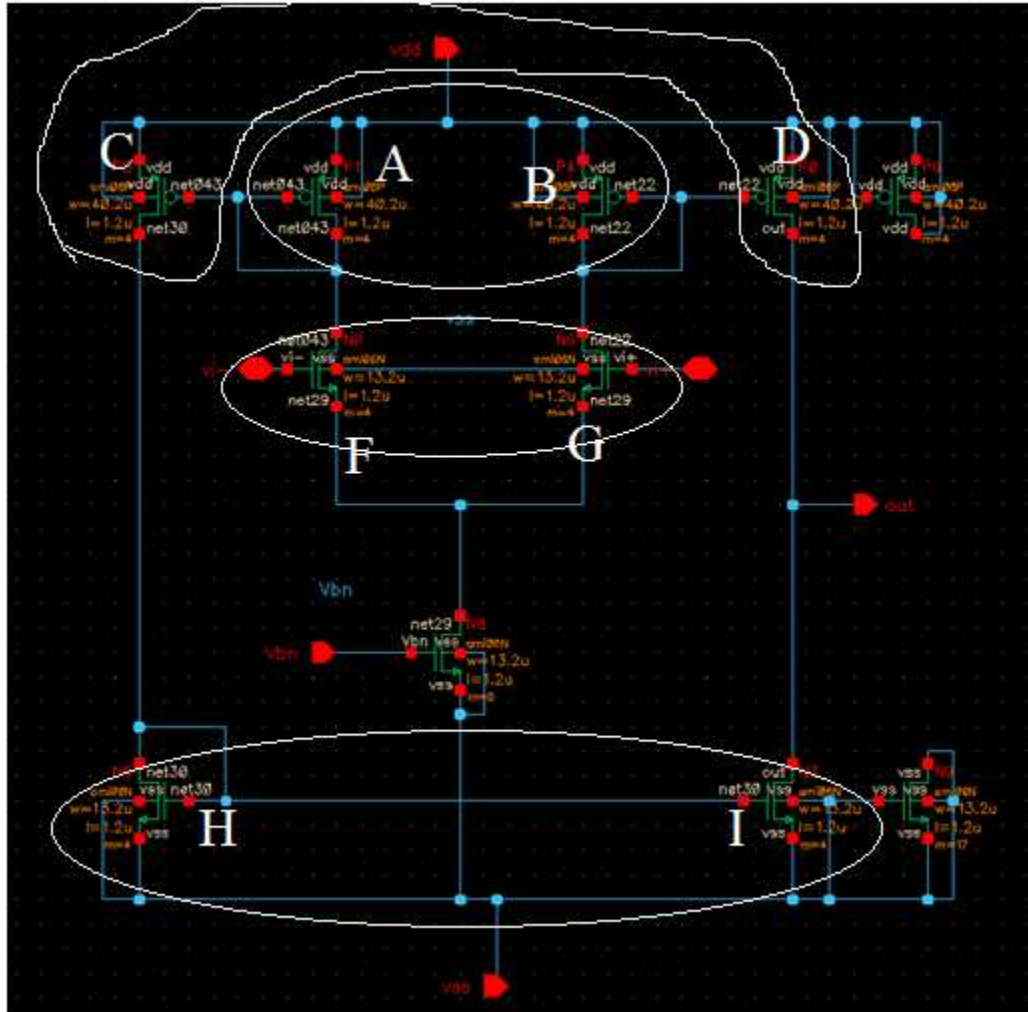


Fig. 18 Esquemático del OTA con letras para transistores y relaciones para matching

Dado el número y tamaño de los transistores, se decidió utilizar la técnica centroide común entre los transistores A, B, C y D y el arreglo quedó de la siguiente manera:

Para los transistores A y B:

A BB AA BB A

Para los transistores C y D:

D CC DD CC D

Para el par diferencial:

F GG FF GG F

Para los transistores I y H:

I HH II HH I

Para que al final se tuviera un arreglo total como se muestra:

AB	CD
PD	HI
Vbn	Td

Donde Td corresponde a los transistores Dummies. El layout del OTA convencional se muestra en la siguiente figura donde se puede apreciar el acomodo de los transistores previamente explicado y rellenado con transistores dummies a fin de proteger el layout y tener una mejor simetría.

Layout del OTA Convencional

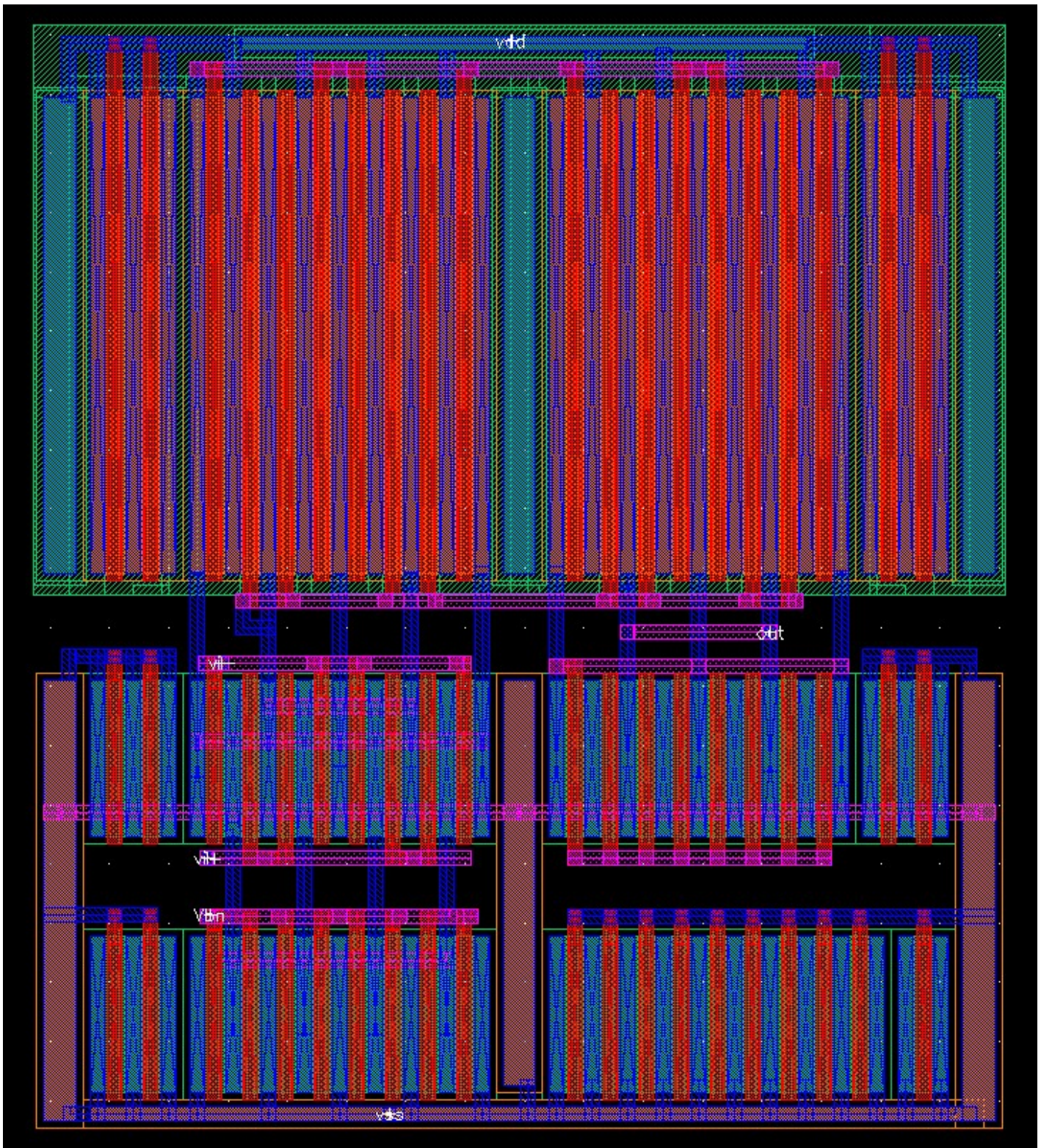


Fig. 19 Vista completa del layout del OTA

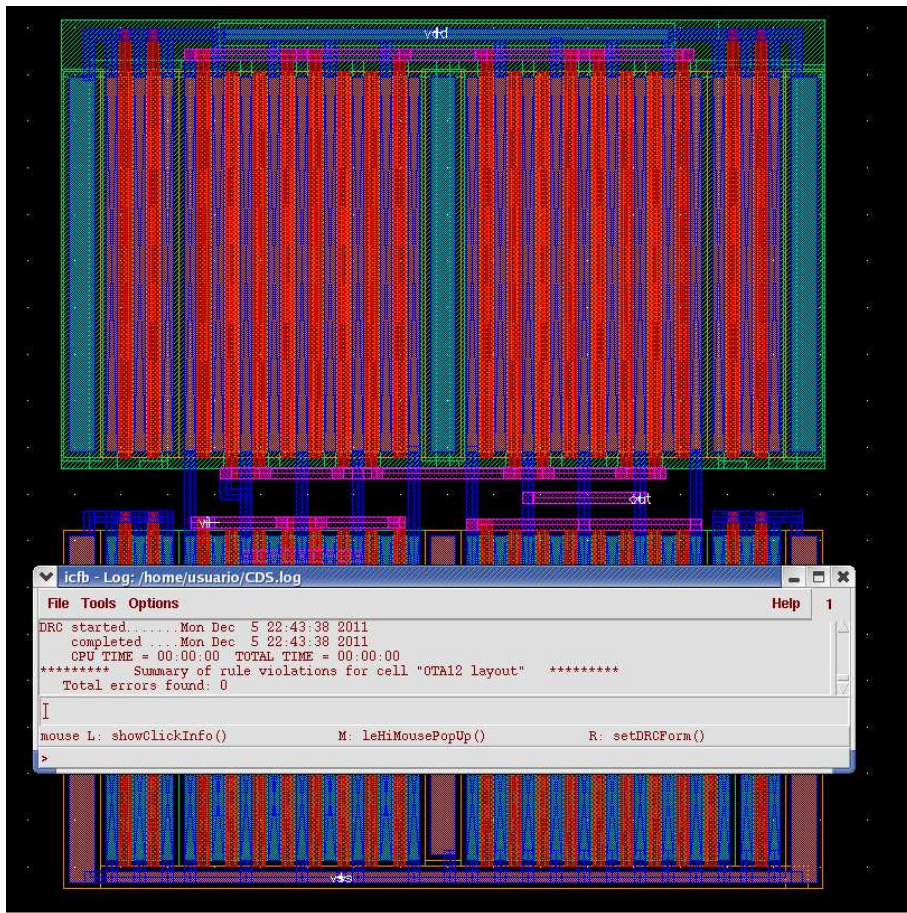


Fig. 20 Captura de mensaje de DRC limpio

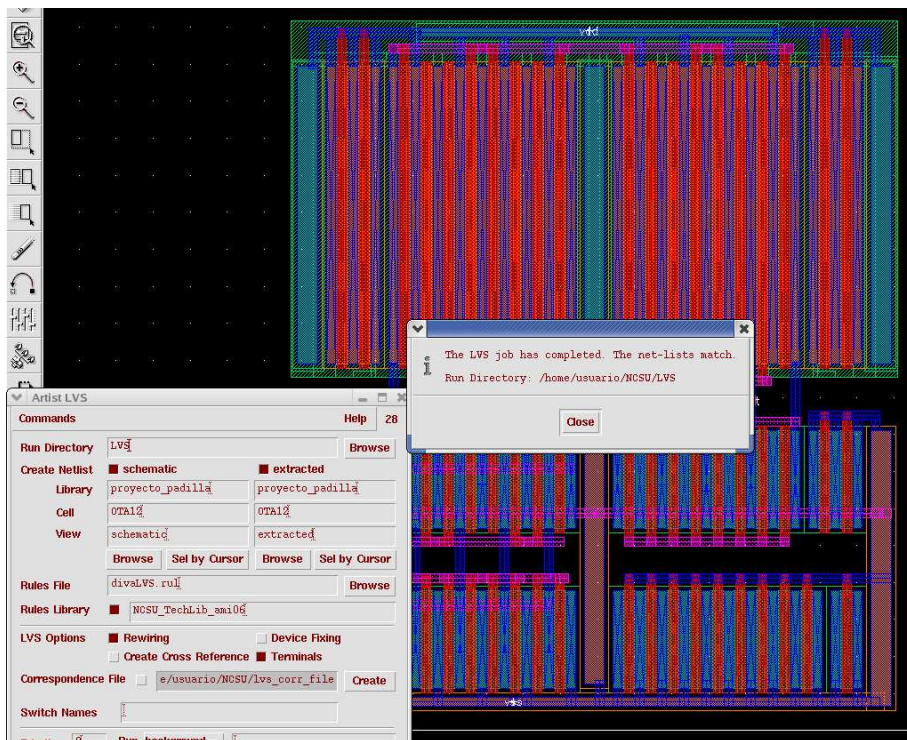


Fig. 21 Mensaje de LVS matching

Layout del circuito Girador.

Aquí se muestra el layout de los dos OTA's formando el circuito girador. Uno de ellos se ha volteado de tal manera que se pudieran obtener y una sola región de n-well, por lo que dicha región quedo concentrada en la parte media y los transistores tipo N quedaron en los extremos. Dicho acomodo también permite una mejor interconexión entre los demás elementos del circuito completo (filtro).

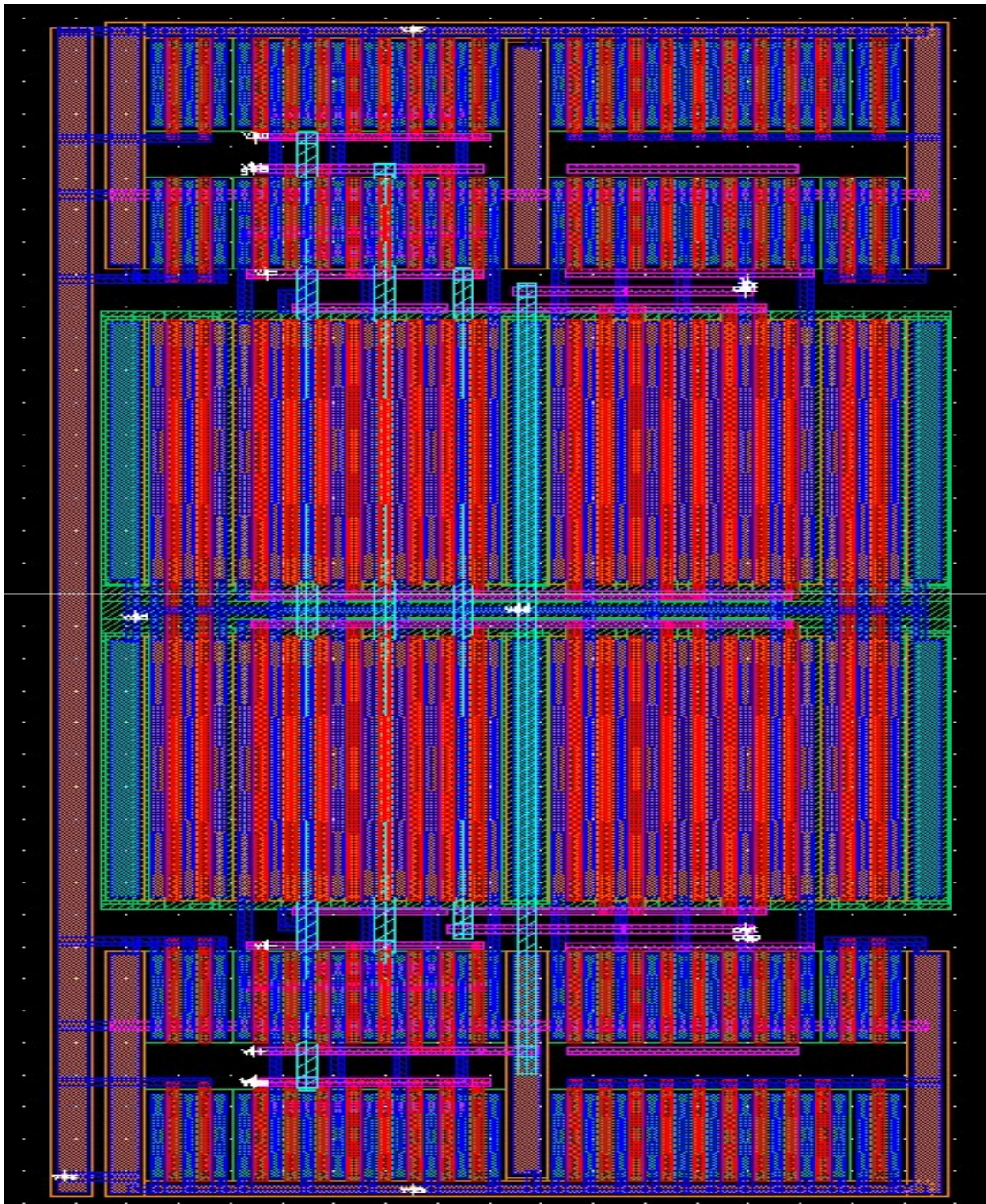


Fig. 22 Vista completa del circuito girador compuesto de dos OTA'S

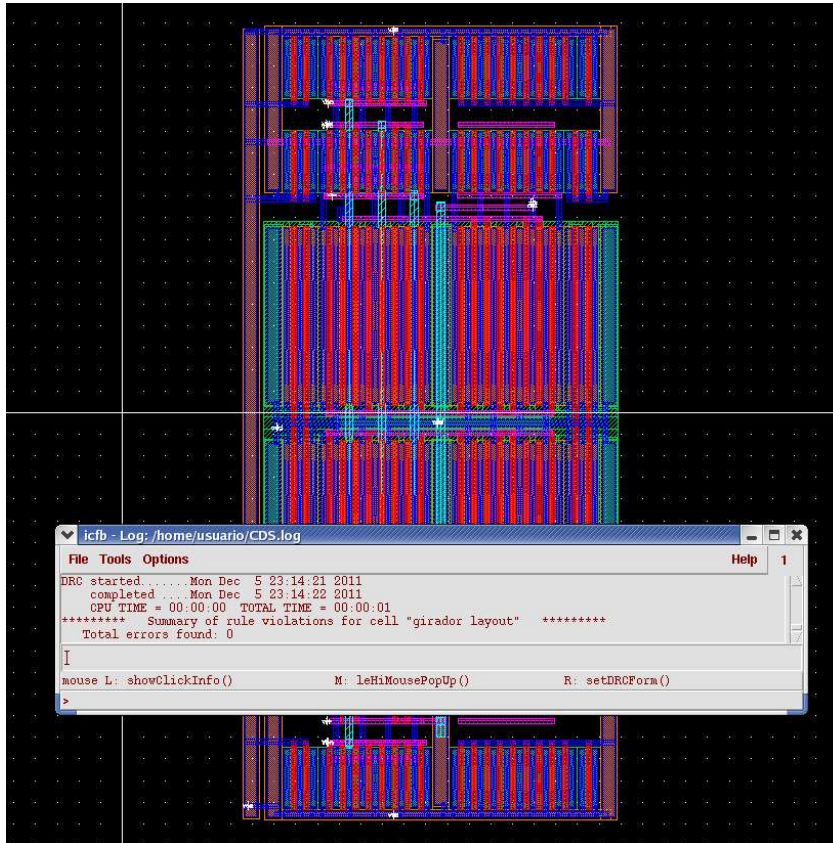


Fig. 23 Captura de mensaje de DRC limpio

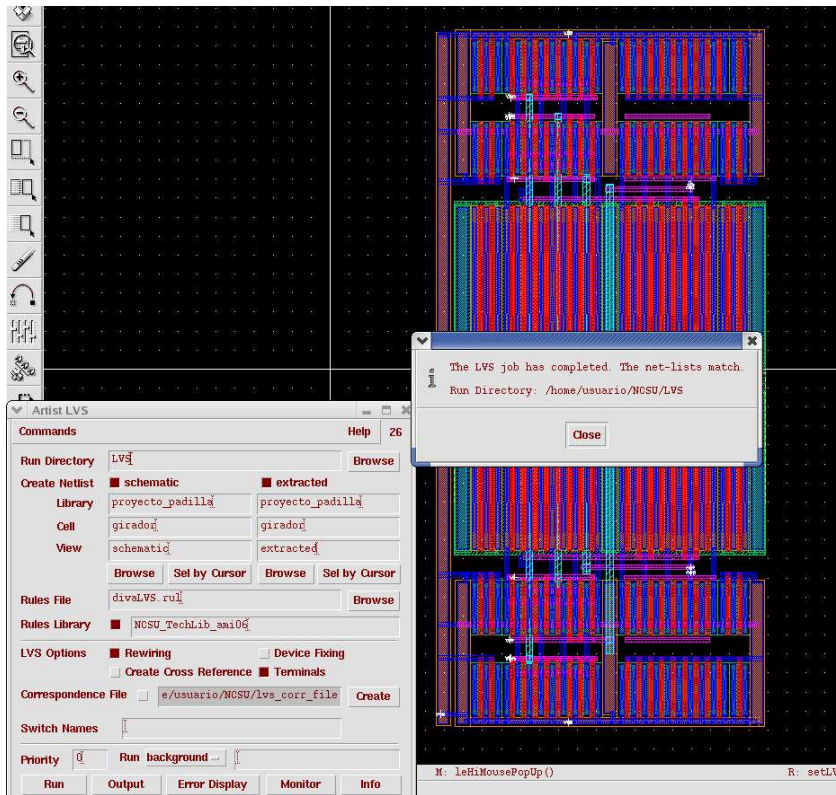


Fig. 24 Mensaje de LVS matching

Función de Transferencia del filtro Rechazabanda

Dado el siguiente circuito, para la obtención de la función de transferencia primeramente se procede a obtener la expresión para Z , la cual corresponde a la suma de las reactancias inductivas y capacitivas.

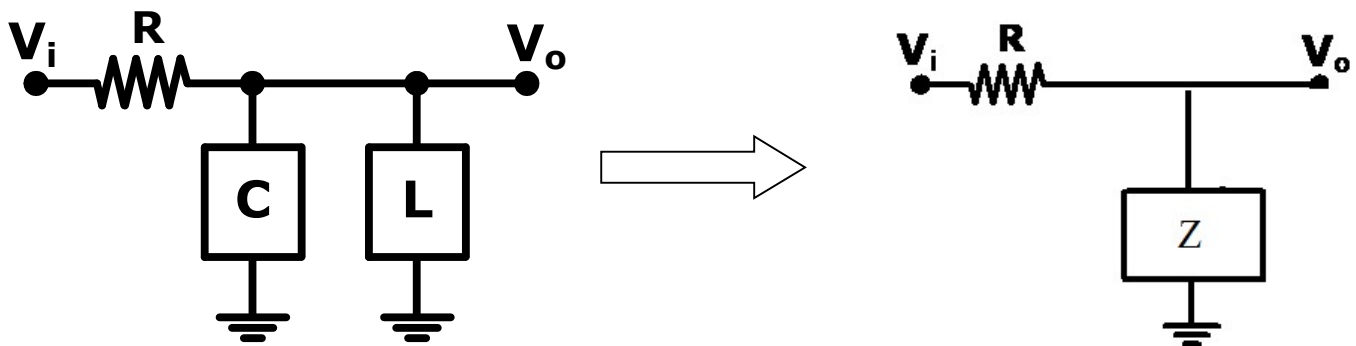


Fig. 25 Diagrama de representación para la función de transferencia de filtro RLC

Las reactancias inductiva y capacitiva están dadas por:

$$X_C = \frac{1}{sC} \quad \text{reactancia capacitiva}$$

$$X_L = sL \quad \text{reactancia inductiva}$$

La suma en paralelo de ambas reactancias dan como resultado el valor de Z, por lo que:

$$\frac{1}{Z} = \frac{1}{\frac{1}{sC} + sL}$$

Tomando como factor a sC se tiene:

$$\frac{1}{Z} = sC + \frac{1}{Ls}$$

$$Z = \frac{1}{\frac{1}{Ls} + sC}$$

$$Z = \frac{1}{\frac{s^2LC + 1}{Ls}}$$

$$Z = \frac{1}{\frac{s^2LC + 1}{Ls}}$$

$$Z = \frac{1}{s^2LC + 1} \quad \text{Impedancia en serie con la resistencia.}$$

Para obtener una expresion del voltaje de entrada en función del voltaje de salida para que posteriormente se obtenga la función de transferencia, se aplica división de voltaje en Z:

$$V_{out} = \frac{Z}{R + Z} V_{in}$$

$$\frac{V_{out}}{V_{in}} = \frac{\frac{1}{s^2LC + 1}}{R + \frac{1}{s^2LC + 1}}$$

$$\frac{V_{out}}{V_{in}} = \frac{\frac{1}{s^2 LC + 1}}{\frac{(s^2 RLC + 1) + Ls}{s^2 LC + 1}}$$

$$\frac{V_{out}}{V_{in}} = \frac{(s^2 LC + 1)(Ls)}{((s^2 RLC + 1) + (Ls))(s^2 LC + 1)} \dots\dots\text{Eliminando términos:}$$

$$\frac{V_{out}}{V_{in}} = \frac{Ls}{(s^2 RLC + 1) + Ls}$$

Función de Transferencia del Circuito

El esquemático que se obtiene del instancia miento de las celdas descritas anteriormente, el multiplicador de capacitancia, así como el girador se observa a continuación:

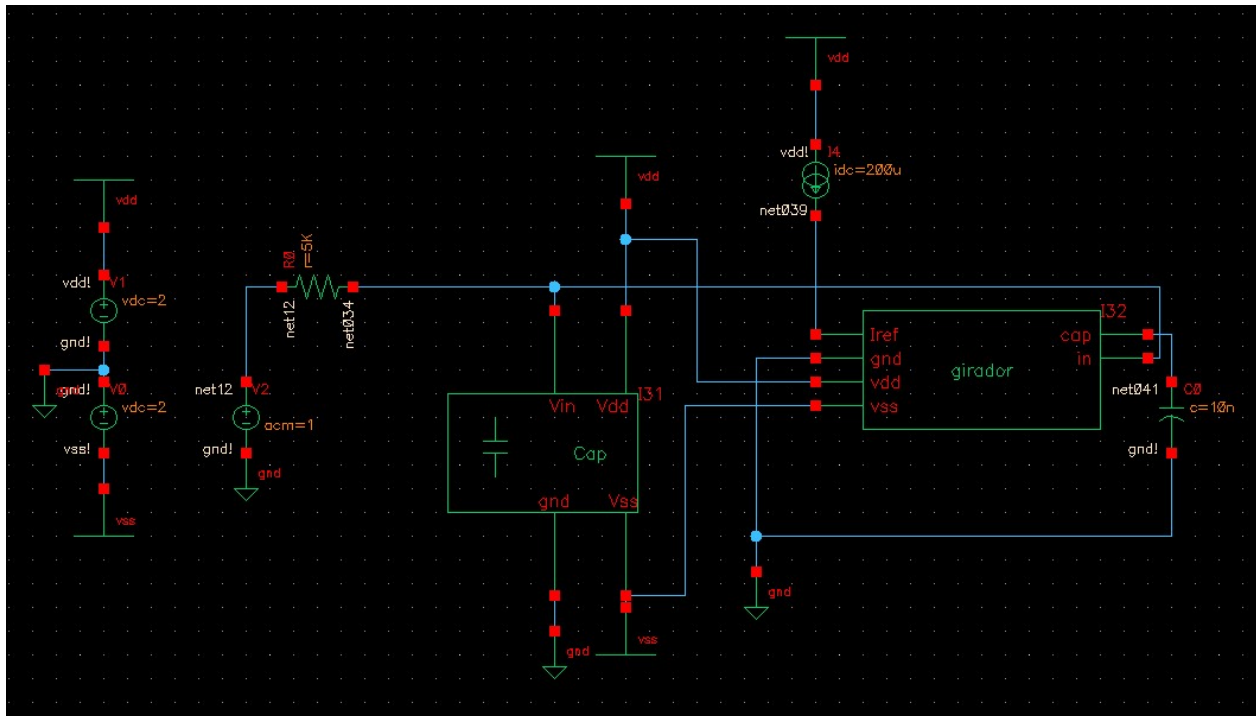


Fig. 26 Modelo Test Bench para simular el circuito final

Además, se puede ver una grafica comparativa del desempeño en frecuencia tanto del circuito diseñado con el girador y el multiplicador de capacitancia, como del circuito ideal formado con elementos pasivos ideales, un inductor un capacitor y una resistencia. En dicha grafica se puede observar el correcto comportamiento del circuito diseñado que opera en la frecuencia para la cual fue caracterizado.

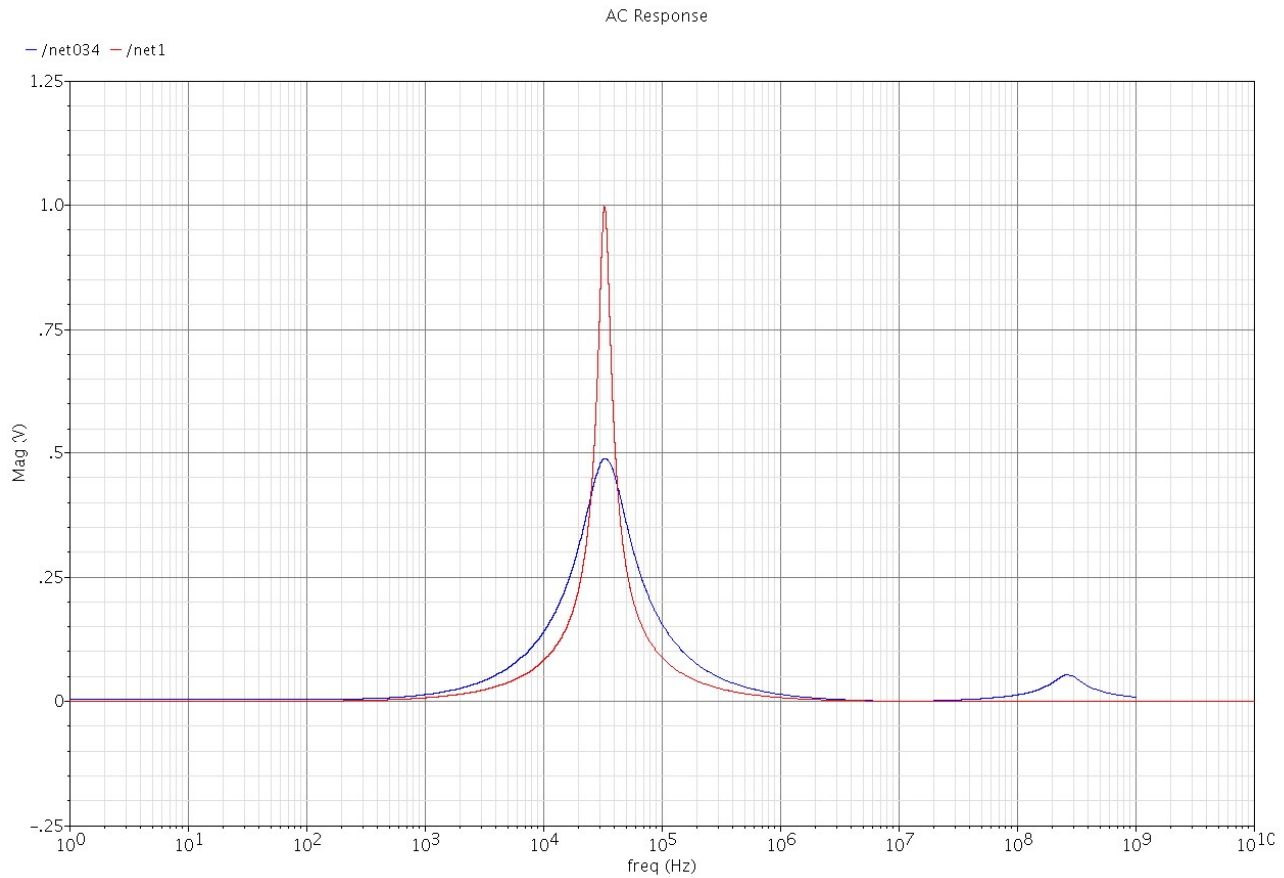
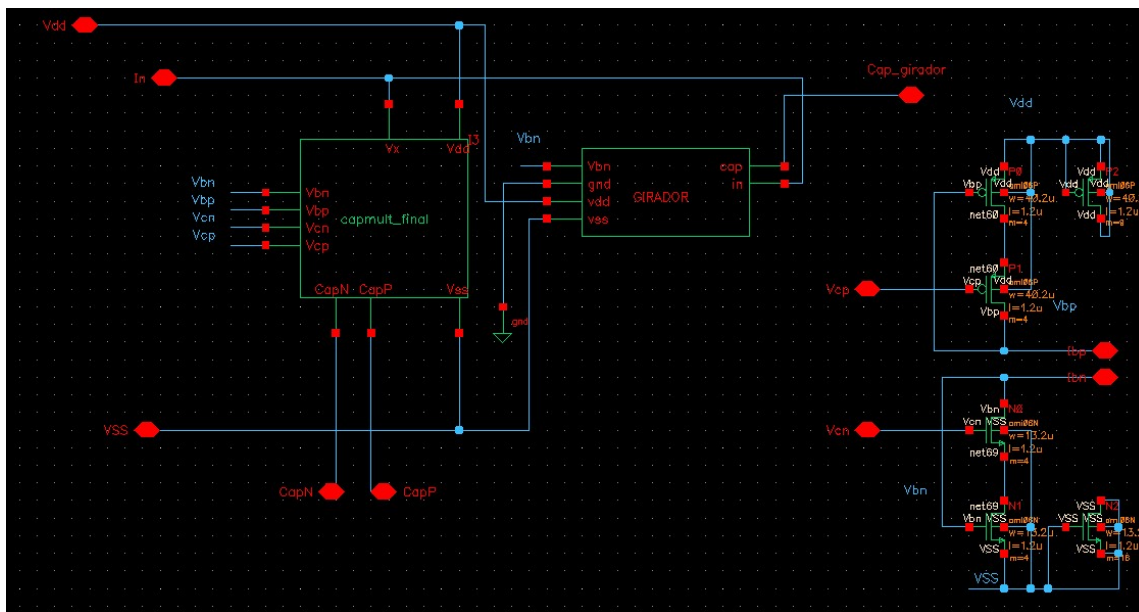


Fig. 27 Grafica que muestra la comparación de la respuesta del circuito RLC contra el circuito diseñado.

Primero, se ejemplifica en el esquemático, la instancia de los dos bloques analizados previamente, el circuito girador y el multiplicador de capacitancia, aunados a estos se encuentran unos transistores de polarización que suministran el voltaje bias requerido en cada etapa del sistema.



Dado que cada bloque, al momento de realizar el layout, fue dimensionado de manera que pudiera coincidir con el otro, la realización del nivel jerárquico más alto resultó sencilla, puesto que solo se tuvo que instanciar los layouts de los dos bloques, y colocar en el espacio libre los transistores de

polarización, quedando el layout de la siguiente manera:

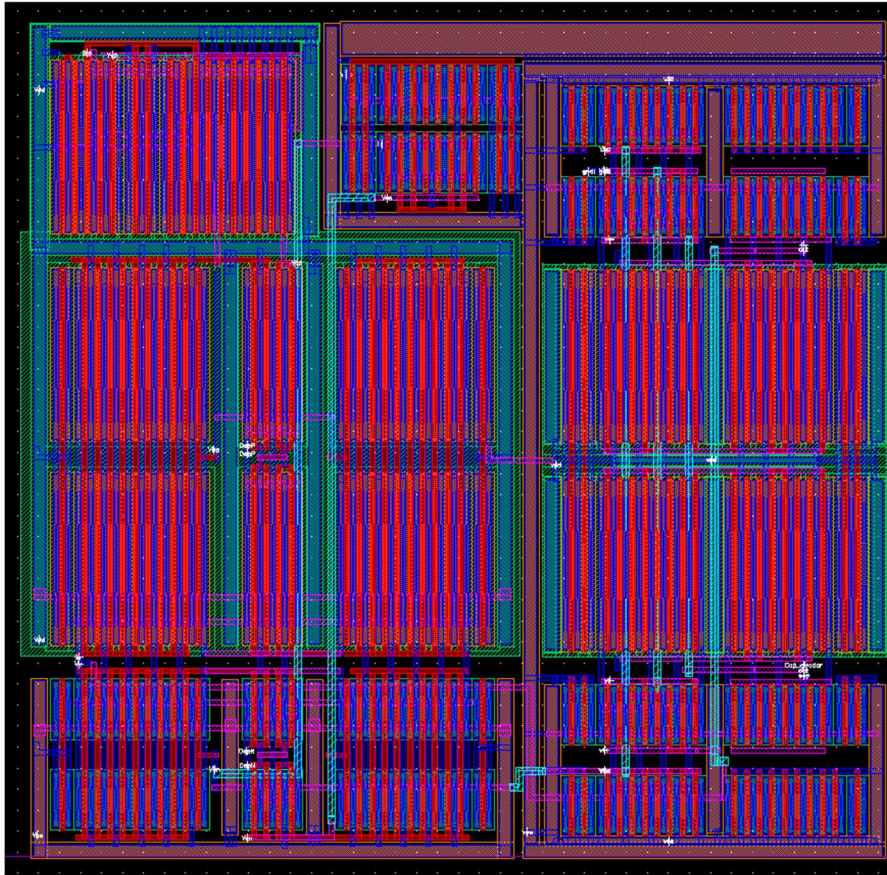


Fig. 29 Layout del nivel TOP del circuito.

Además se anexa una imagen ilustrativa de la vista extraída del nivel top, donde se aprecian con mayor claridad las interconexiones, así como las capacitancias y resistencias parasitas que resultan de la implementación del layout

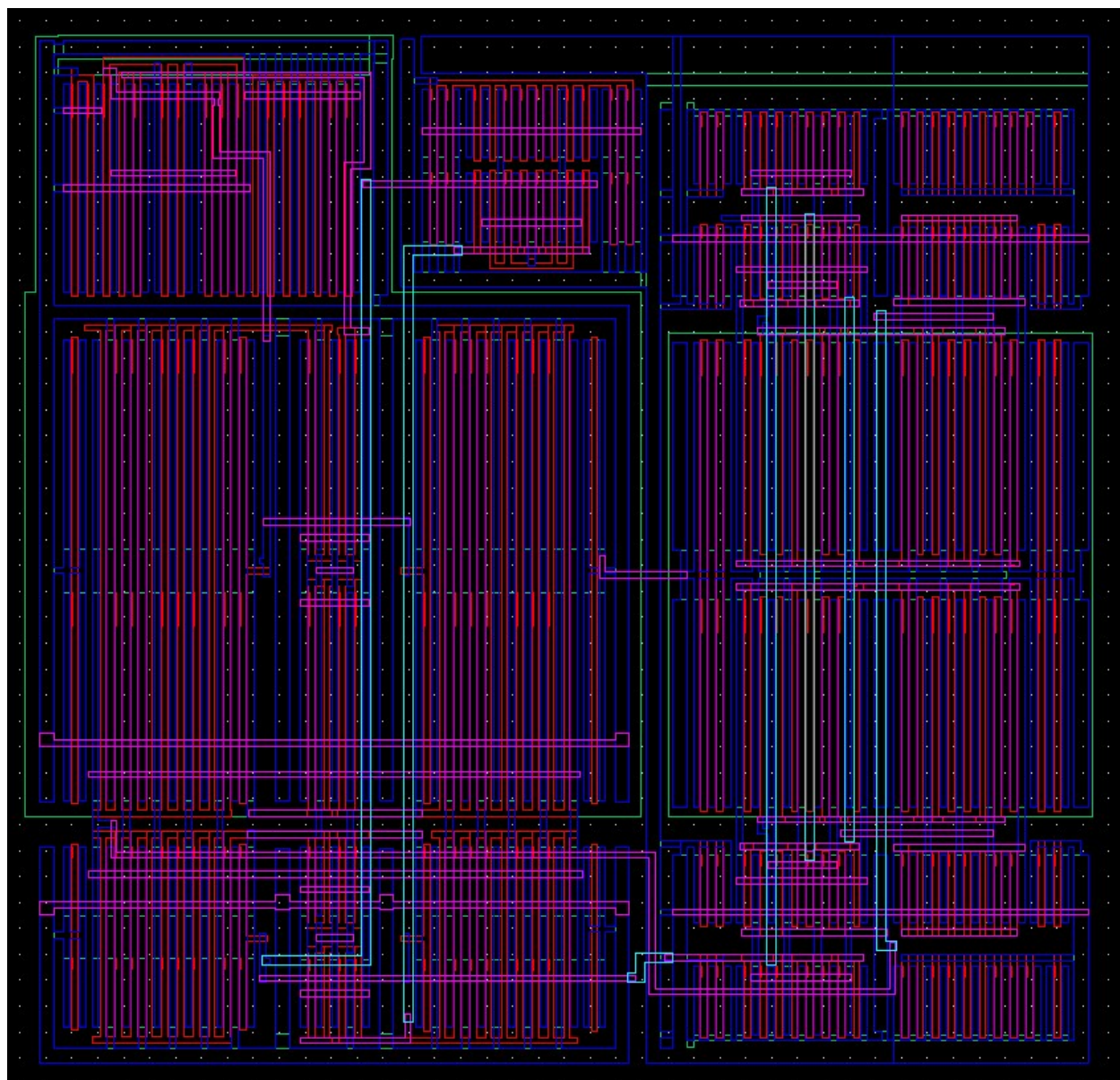


Fig. 30 Vista extraída del nivel TOP del layout

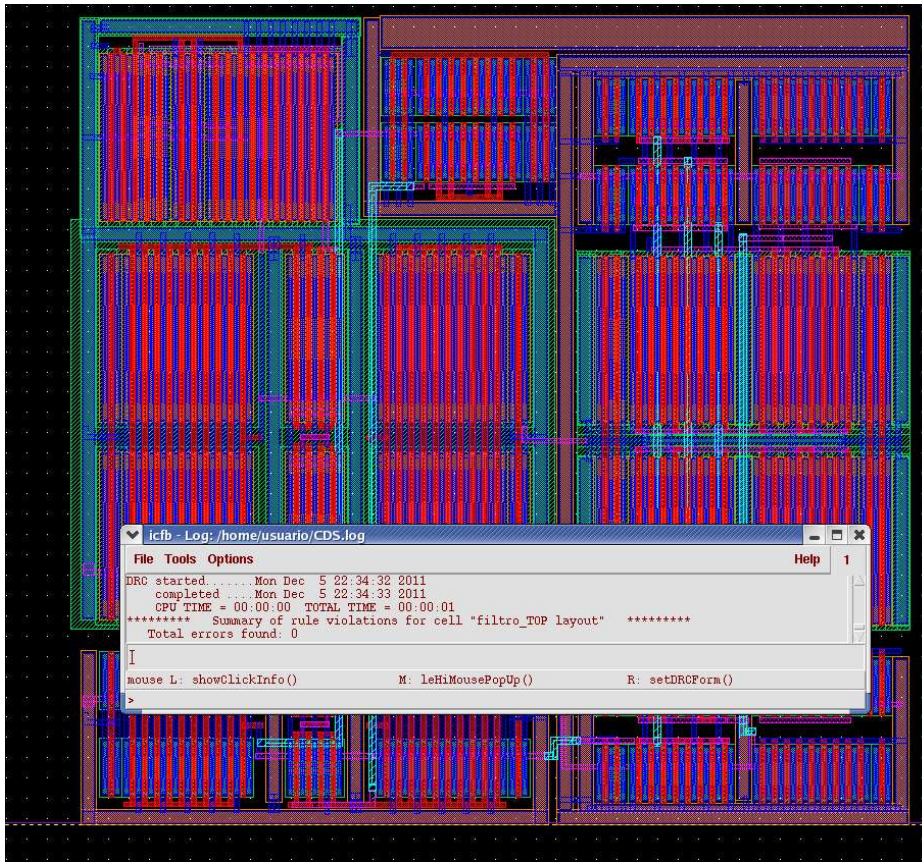


Fig. 31 Captura de mensaje de DRC limpio

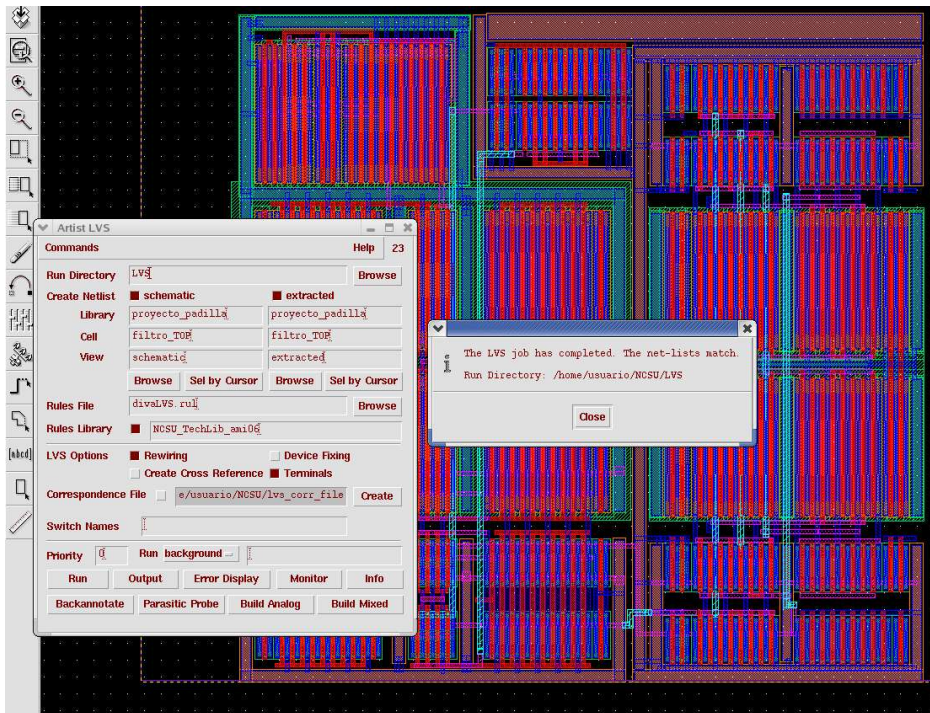


Fig. 32 Mensaje de LVS matching

Por último se muestra el bloque completo y sus conexiones con los pads para la fabricación del circuito integrado.

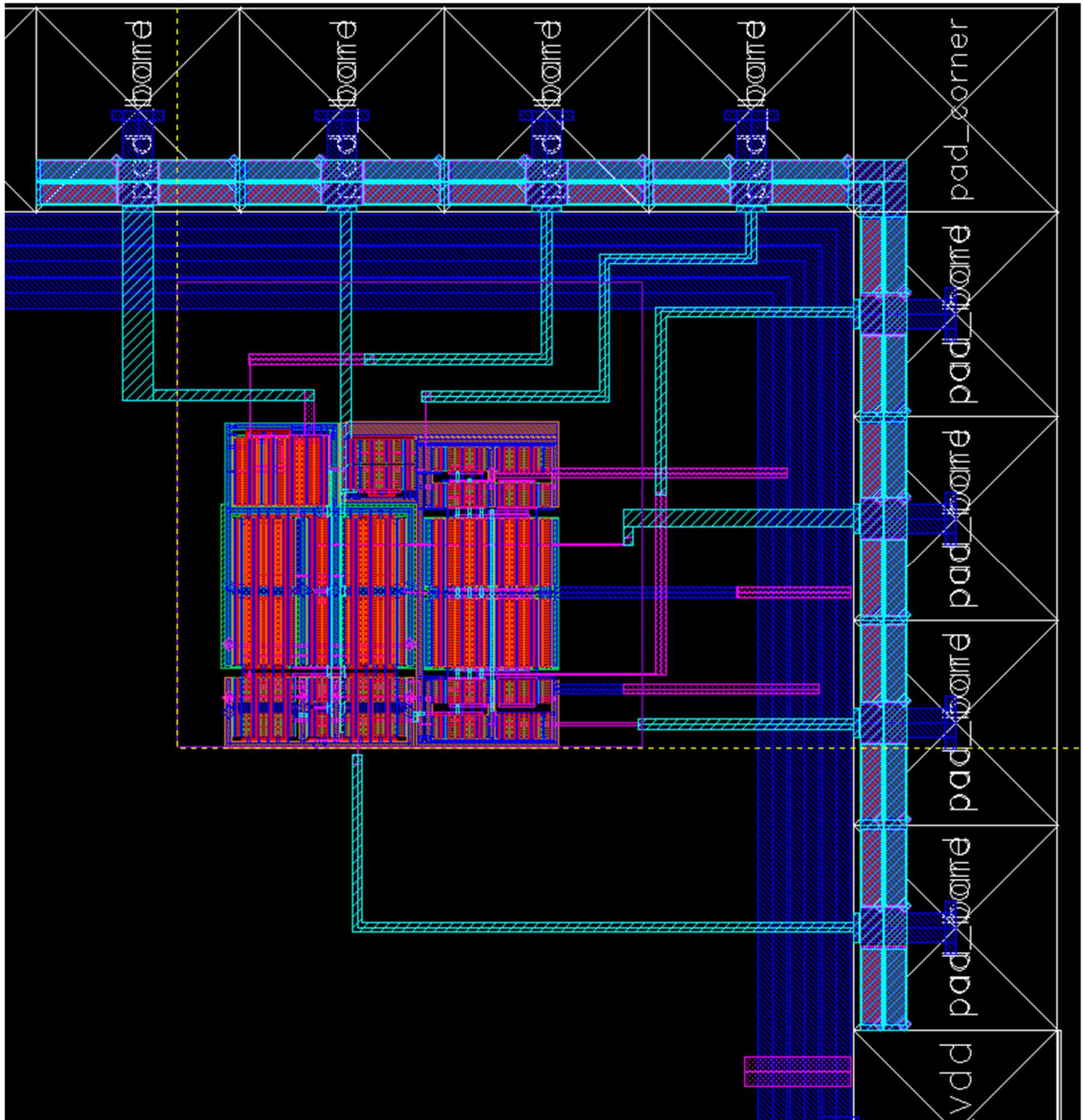
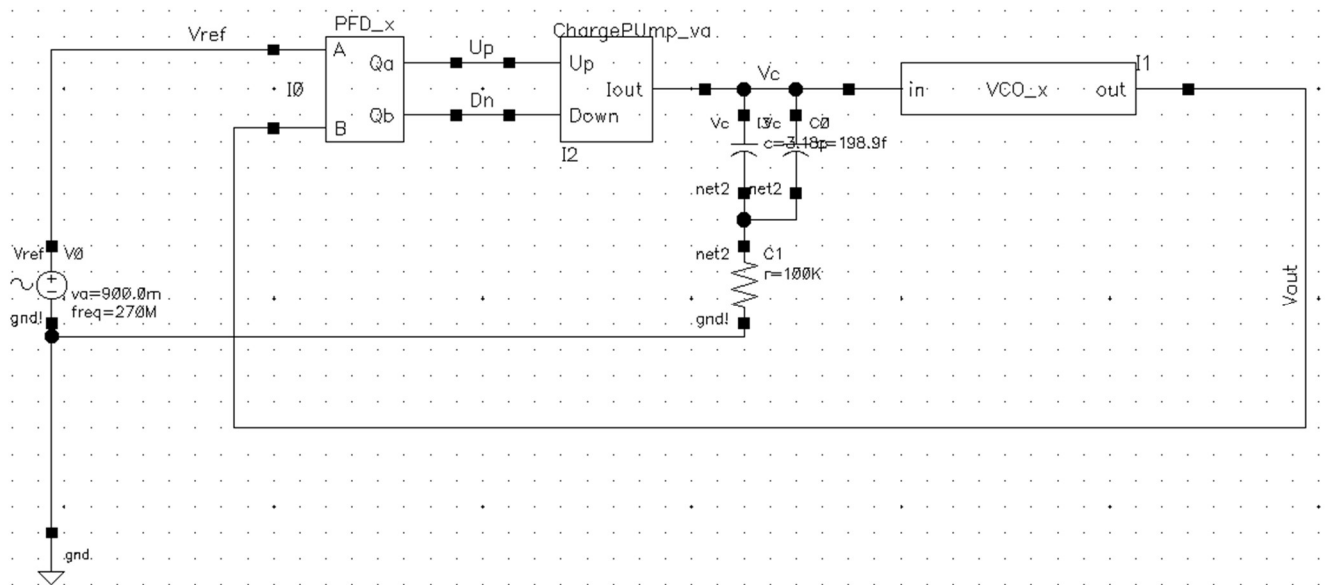


Fig. 33 Nivel de conexiones con los pads del chip

6.2. integración de un PLL completo

Integración de un PLL

Utilizando algunos de los módulos que se han descrito en las tareas anteriores (1 a 6) empezamos por formar el circuito esquemático que conforma el PLL.



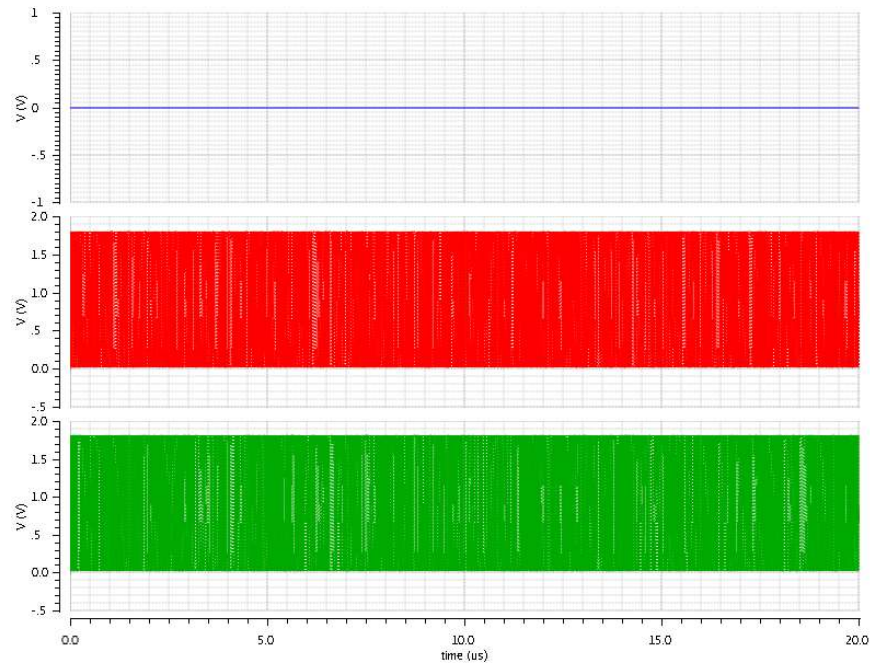
Los bloques utilizados son: PFD, Charge Pump, Filtro pasivo, VCO, ciclo de retroalimentación.

Simulación del PLL

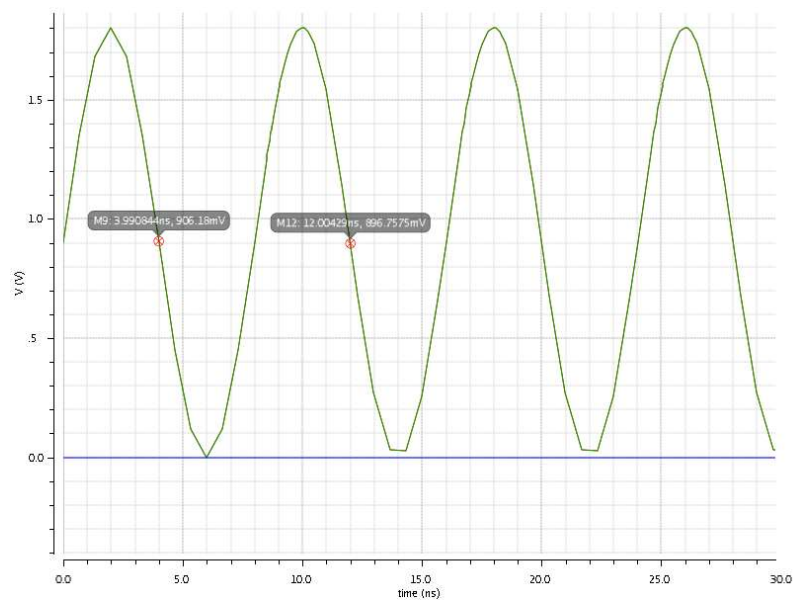
Frecuencia mínima de operación:

Para la frecuencia mínima de operación (**125MHz**) las graficas que se obtuvieron fueron las siguientes:

En todas las siguientes gráficas del presente documento, se muestra en color azul el voltaje de control, en rojo la frecuencia de salida y en verde la frecuencia de referencia.

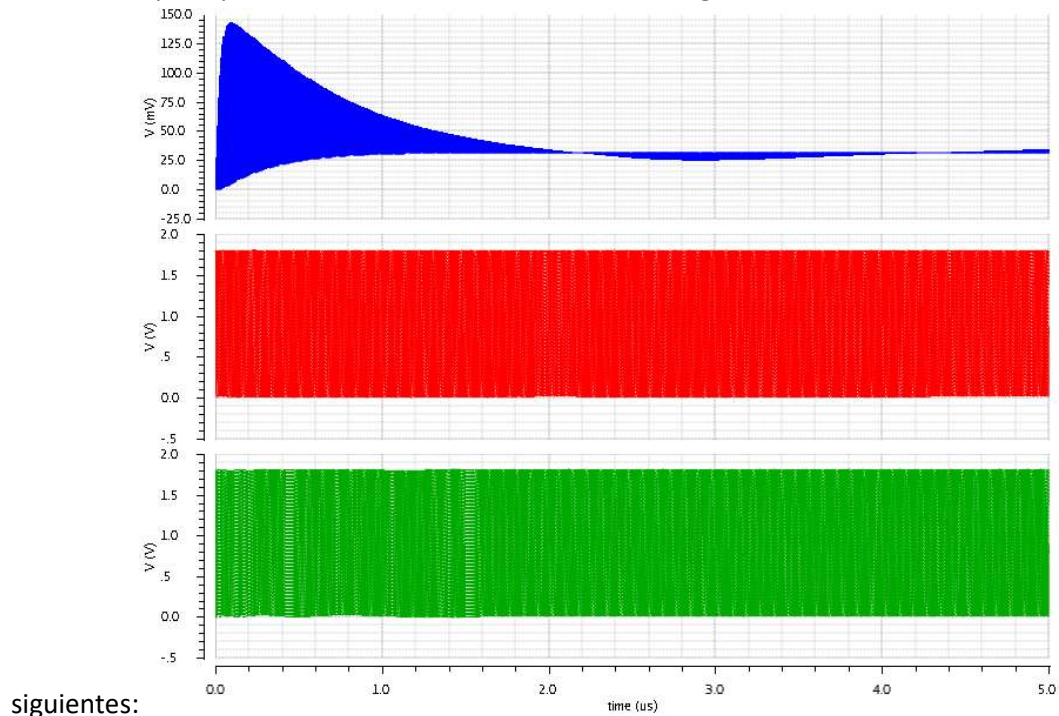


Cabe destacar, que el voltaje V_c de control, para una frecuencia de 125MHz es de 0V por lo que, desde el inicio, el PLL está en amarre y las frecuencias F_{ref} y F_{out} en fase.



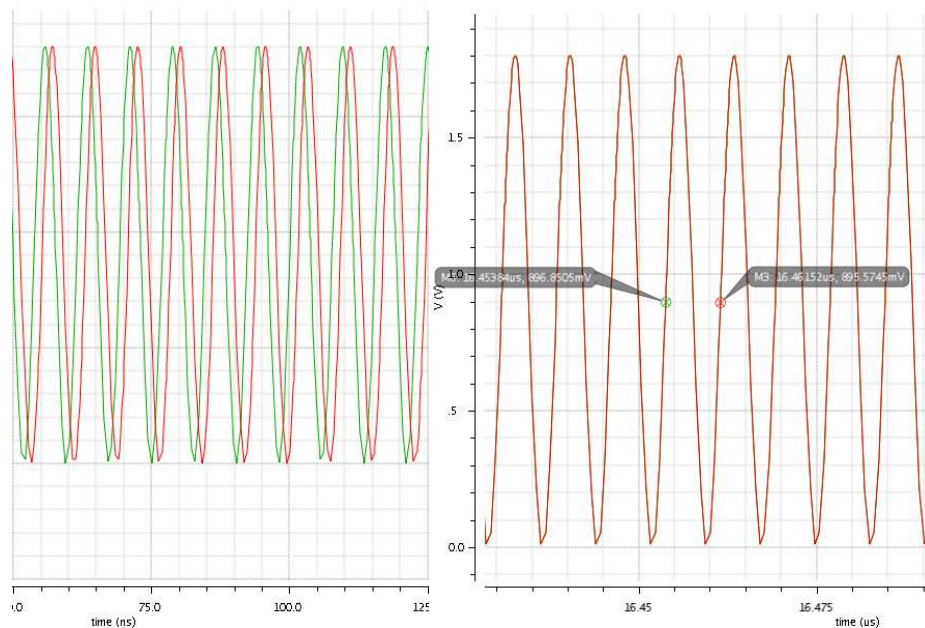
Frecuencia de referencia mayor a la mínima:

Para verificar el correcto funcionamiento a bajas frecuencias de operación, se utilizó una **Fref de 130MHz** que se encuentra un poco por encima de la frecuencia mínima, las gráficas de amarre obtenidas son las



siguientes:

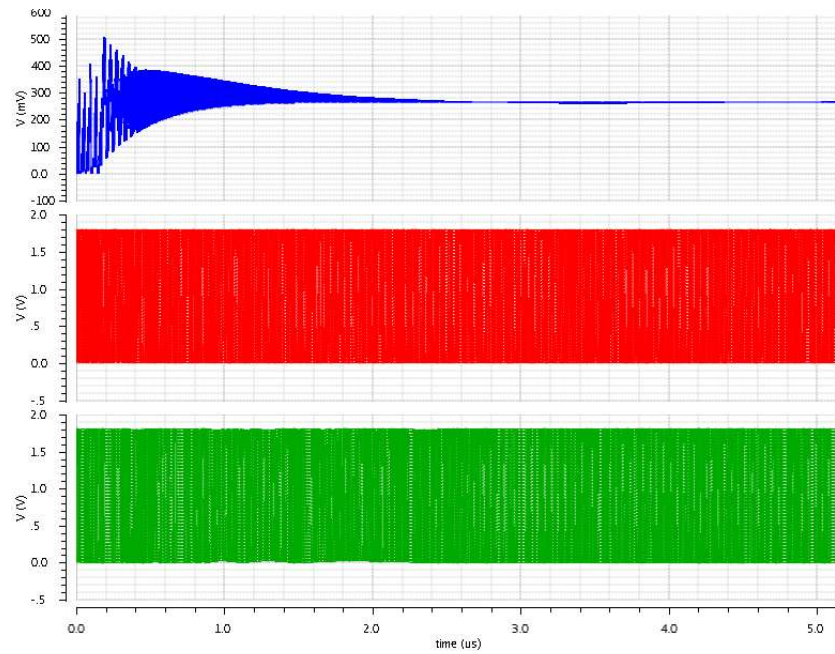
En la primer gráfica, se aprecia el voltaje de control y el tiempo de amarre menor a 4us



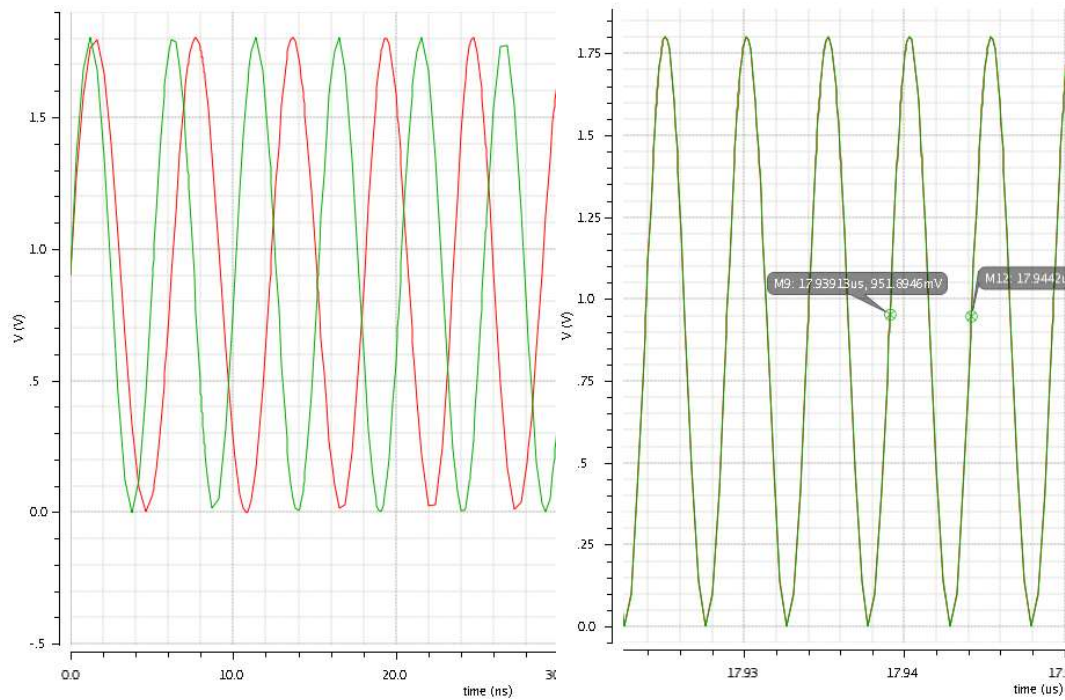
En la gráfica de la izquierda, se observa la diferencia de fase entre las entradas durante el tiempo de estabilización, mientras que en la de la derecha se muestra la diferencia de fase durante el tiempo en que están en amarre.

Frecuencia de referencia intermedia:

Para verificar el correcto funcionamiento frecuencias medias de operación, se utilizó **una Fref de 197MHz** que se encuentra en un valor intermedio entre la máxima y la mínima, las gráficas de amarre obtenidas son las siguientes:



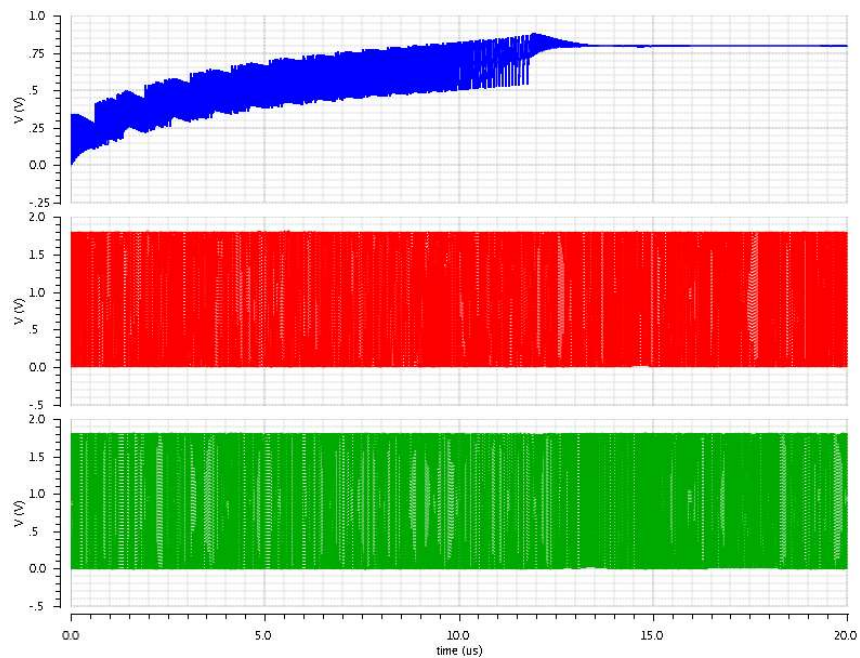
En la primer gráfica, se aprecia el voltaje de control y el tiempo de amarre menor a 4us



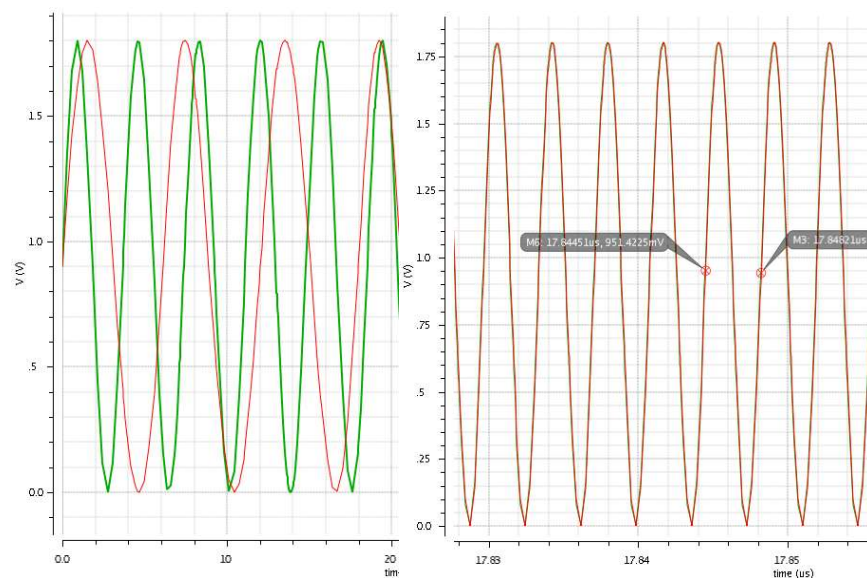
En la gráfica de la izquierda, se observa la diferencia de fase entre las entradas durante el tiempo de estabilización, mientras que en la de la derecha se muestra la diferencia de fase durante el tiempo en que están en amarre.

Frecuencia de referencia maxima:

Para verificar el correcto funcionamiento a altas frecuencias de operación, se utilizó **una Fref de 270MHz** que se encuentra en un valor máximo de desempeño del sistema, las gráficas de amarre obtenidas son las siguientes:



En la primer gráfica, se aprecia el voltaje de control y el tiempo de amarre menor a 4us



En la gráfica de la izquierda, se observa la diferencia de fase entre las entradas durante el tiempo de estabilización, mientras que en la de la derecha se muestra la diferencia de fase durante el tiempo en que están en amarre.

Multiple stage capacitor multiplier using dual-output differential amplifiers

Carlos Rivera-Escobar, Fransisco Silva-Del-Rosario, Miguel Silva, and Ivan Padilla-Cantoya, *Member, IEEE*

Departamento de Electronica, Sistemas e Informatica DESI
Instituto Tecnologico y de Estudios Superiores de Occidente ITESO
Tlaquepaque, Jalisco, Mexico
ivapadil@iteso.mx

Abstract— A capacitor multiplier with large multiplication factor based on dual-output differential amplifiers is presented. The proposed circuit consists on multiple stages connected in series to provide a large multiplication factor, formed by transconductance differential amplifiers with dual outputs where one of the outputs provides a scaled current with respect to the other by a factor k . Simulation results in $0.5\mu\text{m}$ technology confirm the proposed operation.

I. INTRODUCTION

Current CMOS trends on analog design require large and precise capacitors for many applications. Additionally, mobile circuitry including System-On-Chip structures demands reduced silicon area as well as decreased supply voltages and power consumption [1]. Capacitance multiplication is a well-known technique utilized to satisfy these trends. Implementations of this technique are divided in current- and voltage-mode topologies, each with its own restraints [2], [3]. Some adaptations and variations of these two basics principles have been developed up to now [4], [5].

The conventional current-mode structure presents considerable drawbacks such as narrow bandwidth and low multiplication factor. Also, they require large physical area and high power consumption. Overcoming these challenges has become an onerous task and significant efforts have been made herebefore. In this paper, we show a proposed structure that includes wide bandwidth, decreased silicon area and supply voltage. The results section shows simulation results that confirm the operation of the proposed topology.

II. COMPARED TOPOLOGIES

A. Conventional current mirror capacitance multiplier

The conventional current-mode structure is shown in Fig. 1(a) [5]. It consists of two transistors ($Q1$ and $Q2$), where $Q2$ is in diode connection, it adopts the small-signal current in C , $i_C = i_{Q2}$, and adjusts its gate-source voltage which, in parallel with $Q1$ induces the current i_{Q1} . If $Q1$ is proportionally scaled with respect to $Q2$ by a factor K , the induced current is also scaled, resulting in an overall current of $i_{\text{tot}} = (K+1)i_C$. The

effective impedance is affected by this current; note that if a larger current is being generated by the same voltage at the output node, the impedance is decreased. Hence, the equivalent capacitance is given by

$$C_{eq} = (K+1) \cdot C. \quad (1)$$

B. 2-OTA capacitance scaling

The equivalent implementation of the conventional multiplier using operational transconductance differential amplifiers (OTA) is shown in Fig. 1b [2]. The amplifier OTA2 depicts a scaled transconductance gain g_{m2} with respect to g_{m1} , providing a scaled output current. The negative feedback seen at OTA1 results in an effective resistance of $1/g_{m1}$, equivalent to the diode-connected transistor $Q2$ in the conventional topology. The current-scaling factor is given by the ratio of the transconductance gain between OTA2 and OTA1. The equivalent capacitance is given by the same relation in (1).

This technique presents considerable drawbacks. The multiplication factor directly depends on the scaled value between $Q1$ and $Q2$, which represents that the silicon area and power consumption is also increased by this factor, representing a notorious disadvantage.

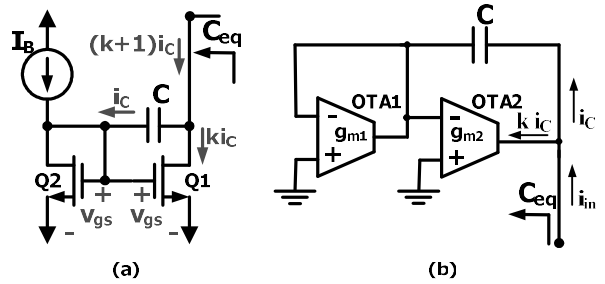


Figure 1. Conventional topologies: a) conventional current mirror capacitance multiplier and b) realization based on OTA's.

I. PROPOSED CIRCUIT

The proposed circuit consists on connecting N number of gain stages in series, similar to the topology reported by Choi in [ref], although the proposed circuit is based on differential amplifiers, which helps define the dc level to ground. The proposed circuit is shown in Fig. 2, where three gain stages are used. The amplifiers are based on the structure of a conventional OTA including a dual-output feature. Devices M6K and M8K are scaled with respect M6 and M9, thus Vo2 depicts an output current proportional to that of Vo1 scaled by a factor k.

In our case, the proposed circuit consists of three stages of the conventional dual-output OTA. The output V_{o1} for each OTA is connected in negative feedback using unity gain, and the output V_{o2} is connected to the non-inverting input of the following OTA. Therefore, and considering removal of all the negative feedback loops for open-loop analysis purposes, the transfer characteristic is given by:

$$i_{OTA1} = k_1 [(gm_{2,3}) (Vi^+ - Vi^-)] \quad (2)$$

$$i_{OTA2} = k_2 [k_1 (gm_{2,3}) (Vi^+ - Vi^-)] \quad (3)$$

$$i_{OTA3} = k_1 k_2 k_3 [(gm_{2,3}) (Vi^+ - Vi^-)] \quad (4)$$

at stages 1, 2 and 3 respectively. The overall gain is given by:

$$\frac{V_{out}}{Vi^+ - Vi^-} = k_1 k_2 k_3 (gm_{2,3}) (r_{outP} r_{outN}) \quad (5)$$

The transient current in the capacitor is defined by $i_c = C (dV_{in} / dt)$ and the current in the second output V_{o2} is a replica of the current in the capacitor. The input current i_{in} is given by $i_{in} = (1 + k) I_c$, so the input impedance of this circuit is equal to a scaled capacitance $C_{eq} = (1 + k_1 k_2 k_3) C$, where $k =$ and C is the multiplied capacitance.

II. SIMULATION RESULTS

In order to verify the proposed circuit, simulations were performed using spectre in a $0.5\mu m$ technology, implemented in a typical RC low-pass filter. The mirroring ratio of each stage K was set to three, which results in an overall multiplication factor of 28. We used the capacitor multiplier to emulate an equivalent capacitance of 280pF using a capacitance of 10pF. The plot in Fig. 3 shows the comparison of the simulated impedance of the proposed structure split into magnitude and phase against the ideal response. The circuit presents an effective bandwidth of $\approx 70kHz$, an upper limit of 88dB, which corresponds to a parallel load resistance at dc of $25k\Omega$, and a lower limit at 34dB, which corresponds to an equivalent series resistant (ESR) of 50Ω .

The graphic illustrated in Fig. 4 shows the frequency response of the output voltage split into magnitude and phase. It exhibits a comparison, of the frequency response of the circuit in Fig. 1b and the proposed circuit in Fig. 2 implemented in a second-order LPF based on an RLC structure. The filter consists of a resistance $R=10k\Omega$ in parallel with an inductor $L = 100mH$, having the equivalent capacitance as a load impedance to ground, where V_{Ceq} corresponds to the output voltage.

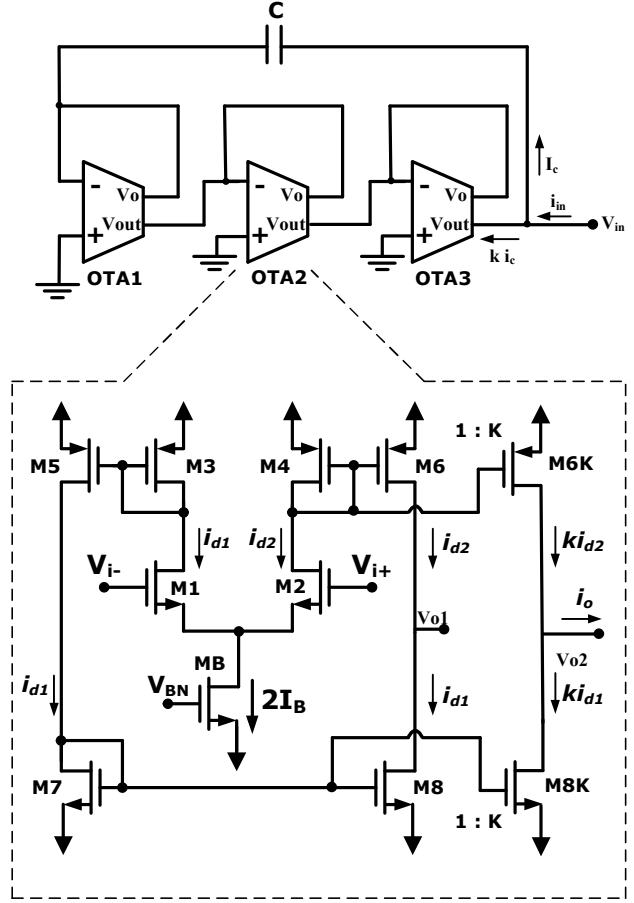


Figure 1. Proposed Circuit: 3 Stages with conventional 2-output OTA capacitor multiplier.

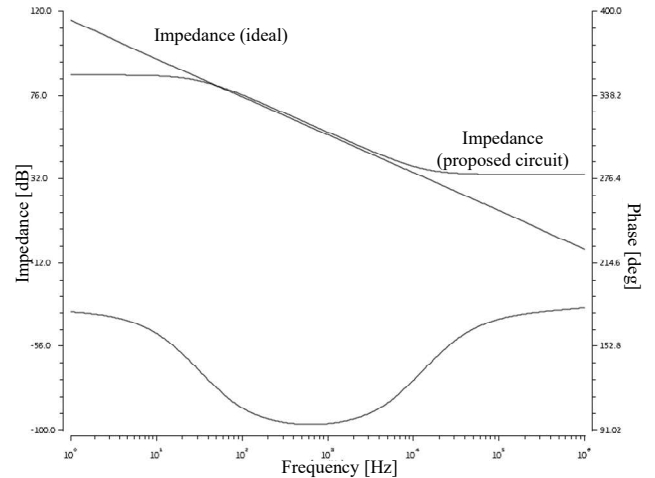


Figure 2. Compared impedance gain and bandwidth between the passive filter and the proposed circuit.

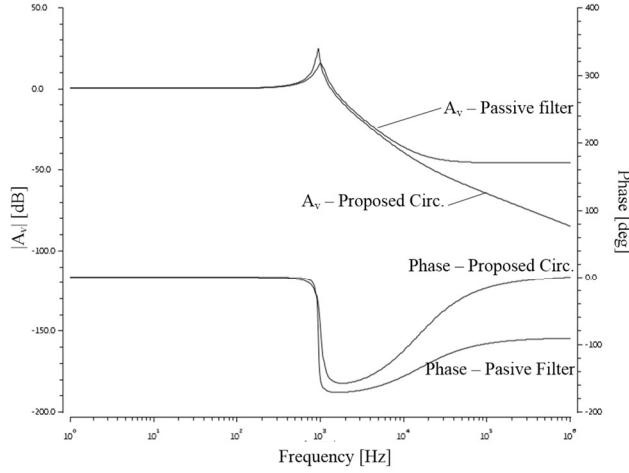


Figure 1. Compared results of the output voltage between the passive filter and the proposed circuit.

TABLE I. DESIGN PARAMETERS

Parameter	Value
I_B	80 μ A
$V_{dd} = -V_{ss}$	2V
M1, M2, M7, M8	43.8 μ m / 1.2 μ m
MB	87.6 μ m / 1.2 μ m
M9	131.4 μ m / 1.2 μ m
M3-M6	126.6 μ m/0.4 μ m
M10	379.8 μ m / 1.2 μ m
$(V_{GS} - V_{TH})_{N,P}$	0.2 V

TABLE II. PARAMETER COMPARISON

	Conventional 2 OTA in Fig. 1b	Proposed Circuit in Fig. 2
Simulated THD	3.356 %	1.824 %
Power dissipation	10.88 mW	6.72 mW
Area	0.0297 mm ²	0.0171 mm ²

I. CONCLUSION

A practical implementation of an on-chip capacitor multiplier using multiple stages in series for a large multiplication factor was presented. It was shown that the implementation occupies a reduced silicon area as well as decreased power consumption. This was achieved by the design of a differential amplifier with the feature of dual outputs that offer output currents proportionally scaled by a

factor K. The circuit was verified with simulation and compared with common conventional topologies

REFERENCES

- [1] Solis-Bustos S., Silva-Martinez, J., Maloberti, F. and Sanchez-Silencio E.: "A 60-dB Dynamic-Range CMOS Sixth-Order 2.4Hz Low-Pass Filter for Medical Applications", *IEEE Trans. Circuits Syst II*, 2000 47, (12), pp. 1391-1398.
- [2] Silva-Martinez J., Vazquez-Gonzalez A.: "Impedance Scalers for IC active Filters", in *IEEE Proc. ISCAS'98*, vol. 1, Monterrey, CA., pp 151-153.
- [3] Pennisi, S.: "CMOS multiplier for grounded capacitors", *Electron Lett.*, 2002, 38, (15), pp 765-766.
- [4] Aguado-Ruiz J., Hernandez-Alvidrez J., Lopez-Martin A.J., Carvajal R.G., Ramirez-Angulo, J.: "Programable capacitance scaling scheme base don operational transconductance amplifiers", *Electronics Letters*, Vol 45, 2009. pp. 159 – 161.
- [5] Yang T., Ismail, M., Bibyk, S.: "Adaptive miller capacitor multiplier for compact on-chip PLL filter," in *Electron Lett.*, 2003, 39, (1) pp 43– 45.