**INSTITUTO TECNOLÓGICO Y DE ESTUDIOS SUPERIORES DE OCCIDENTE**

**DEPARTAMENTO DE ELECTRÓNICA, SISTEMAS E INFORMÁTICA**

**SUSTENTABILIDAD Y TECNOLOGÍA**

**PAP PROGRAMA DE LA INDUSTRIA DE ALTA TECNOLOGÍA**



ITESO, Universidad Jesuita de Guadalajara

# PROYECTO DE APLICACIÓN PROFESIONAL (PAP)

**4N01- Vinculación con Empresas Tecnológicas**

**HP INC:** Design for Testing.

**PRESENTA**


Alumno: Héctor Mirto Abarca
Carrera: Ingeniería Electrónica
Profesor PAP: Juan Manuel Islas Espinoza


Tlaquepaque, Jalisco, julio 2026

**ÍNDICE**

## Contenido


Resumen ..... 3
1. Introducción ..... 4
1.1 Antecedentes ..... 4
1.2 Justificación ..... 4
1.3 Objetivos ..... 5
1.4 Contexto ..... 5
1.5 Inventario de Competencias ..... 6
1.6 Plan Educativo ..... 7
1.7 Entregables ..... 7
2. Desarrollo del Proyecto PAP ..... 8
2.1 Administración del Proyecto ..... 8
2.2 Sustento Teórico y Metodológico ..... 8
2.3 Objetivos del Proyecto ..... 9
2.4 Descripción del Proyecto ..... 9
2.5 Plan de Trabajo ..... 9
2.6 Equipo de Trabajo ..... 10
2.7 Plan de Comunicaciones ..... 11
2.8 Plan de Calidad ..... 11
2.9 Seguimiento y Control ..... 11
2.10 Cierre del Proyecto ..... 12
3. Resultados del Trabajo Profesional ..... 13
3.1 Productos Obtenidos ..... 13
3.2 Estimación del Impacto ..... 13
4. Reflexiones del alumno ..... 14
4.1 Aprendizajes Profesionales ..... 14
4.2 Aprendizajes Sociales ..... 15
4.3 Aprendizajes Éticos ..... 15
4.4 Aprendizajes Personales ..... 16
4.5 Tareas Aprendidas ..... 16
5. Conclusiones ..... 18

## Presentación Institucional de los Proyectos de Aplicación Profesional

Los Proyectos de Aplicación Profesional (PAP) son una modalidad educativa del ITESO en la que el estudiante aplica sus saberes y competencias socio-profesionales para el desarrollo de un proyecto que plantea soluciones a problemas de entornos reales. Su espíritu está dirigido para que el estudiante ejerza su profesión mediante una perspectiva ética y socialmente responsable.

A través de las actividades realizadas en el PAP, se acreditan el servicio social y la opción terminal. Así, en este reporte se documentan las actividades que tuvieron lugar durante el desarrollo del proyecto, sus incidencias en el entorno, y las reflexiones y aprendizajes profesionales que el estudiante desarrolló en el transcurso de su labor.

## Resumen

Durante el verano de 2026 participé en el Proyecto de Aplicación Profesional (PAP) en Micron Technology, corporación líder global en soluciones de memoria y almacenamiento de semiconductores, desempeñando el rol de Intern en la división de Ingeniería de Layout.

El objetivo central del proyecto fue desarrollar habilidades prácticas en el flujo de diseño físico de circuitos integrados mediante el programa de capacitación interna denominado "Layout Training". Para ello, utilicé herramientas EDA corporativas con las que diseñé, verifiqué y corregí máscaras de silicio, garantizando el cumplimiento de las normativas de fabricación a través de las verificaciones automatizadas de DRC (Design Rule Checking) y LVS (Layout Versus Schematic).

Los principales entregables del periodo fueron: el reporte de puesta en marcha del entorno de diseño, una colección progresiva de layouts libres de errores de verificación, un reporte metodológico del circuito integrador final, y el presente documento académico. Todos los entregables técnicos fueron revisados y aprobados por el Líder Técnico asignado por la organización.

El proyecto me permitió consolidar competencias técnicas directamente aplicables a la industria de semiconductores, así como desarrollar habilidades profesionales en gestión de documentación técnica, comunicación en entornos corporativos y resolución sistemática de problemas de diseño. Concluyo el periodo con una visión más clara de mi trayectoria profesional y con la convicción de que la colaboración entre el ITESO y empresas de clase mundial genera valor formativo real y significativo.

# 1. Introducción

## 1.1 Antecedentes

La organización huésped para el desarrollo de este Proyecto de Aplicación Profesional es Micron Technology. Se trata de una corporación líder global de la industria de la alta tecnología y semiconductores, enfocada primordialmente en las ramas de soluciones de memoria y almacenamiento masivo de datos.

Entre sus principales productos y servicios a nivel mundial se encuentra el diseño y fabricación de memorias de acceso aleatorio dinámico (DRAM), memorias Flash (NAND) y tecnologías avanzadas de almacenamiento de estado sólido. Su cartera atiende a una diversidad de mercados globales que abarcan sectores de computación en la nube, centros de datos empresariales, dispositivos móviles, automotriz y electrónica de consumo. La misión de la organización se inspira en transformar la manera en que el mundo utiliza la información para enriquecer la vida de las personas, promoviendo paralelamente un compromiso de innovación sustentable y desarrollo tecnológico de vanguardia.

## 1.2 Justificación

La motivación principal para participar en un proyecto de estas características radica en la oportunidad única de aplicar las bases de la ingeniería electrónica en un entorno industrial real y altamente competitivo.
Existe una correlación directa entre las unidades de aprendizaje que estudie a lo largo de la carrera (tales como la física de semiconductores, análisis de circuitos y diseño digital) y las actividades de entrenamiento práctico propuestas en el proyecto. Para cumplir de forma satisfactoria con los entregables institucionales y los objetivos técnicos con la calidad esperada, destinaré un esfuerzo equivalente a 20 horas semanales asignadas a la empresa huésped. Este tiempo absorberá las actividades conjuntas de capacitación guiada, estudio individualizado y ejecución técnica de los proyectos integradores.

## 1.3 Objetivos

Objetivo General: Desarrollar habilidades prácticas y criterios de diseño industrial en el flujo de Layout para circuitos integrados a través de herramientas EDA estándar, asegurando el cumplimiento de las normativas de fabricación internas de la organización.

Objetivos Específicos:

- Aprender y dominar el uso del ecosistema y herramientas EDA básicas para la edición y visualización de máscaras de silicio.
- Comprender y mitigar de forma práctica los errores derivados de las comprobaciones de reglas de diseño (DRC) y consistencia esquemática (LVS).
- Desarrollar la capacidad de leer, interpretar y correlacionar especificaciones de hojas
  de diseño industrial y esquemáticos con su representación física en silicio.

## 1.4 Contexto

El Proyecto de Aplicación Profesional se sitúa operativamente en la división de Ingeniería de Layout de Micron Technology. El tipo de iniciativa corresponde al Apoyo a Áreas Operativas e Investigación y Desarrollo de Nuevos Productos, enfocándome particularmente en el programa técnico de entrenamiento y capacitación especializada ("Layout Training").

El rol asignado para este periodo es el de Intern de Ingeniería. Para garantizar el correcto despliegue del Plan Educativo, la organización huésped me facilitó acceso a la infraestructura computacional corporativa. De igual manera, se cuenta con el soporte continuo y la mentoría de un Líder Técnico especializado de la empresa que fungirá como tutor del proceso.

## 1.5 Inventario de Competencias

La siguiente tabla detalla el estado actual, las necesidades técnicas esenciales para mitigar la brecha tecnológica (GAP) y las prioridades de ejecución fijadas en el diagnóstico inicial del proyecto formativo:

| | | | | | | |
|---|---|---|---|---|---|---|
| Materia | PAP1 DESI | | | Semestre | 2026V | |
| Profesor | Juan Manuel Islas | | | Horario: | Lun-Jue | 16-18 |
| Alumno: | Hector Mirto Abarca | | | Carrera: | Ing. Electronica | |
| Empresa: | Micron Technology | | | | | |
| Proyecto: | Layout Training | | | | | |

Inventario de Competencias

| No. | Competencia | Req | Adq | GAP | Obj | Prior |
|---|---|---|---|---|---|---|
| 1 | **Herramientas EDA** | | | | | |
| 1.1 | Navegacion y uso basico de Herramientas EDA | 3 | 2 | 1 | 3 | A |
| 1.2 | Verificacion de DRC y LVS | 3 | 1 | 2 | 3 | A |
| 1.3 | Lectura e Interpretacion de reglas de diseno (Design Rules) | 3 | 1 | 2 | 3 | A |
| 2 | **Fundamentos de diseno de Circuitos Integrados (IC)** | | | | | |
| 2.1 | Conceptos de MOSFET | 3 | 3 | 0 | 3 | M |
| 2.2 | Interpretacion de esquematicos para correlacion con Layout | 3 | 2 | 1 | 3 | A |
| 3 | **Procesos de fabricacion** | | | | | |
| 3.1 | Comprension del proceso de manufactura en Micron | 4 | 2 | 2 | 4 | M |
| 3.2 | Restricciones derivadas del proceso | 3 | 1 | 2 | 3 | A |
| 4 | **Comunacion tecnica en Ingles** | | | | | |
| 4.1 | Lectura de documentacion tecnica en Ingles | 3 | 2 | 1 | 3 | M |
| 4.2 | Redaccion de reportes en Ingles | 3 | 1 | 2 | 3 | M |
| 4.3 | Comunicacion oral en reuniones tecnicas | 4 | 2 | 2 | 4 | A |
| | | | | | | |
| | | | | | | |
| | | | | | | |

## 1.6 Plan Educativo

El plan educativo está diseñado para ejecutarse de manera intensiva a lo largo del periodo comprimido de verano, estructurado de la siguiente forma:

| | | | |
|---|---|---|---|
| Materia | PAP1- DESI | Semestre | 2026V |
| Profesor | Juan Manuel Islas | Horario: | |
| Alumno: | Hector Mirto Abarca | Carrera: | Ing. Electronica |
| PAP: | | | |
| Empresa: | Micron Technology | | |

Plan de Actividades

| No. | Actividad Educativa | Tipo Actividad | Total Hrs | Fecha Inicio | Fecha Termino | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | Obj |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 5 | **Onboarding** | | | | | | | | | | | | | | | | | | | | | |
| 5.1 | Configuracion de herramientas EDA | Tarea | 10 | 01 Junio 2026 | 05 junio 2026 | * | | | | | | | | | | | | | | | | |
| 5.2 | Lectura de Design Rules del proceso Micron | Autoaprendizaje | 12 | 02 junio 2026 | 08 junio 2026 | * | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | |
| 6 | **Fundamentos de Layout** | | | | | | | | | | | | | | | | | | | | | |
| 6.1 | Tutoriales guiados | Tutoria | 16 | 08 junio 2026 | 19 junio 2026 | * | * | | | | | | | | | | | | | | | |
| 6.2 | Ejercicios basicos de entrenamiento | Tarea | 20 | 08 junio 2026 | 19 junio 2026 | * | * | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | |
| 7 | **Proyectos Integradores** | | | | | | | | | | | | | | | | | | | | | |
| 7.1 | Integracions de varios ejercicios basicos para realizar uno mas complejo | Tarea | 40 | 19 junio 2026 | 06 julio 2026 | * | * | * | * | | | | | | | | | | | | | |

## 1.7 Entregables

Bajo el acuerdo estricto de no-divulgación y salvaguarda de propiedad intelectual, se definen los siguientes componentes de salida para el periodo:

1. Reporte de diagnóstico técnico de la correcta puesta en marcha del entorno de diseño y la asimilación del flujo operativo interno.
2. Colección de layouts iniciales orientados al aprendizaje práctico, limpios de alertas de violación en verificaciones de reglas de manufactura de silicio.
3. Archivo o reporte metodológico de la interconexión física de un circuito funcional integrado que complete los objetivos académicos del programa "Layout Training".

# 2. Desarrollo del Proyecto PAP

## 2.1 Administración del Proyecto

A continuación, se plasma la estimación de horas dedicadas a la gestión de las actividades asignadas durante el periodo PAP:

| PROCESO | Núm. Aprox. Horas |
|---|---|
| INICIO | 10 |
| PLANEACIÓN | 15 |
| EJECUCIÓN | 110 |
| SEGUIMIENTO Y CONTROL | 30 |
| CIERRE | 5 |

## 2.2 Sustento Teórico y Metodológico

El sustento metodológico para la realización de las actividades de layout electrónico descansa sobre los estándares universales de la industria de semiconductores. El flujo de trabajo se rige estrictamente por dos metodologías automatizadas indispensables de control de calidad física:

DRC (Design Rule Checking): Verificación algorítmica automatizada que examina si las geometrías dibujadas en las máscaras cumplen con las restricciones mínimas físicas y tolerancias geométricas dictadas por las fundiciones de silicio para asegurar la viabilidad de la manufactura.

LVS (Layout Versus Schematic): Proceso de verificación cruzada que compara la red eléctrica interconectada del layout físico contra el diagrama esquemático eléctrico ideal que fue previamente validado en simulación, garantizando correspondencia uno a uno.

## 2.3 Objetivos del Proyecto

- Dotar al área de ingeniería de profesionales habilitados en flujos de diseño físico con dominio de herramientas automatizadas EDA corporativas.
- Reducir tiempos de ciclo de diseño mediante la correcta resolución en etapas tempranas de errores de DRC y LVS en componentes modulares.
- Documentar mejores prácticas metodológicas de diseño integrado que sirvan como bases reutilizables para entrenamientos y proyectos futuros dentro del equipo de ingeniería de soporte.

## 2.4 Descripción del Proyecto

El proyecto se enfoca en el Diseño, Automatización y Ejecución de Casos de Prueba de HW/SW y Diseño Físico para Circuitos Electrónicos Integrados. No constituye un desarrollo independiente, sino que forma parte integral de la fase de capacitación inicial obligatoria ("Layout Training") de la división operativa. Esta etapa funciona como un módulo inicial de habilitación técnica necesaria antes de la asignación definitiva del personal hacia proyectos de producción masiva de memorias y almacenamiento.

Las tareas desarrolladas se definen como un proceso repetitivo estructurado, pero de evolución incremental y progresiva en complejidad, iniciando por lógica elemental de transistores planos hacia bloques estructurales más densos.

## 2.5 Plan de Trabajo

Atendiendo a las restricciones estrictas de confidencialidad y secreto industrial respecto a los calendarios de desarrollo internos de la corporación, el plan de trabajo se despliega con el Plan de Actividades:

| | | | |
|---|---|---|---|
| Materia | PAP1- DESI | Semestre | 2026V |
| Profesor | Juan Manuel Islas | Horario: | |
| Alumno: | Hector Mirto Abarca | Carrera: | Ing. Electronica |
| PAP: | | | |
| Empresa: | Micron Technology | | |

Plan de Actividades

| No. | Actividad Educativa | Tipo Actividad | Total Hrs | Fecha Inicio | Fecha Termino | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | Obj |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 5 | **Onboarding** | | | | | | | | | | | | | | | | | | | | | |
| 5.1 | Configuracion de herramientas EDA | Tarea | 10 | 01 Junio 2026 | 05 junio 2026 | * | | | | | | | | | | | | | | | | |
| 5.2 | Lectura de Design Rules del proceso Micron | Autoaprendizaje | 12 | 02 junio 2026 | 08 junio 2026 | * | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | |
| 6 | **Fundamentos de Layout** | | | | | | | | | | | | | | | | | | | | | |
| 6.1 | Tutoriales guiados | Tutoria | 16 | 08 junio 2026 | 19 junio 2026 | * | * | | | | | | | | | | | | | | | |
| 6.2 | Ejercicios basicos de entrenamiento | Tarea | 20 | 08 junio 2026 | 19 junio 2026 | * | * | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | |
| 7 | **Proyectos Integradores** | | | | | | | | | | | | | | | | | | | | | |
| 7.1 | Integracions de varios ejercicios basicos para realizar uno mas complejo | Tarea | 40 | 19 junio 2026 | 06 julio 2026 | * | * | * | * | | | | | | | | | | | | | |

## 2.6 Equipo de Trabajo

El grupo de trabajo directo donde interactúan las funciones operativas del proyecto está compuesto por la siguiente estructura de roles institucionales y empresariales:

| *Rol* | *Responsabilidad* | *Nombre (opcional)* |
|---|---|---|
| *Profesor PAP* | *Coordinación metodológica académica ITESO, evaluación periódica de entregables y rúbricas del proyecto.* | *Prof. Juan Manuel Islas* |
| *Líder departamento DRAM* | *Líder de todos los departamentos del área de DRAM. Jefe directo que delega responsabilidades a los demás lideres de las diferentes áreas.* | |
| *Líder Técnico* | *Mentoría técnica avanzada, facilitación de accesos, revisión semanal de bitácoras de diseño y aprobación de layouts.* | |
| *Mentores.* | *Miembros de equipo del líder técnico. Debido a que el líder técnico es una persona muy ocupada, tenemos mentores para una atención personalizada.* | |
| *Intern (Yo)* | *Configuración del entorno EDA, lectura de guías de diseño, desarrollo físico de celdas e interconexión limpia de DRC/LVS.* | *Hector Mirto Abarca* |
| | | |
| | | |

## 2.7 Plan de Comunicaciones

La interacción y el flujo de comunicación formal del proyecto se organizan bajo el siguiente esquema:

| *Emisor* | *Mensaje* | *Receptor* | *Medio* | *Frecuencia* |
|---|---|---|---|---|
| *Intern* | *Avances del Layout y dudas de diseño* | *Mentores* | *Sesión uno a uno, revisión en pantalla* | *Diaria* |
| *Intern* | *Avances del Layout y dudas de diseño* | *Líder Técnico* | *Minutas y juntas de seguimiento cara a cara* | *Una vez cada dos semanas* |
| *Intern* | *Envío progresivo de Capítulos del Reporte* | *Profesor PAP* | *Plataforma CANVAS ITESO* | *Según entregas* |
| *Mentores* | *Feedback técnico, corrección de layouts y guías personalizadas.* | *Intern* | *Sesión uno a uno, revisión en pantalla* | *Diaria* |
| *Líder Técnico* | *Feedback técnico y aprobación de entregables.* | *Intern* | *Sesión uno a uno, Revisión en pantalla* | *Una vez cada dos semanas.* |
| *Líder departamento DRAM.* | *Alineación estratégica y directrices de área.* | *Líder Técnico / Mentores.* | *Reuniones de equipo internas* | *Según agenda.* |
| *Profesor PAP* | *Rúbricas y retroalimentación académica* | *Intern* | *Revisiones 1-1 y Videoconferencia* | *Semanal* |
| | | | | |

## 2.8 Plan de Calidad

Para asegurar que los entregables producidos cumplan con la rigurosidad exigida en los entornos reales:

| *Emisor* | *Entregable* | *Receptor* | *Criterios* | *Siguiente Paso* |
|---|---|---|---|---|
| *Intern* | *Entrenamientos de layout* | *Grupo de revisión / Mentores.* | *Revisión técnica guiada con correcciones de diseño y retroalimentación personalizada.* | *Corrección iterativa y re-verificación DRC/LVS.* |
| *Intern* | *Entrenamientos de layout* | *Líder Técnico* | *Reporte automático con 0 errores de DRC y 0 errores de LVS.* | *Integración en bloque jerárquico.* |
| *Intern* | *Capítulos de reporte PAP* | *Profesor PAP* | *Cumplimiento estricto de formato institucional y Cero Errores Ortográficos MS-Word.* | *Actualización de Índice y Envío Final.* |

## 2.9 Seguimiento y Control

El monitoreo del programa y las actividades del equipo se conducen a través de reuniones técnicas periódicas que operan como herramientas de alineación ágil. En ellas se evalúan métricas puntuales de avance de layout, retrasos en las fechas críticas de inicio y término de tareas, y acciones correctivas inmediatas frente problemas presentados durante el entrenamiento.

De igual forma, el seguimiento académico se coordina estrechamente con el Profesor PAP a través de entregas parciales y secuenciales acumulativas en CANVAS. Este mecanismo permite asegurar la calidad de la redacción y vigilar el estricto cumplimiento de los acuerdos de confidencialidad asumidos con Micron Technology.

## 2.10 Cierre del Proyecto

El cierre del proyecto PAP contempla dos dimensiones complementarias: la verificación técnica de los entregables acordados con la organización huésped y la entrega formal del reporte académico ante el ITESO.

En el frente técnico, el cierre se formaliza con la aprobación por parte del Líder Técnico de todos los layouts producidos durante el programa "Layout Training", condicionada al cumplimiento del criterio de calidad establecido: cero errores de DRC y cero discrepancias de LVS en cada entregable. Una vez obtenida dicha aprobación, se consolida el reporte metodológico del circuito integrador final como documento de cierre del proceso de capacitación.

En el frente académico, el cierre comprende la entrega progresiva y acumulativa de los capítulos del presente reporte a través de la plataforma CANVAS del ITESO, conforme al calendario definido con el Profesor PAP, culminando con la presentación pública oral del Poster PAP ante la comunidad académica.

Como parte de las actividades de cierre, documenté las lecciones aprendidas del periodo en la sección 4.5 de este reporte, con el propósito de que sirvan como referencia para futuras iteraciones del programa de entrenamiento y para mi propio desarrollo profesional. Adicionalmente, se realizará la devolución ordenada de los accesos a la infraestructura computacional corporativa facilitados por Micron Technology, en estricto cumplimiento con los protocolos de seguridad de la información de la organización.

# 3. Resultados del Trabajo Profesional

## 3.1 Productos Obtenidos

A lo largo del periodo PAP, los principales entregables que produje como parte del programa de capacitación en diseño físico de circuitos integrados son los siguientes:

- Colección de layouts de entrenamiento libre de errores DRC/LVS. Diseñé un conjunto progresivo de celdas y bloques de circuitos integrados, comenzando por estructuras elementales de transistores y evolucionando hacia interconexiones más complejas. Todos los entregables fueron verificados automáticamente hasta obtener cero errores en las comprobaciones de reglas de diseño (DRC) y cero discrepancias en la verificación esquemática (LVS).
- Reporte metodológico del circuito integrador final. Consolidé en un documento técnico el flujo completo de trabajo aplicado para la interconexión física del circuito funcional que marca la conclusión del programa "Layout Training", incluyendo la descripción de las decisiones de diseño tomadas y las lecciones aprendidas en cada etapa.
- Bitácoras de seguimiento técnico semanal. Mantuve un registro sistemático de los avances, obstáculos y resoluciones de cada sesión de trabajo, las cuales sirvieron
  como insumo para las reuniones de alineación con el Líder Técnico asignado.

## 3.2 Estimación del Impacto

Desde la perspectiva organizacional, los layouts y la documentación metodológica producida contribuyen directamente a la base de conocimiento interna del equipo de Layout Engineering de Micron Technology. Al documentar mejores prácticas y consolidar un flujo de trabajo depurado y libre de errores, estos materiales pueden reutilizarse como referencia en futuros ciclos de inducción para nuevos ingenieros internos e interns.

A nivel formativo, considero que este proyecto sienta las bases para que perfiles de ingeniería electrónica egresados de instituciones mexicanas como el ITESO puedan integrarse competitivamente a la industria de semiconductores. La experiencia demuestra que la colaboración entre la academia y empresas de clase mundial es viable y produce resultados técnicos reales.

# 4. Reflexiones del alumno

## 4.1 Aprendizajes Profesionales

El periodo PAP representó la primera experiencia en la que apliqué de manera práctica y continua los conocimientos de ingeniería electrónica en un entorno industrial real. Identifico al menos cuatro competencias que se desarrollaron o consolidaron de forma significativa durante este proceso.

1. En primer lugar, adquirí dominio operativo en herramientas EDA especializadas para el diseño de layout de circuitos integrados. Antes del PAP, mi conocimiento de este tipo de software era exclusivamente teórico; al término del periodo logré navegar con soltura el entorno corporativo de Micron y ejecutar flujos completos de diseño físico hasta obtener celdas limpias de errores. Esta competencia técnica es directamente transferible a cualquier rol de ingeniería de diseño en la industria de semiconductores.
2. En segundo lugar, desarrollé la capacidad de leer e interpretar documentación técnica industrial de alta densidad informativa: hojas de diseño, guías de proceso y especificaciones de reglas de manufactura. Aprendí que comprender una especificación no significa memorizarla, sino saber consultarla eficientemente bajo presión de tiempo, lo cual es una habilidad diferenciada en entornos profesionales reales.
3. En tercer lugar, en cuanto a competencias blandas, este proyecto me exigió una mayor tolerancia a la frustración y a la ambigüedad. Los errores en DRC y LVS rara vez tienen una causa evidente a primera vista; desarrollar la paciencia para analizar sistemáticamente cada alerta, proponer hipótesis y validarlas metodológicamente fue una de las lecciones más valiosas del periodo.
4. Una sorpresa importante fue descubrir que gran parte del trabajo en diseño físico no es creación desde cero, sino análisis crítico y corrección iterativa. Llegué asumiendo que el diseño sería un proceso predominantemente creativo y encontré que la rigurosidad analítica y la atención al detalle son las competencias más demandadas en la práctica cotidiana.

Finalmente, considero que con los conocimientos y la experiencia acumulada estoy en condiciones de asumir proyectos de mayor complejidad dentro del mismo flujo de diseño físico, y eventualmente de estructurar y dirigir un programa de entrenamiento similar al que yo mismo cursé.

## 4.2 Aprendizajes Sociales

La participación en este PAP me permitió observar desde adentro el papel que juega la industria de semiconductores en la economía global y, por extensión, en la vida cotidiana de las personas.
Esto me generó una reflexión genuina sobre la responsabilidad implícita en el ejercicio de la ingeniería electrónica. El trabajo que se realiza en una celda de diseño de layout, aunque invisiblemente pequeño a escala física, tiene una trayectoria de impacto que alcanza a millones de usuarios en el mundo.
También observé que la industria de semiconductores en México se encuentra en un momento de expansión relevante, impulsado en parte por las tendencias de nearshoring que han reposicionado a nuestro país como un actor estratégico en la cadena de suministro tecnológica global. Participar en una empresa de este calibre desde una etapa formativa me convirtió, de cierta forma, en parte de ese proceso más amplio.
En términos personales, mi visión sobre el mercado laboral al que me enfrento cambió significativamente. Antes del PAP tenía una idea abstracta de lo que significa trabajar en alta tecnología; hoy tengo referencias concretas sobre las exigencias, los ritmos y las oportunidades reales que este sector ofrece a los ingenieros mexicanos.

## 4.3 Aprendizajes Éticos

La dimensión ética de este proyecto se manifestó principalmente en dos frentes: la gestión responsable de información confidencial y la honestidad en la documentación de los entregables.
Desde el primer día de trabajo, fui consciente de que operaba bajo un acuerdo estricto de no divulgación. Esta responsabilidad no la viví como una restricción burocrática, sino como un principio ético fundamental: la propiedad intelectual de una organización es el resultado acumulado del esfuerzo y la inversión de muchas personas, y protegerla es una obligación moral tanto como contractual. En ningún momento sentí una tensión entre esta obligación y mis valores personales; al contrario, el compromiso con la confidencialidad reforzó mi sentido de pertenencia al equipo.
En cuanto a la honestidad en los entregables, una situación recurrente fue la tentación de reportar avances mayores a los reales cuando los errores de DRC persistían sin resolución clara. Opté siempre por documentar el estado real del diseño, incluyendo los obstáculos, en lugar de minimizarlos. Esta decisión generó conversaciones técnicas más productivas con el Líder Técnico y evitó que los problemas se acumularan silenciosamente.
Respecto al uso de inteligencia artificial, considero que esta tecnología representa un recurso poderoso y legítimo en el ejercicio de la ingeniería, siempre que se

utilice para ampliar la capacidad de análisis y no para sustituir el juicio profesional. En el contexto de diseño de layout, ninguna herramienta de IA puede reemplazar la comprensión profunda de las reglas de manufactura; puede acelerar la búsqueda de información, pero el criterio de aplicación sigue siendo responsabilidad del ingeniero. Actuar éticamente con IA significa reconocer sus límites y asumir la autoría real de las decisiones.

## 4.4 Aprendizajes Personales

Esta experiencia me permitió conocerme con mayor profundidad como profesional en formación. Antes del PAP tenía dudas sobre si el área de diseño físico de circuitos integrados era realmente un campo en el que podía desempeñarme con solvencia; al término del periodo, esas dudas desaparecieron. No porque todo haya resultado sencillo —al contrario—, sino porque comprobé que soy capaz de sostener el esfuerzo intelectual que demanda un entorno exigente y de aprender a ritmos más intensos de lo que la dinámica universitaria habitualmente exige.

También noté cambios en la forma en que me relaciono con mi equipo de trabajo y con las personas en general. Aprendí a valorar la retroalimentación directa, incluso cuando es incómoda, como uno de los recursos más valiosos para el crecimiento técnico. Las revisiones con el Líder Técnico me enseñaron que recibir una corrección con apertura y sin defensividad no es debilidad, sino inteligencia profesional. En el plano personal, equilibrar las responsabilidades del PAP con el resto de mis actividades académicas y personales me obligó a desarrollar una disciplina de gestión del tiempo que antes era inconsistente.

Esta experiencia demostró que cuando el trabajo tiene un propósito claro y los resultados son tangibles, la motivación para sostener el esfuerzo se mantiene de manera más natural.

Finalmente, este PAP reforzó mi convicción de que quiero continuar mi desarrollo profesional en el sector de semiconductores, ya sea a nivel industrial o académico, y que la siguiente etapa lógica es consolidar una formación de posgrado que me permita acceder a roles de mayor profundidad técnica y responsabilidad.

## 4.5 Tareas Aprendidas

**Factores que favorecieron los resultados exitosos:**

El factor más determinante para el éxito técnico del proyecto fue la comunicación frecuente y honesta con el Líder Técnico. Las reuniones de seguimiento dos veces por semana me permitieron desbloquear obstáculos que de otra forma me habrían detenido por días. Aprendí que pedir orientación a tiempo no refleja falta de competencia, sino madurez profesional.

La actitud de documentar el proceso desde el inicio, incluyendo los errores y sus causas, resultó invaluable. Al final del periodo, esas bitácoras se convirtieron en una base de referencia propia que aceleró la resolución de problemas

recurrentes. La disposición para leer documentación técnica densa sin saltarme secciones por falta de paciencia fue otra ventaja que identifiqué en mí. Muchos de los errores de DRC que encontré tenían su origen en haber omitido una especificación de margen que estaba documentada, y desarrollar el hábito de revisar la fuente primaria antes de asumir fue una de las mejores prácticas que adoptaré en proyectos futuros.

**Áreas de mejora:**
La principal situación que pudo haber llevado a mejores resultados es la estimación inicial del tiempo que tomaría familiarizarme con el entorno computacional corporativo. Subestimé la curva de adaptación a herramientas y configuraciones que no tenía disponibles previamente, lo que generó retrasos en las primeras semanas del plan de trabajo. En el futuro, dedicaré una fase explícita de exploración del entorno antes de comprometer fechas de entrega técnica.
También identifico que en algunas ocasiones me concentré demasiado en resolver el error inmediato sin detenerme a entender por completo la causa raíz. Aunque esto aceleró el avance a corto plazo, en algunos casos el mismo tipo de error reapareció en una celda diferente. Desarrollar el hábito de resolver de raíz y documentar la lección, antes de continuar, es una disciplina que debo consolidar.

## 5. Conclusiones

Este Proyecto de Aplicación Profesional fue, sin duda, la experiencia formativa más intensa y significativa de mi trayectoria universitaria hasta este momento. Participar en un entorno industrial real dentro de una corporación global de la magnitud de Micron Technology me confrontó con una brecha entre el conocimiento académico y la práctica profesional que ningún curso universitario podría haberme revelado de la misma manera.

Una de las situaciones más inesperadas fue descubrir que los mayores aprendizajes del periodo no siempre vinieron de los momentos de éxito técnico, sino precisamente de los momentos de error. Cada error que no logré resolver de inmediato me obligó a desarrollar una metodología propia de diagnóstico, a formular mejores preguntas y a buscar respuestas en fuentes que no habría consultado espontáneamente. Ese proceso iterativo de equivocarse, analizar y corregir es, en retrospectiva, la competencia más transferible que me llevo de esta experiencia.

Más allá de la técnica, este PAP transformó la forma en que concibo mi propio desarrollo profesional. Llegué con una visión relativamente abstracta de hacia dónde quería dirigir mi carrera; me voy con certezas más concretas: quiero formar parte de la industria de semiconductores, quiero hacerlo con una preparación de posgrado sólida, y quiero construir un perfil que combine la profundidad técnica con la capacidad de trabajar en entornos multiculturales y de alta exigencia.

El reto que representó este proyecto fue proporcional al aprendizaje que produjo. El esfuerzo sostenido durante el periodo de

verano, en un programa comprimido y con estándares industriales reales, fue exigente; pero el nivel de satisfacción al ver los entregables completados y validados hace que esa inversión haya valido completamente la pena. Concluyo este PAP convencido de que estoy mejor preparado para los desafíos que vendrán, y agradecido con el ITESO y con Micron Technology por haber hecho posible esta experiencia.